
5GHz 저잡음 증폭기를 위한 새로운 Built-In Self-Test 회로

류지열*·노석호**

A Novel Built-In Self-Test Circuit for 5GHz Low Noise Amplifiers

Jee-Youl Ryu* · Seok-Ho Noh**

요 약

본 논문에서는 5GHz 저잡음 증폭기(LNA)의 성능 측정을 위한 새로운 형태의 저가 BIST(Built-In Self-Test) 회로를 제안한다. 이러한 BIST 회로는 system-on-chip (SoC) 송수신 환경에 적용될 수 있도록 설계되어 있다. 본 논문에서 제안하는 BIST 회로는 입력 임피던스, 전압이득, 잡음지수, 입력반사손실(input return loss) 및 출력 신호 대 잡음전력비(signal-to-noise ratio)와 같은 저잡음 증폭기의 주요 성능 지수를 측정할 수 있으며, 단일 칩 위에 제작되어 있다.

ABSTRACT

This paper presents a new low-cost Built-In Self-Test (BIST) circuit for 5GHz low noise amplifier (LNA). The BIST circuit is designed for system-on-chip (SoC) transceiver environment. The proposed BIST circuit measures the LNA specifications such as input impedance, voltage gain, noise figure, and input return loss all in a single SoC environment.

키워드

저잡음 증폭기, Built-In Self-Test, system-on-chip, 입력 임피던스, 전압이득, 잡음지수, 입력반사손실

1. Introduction

최근 초미세전자공학과 무선통신의 급속한 성장으로 인해 전자산업은 고집적 밀도와 고속성을 필요로 하고 있으며, 그 설계구조도 점점 더 복잡해지고 있다. 이러한 최근 경향을 실현하기 위해 system-on-chip (SoC)이 ASIC 산업에 새로운 해결방법으로 고려되고 있다. 그러나 SoC를 위한 적절한 검사기술과 검사비용의 절감방법은 여전히 주요한 걸림돌이 되고 있다. 이러한 문제점들을 해결하기 위한 방법으로 동일한 칩 위에 검사 회로를 삽입하여 고가 장비가 없어도 회로 그 자체의 성능이나 상태를 평가할 수 있는 Built-In

Self-Test (BIST, 자체내부검사) 기술이 고주파, 아날로그 및 디지털 영역에서 SoC를 위한 적절한 검사기술로 연구되고 있다[1-6].

기존의 연구방법으로 점대점 통신 시스템을 검사하기 위해 스펙트럼 서명분석(spectral signature analysis) 방법을 이용한 자체내부검사 루프백(loopback) 기술을 들 수 있다 [2-3]. 이러한 검사방법은 측정이 용이하고 검사비용이 적게 드는 장점이 있는 반면, 시스템 내부 전체에 대해 결함 검출 능력이 떨어지고, 스펙트럼 서명 발생원리가 복잡하기 때문에 부가적인 디지털 신호처리 장치가 필요하다는 단점이 있다 [3]. R. Voorakaranam 등 [4]은 스펙트럼 서명분석 방법을 이용하여 900MHz 저

* 애리조나주립대학교 전기공학과
** 안동대학교 전자공학과

잡음 증폭기에 대해 이득, 잡음지수 및 IIP3를 검사하는 방법을 제안하였다. 이러한 검사 방법은 고가의 장비를 사용하지 않아 검사비용이 저렴한 반면 FASTest라고 불리는 고주파 실험 시스템과 같은 오프칩(off-chip) 서명 응답 평가장치를 필요로 한다.

본 논문에서는 SoC 송수신기를 위한 새로운 형태의 저가 고주파 BIST 회로를 제안한다. 이러한 회로는 5GHz 저잡음 증폭기에 대해 고가 장비를 사용하지 않고도 입력 임피던스, 전압이득, 잡음지수 및 입력 반사손실을 측정할 수 있다. 이러한 검사회로는 저잡음 증폭기의 주요 사양들을 얻기 위해 입력 임피던스 및 출력 전압 측정을 이용한다. 저잡음 증폭기와 자체내부검사 회로는 1V의 공급전압에서 동작하도록 설계되어 있으며, SoC의 한 부분으로 0.18 μ m SiGe 공정을 이용하여 동일한 칩상에 제작되어 있다. 본 방법에서는 DUT(Device Under Test: 검사대상이 되는 소자)와 자체 내부검사 회로가 동일 칩 상에 설계되어 있기 때문에 측정할 때 단지 디지털 전압계와 고주파 전압 발생기만이 필요하다.

II. BIST 접근 방법

저잡음 증폭기의 성능을 검사하는 전통적인 방법은 고가의 고주파 검사 장비를 이용하여 S 파라미터, 잡음지수, 신호 대 잡음비(signal-to-noise ratio, SNR) 및 IIP3등을 측정한다. 그러나 본 연구에서 제안하는 자체 내부검사 회로기술은 저잡음 증폭기의 주요사양을 측정하기 위해 고가의 외부 측정 장비를 사용하지 않고 저가의 온칩 자체내부검사 회로를 이용한다.

그림 1은 저잡음 증폭기의 입력 임피던스, 전압이득, 잡음지수 및 입력 반사손실을 측정하기 위해 본 연구에서 제안하는 측정 시스템을 나타낸 것이다. 이 측정 시스템은 저잡음 증폭기와 고주파 자체내부검사 회로로 구성된 온 칩 회로부를 포함한다. 또한 50 Ω 소스 저항(R_s)을 가진 고주파 전압 발생기(v_{in}), 손실이 매우 적은 3개의 고주파 릴레이($S1$, $S2$ 및 $S3$), 50 Ω 부하 임피던스 (Z_L) 및 전압계(DC Meter)로 구성되어 있다. 고주파 자체내부검사 회로는 검사용 증폭기 (TA; Test Amplifier)와 2개의 피크 검출기 (PDI; Peak Detector, PD2)로 구성되어 있다.

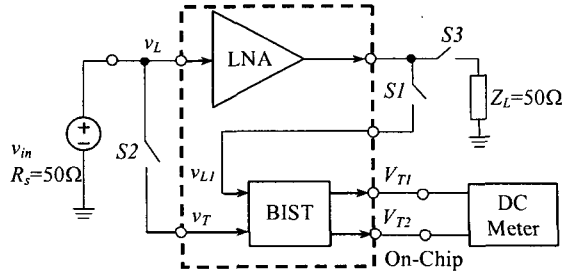


그림 1. 제안된 측정 시스템
Fig. 1. Set-up of a proposed test structure

검사 시, 본 연구에서는 저잡음 증폭기의 역격리 특성(reverse isolation, S_{12})이 0인 단방향(unilateral) 특성을 가정한다. 그러나 실제로 본 연구에서 제작된 단방향 저잡음 증폭기는 참고문헌 [7]에서 거론되어 있듯이 4.5-5.5GHz 영역에서 ± 0.005 dB 이하의 최대 오차를 가지고 있다. 이러한 가정을 이용하여 입력 임피던스, 전압이득, 잡음지수 및 입력 반사손실을 측정하였다.

2.1. 입력 임피던스 (Input Impedance)

그림 1에서 스위치 2와 3을 닫고 스위치 1을 열었을 때 저잡음 증폭기의 임피던스를 측정할 수 있다. 기본 측정원리는 소스 임피던스(R_s)와 입력 임피던스들(Z_{LNA} 및 Z_{TA}) (여기서 Z_{LNA} 는 저잡음 증폭기의 입력임피던스, Z_{TA} 는 검사용 증폭기의 입력임피던스를 나타냄)간의 변화를 측정한다. 소스 임피던스의 값은 변하지 않고 고정되어 있기 때문에 그림 1에 나타난 검사용 증폭기를 이용하여 저잡음 증폭기의 입력임피던스 변화를 관찰하고 측정한다. 그림 2에 나타난 피크 검출기 2의 출력 직류 전압 V_{T2} 를 측정하여 저잡음 증폭기의 입력 임피던스 변화를 관찰한다. 4.5-5.5GHz 영역에서 저잡음 증폭기의 입력임피던스 크기는 다음과 같이 표현할 수 있다.

$$|Z_{LNA}|_B = R_s \frac{K_1}{1 - \left(1 + \frac{R_s}{K_2}\right) K_1} [\Omega] \quad (1.1)$$

$$K_{02} = \frac{V_{T2} - V_{02}}{V_{in}} \quad (1.2)$$

여기서 $K_1 = G_{02}/G_{TA}$ 이고, K_2 는 검사용 증폭기의 입력

임피던스의 크기를 나타내며, V_{02} 는 피크 검출기 PD2의 정류된 출력전압을 나타낸다.

2.2. 전압 이득 (Voltage Gain)

저잡음 증폭기의 전압이득은 그림 1에서 스위치 2와 3을 열고 스위치 1을 닫았을 때 측정이 가능하다. 이러한 경우 그림 1에 표현되어 있듯이 첫 피크 검출기 PD1의 출력 직류전압 V_{T1} 을 측정하여 전압이득을 유도할 수 있다.

$$G_{LNA} = \frac{V_{T1} - V_{01}}{|v_L|} = \left(1 + \frac{R_s}{|Z_{LNA}|_B} \right) G_{01} \quad (2.1)$$

$$G_{01} = \frac{V_{T1} - V_{01}}{V_{in}} \quad (2.2)$$

여기서 G_{01} 은 BIST 회로를 이용해 획득된 이득을 나타내고, V_{01} 은 피크 검출기 PD1의 정류된 출력전압을 나타낸다.

2.3. 잡음지수 (Noise Figure)

잡음지수는 참고문헌[3]에 다음과 같이 나타나있다.

$$NF = 1 + \frac{N_2}{GN_1} \quad (3)$$

여기서 G 는 증폭기 전력이득, N_1 은 증폭기의 소스 저항에 의한 잡음전력, N_2 는 증폭기 내부에서 자연적으로 발생하는 출력 잡음을 나타낸다.

본 연구에서 제안하는 자체내부검사 회로를 이용하여 측정된 잡음지수는 식 (4)와 같이 표현할 수 있으며, 다음과 같은 원리를 이용한다. 즉, 입력 임피던스와 전압이득 측정으로부터 저잡음 증폭기에 결함이 없거나 회로 동작에 영향을 미치지 않을 정도의 공정상 미세변동이 있을 경우, 저잡음 증폭기의 설계사양에 의해 요구되는 잡음지수와 이득을 이용한다.

$$NF = 1 + \frac{G_0}{G_{LNA}} (NF_0 - 1) = 1 + \left\{ \frac{|Z_{LNA}|_B}{R_s + |Z_{LNA}|_B} \right\}^2 \cdot \frac{G_0}{G_{01}} (NF_0 - 1) \quad (4)$$

여기서 G_0 와 NF_0 는 각각 설계사양에서 요구되는 전력이득과 잡음지수를 나타낸다.

2.4. 입력반사손실 (Input Return Loss)

단방향 저잡음 증폭기를 가정하면서 [7], 본 연구에

서 제안하는 자체내부검사 회로를 이용하여 측정된 입력반사손실은 식 (5)와 같이 표현할 수 있다.

$$RL_{in} = 20 \log \left| \frac{Z_{LNA} - Z_0}{Z_{LNA} + Z_0} \right| = 20 \log \left| \frac{|Z_{LNA}|_B - Z_0}{|Z_{LNA}|_B + Z_0} \right| \quad (5)$$

여기서 $Z_0=50\Omega$ 이다

III. BIST 하드웨어 설계

고주파 자체내부검사 회로는 검사용 증폭기 (TA; test amplifier), 밴드갭 참조 바이어스 (band-gap reference) 회로 및 2개의 피크 검출기 (PD1; Peak Detector, PD2)로 구성되어 있다. 고주파 피크 검출기는 고주파 신호를 직류로 변화시켜주는 역할을 한다[7].

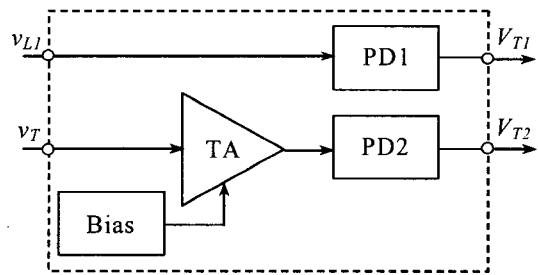


그림 2. 고주파 BIST 하드웨어
Fig. 2. RF BIST hardware

그림 3은 고주파 자체내부검사 회로를 나타낸 것이다. 이러한 회로는 검사용 증폭기와 두 개의 피크 검출기로 구성되어 있다. 그림 3에는 피크 검출기 2 (PD2)에 대한 회로만을 표현했는데 그림 1에 나타난 피크 검출기 1(PD1)도 같은 구조로 설계되어 있다. 바이어스단은 저잡음 증폭기와 마찬가지로 저전압, 저전력 동작을 위해서 저전압 밴드갭 참조 구조를 가진다. 인덕터 L_{c01} 은 임출력 임피던스 정합을 위해 사용되었으며, 바이어스 저항 R_{05} 와 R_{06} 는 트랜지스터 Q_{04} 가 정류 회로로서 활성영역에서 동작하도록 사용하였다. 이러한 베이스-콜렉터 다이오드 결합구조는 순방향 바이어스시 베이스에 축적되는 소수 전하량이 아주 적기 때문에, 고주파 입력신호의 정류작용에 유리한 특성을 가진다[8]. 피크 검출기 출력전압의 리플을 최소로 줄이기 위해 R_{07} 과 C_{05} 는 큰 값을 선택하였다.

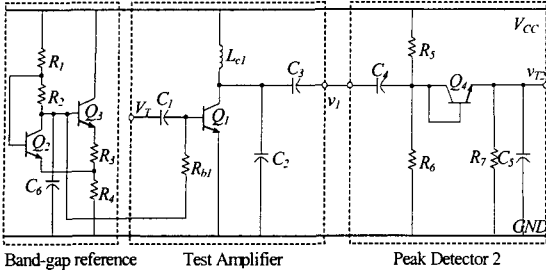


그림 3. 설계된 고주파 자체내부검사 회로
Fig. 3. Schematic diagram of RF BIST

그림 4는 검사용 증폭기와 피크 검출기에 대한 소신호 등가회로를 나타낸 것이다 [9-10]. 트랜지스터들은 하이브리드-파이 모델로 표현되어 있고, 인덕터는 직렬 손실 저항 R 과 그 인덕턴스 L 로 표현되어 있다. 자체 내부 검사 회로를 분석하여 입력 임피던스, 전압이득 및 전달함수를 구하였다. 이러한 분석에서 출력 저항값 r_{o1} 과 r_{o2} 는 그 값들이 상대적으로 아주 크기 때문에 무시하였다.

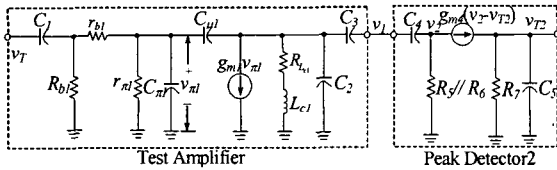


그림 4. 고주파 소신호 등가회로
Fig. 4. High frequency small-signal equivalent circuit

위의 소신호 등가회로로부터 검사용 증폭기의 입력 임피던스는 다음과 같이 나타낼 수 있다.

$$|Z_{TA}| \approx \frac{A(\omega) + B(\omega)}{\omega^2 R_{b1} C_1 [Z_{L1} C_{\mu 1} (1/r_{\pi 1} - \omega^2 g_m Z_{L1} C_{\mu 1}) - (C_{\mu 1} + C_{\pi 1})]} \quad (6.1)$$

여기서

$$A(\omega) = 1 + (R_{b1} + 2r_{b1})(1/r_{\pi 1} - \omega^2 g_m Z_{L1} C_{\mu 1}) + r_{b1}(R_{b1} + r_{b1})(1/r_{\pi 1} - \omega^2 g_m Z_{L1} C_{\mu 1})^2 \quad (6.2)$$

$$B(\omega) = \left(1 + \frac{R_{b1}}{r_{b1}}\right) [Z_{L1} C_{\mu 1} + r_{b1}(C_{\mu 1} + C_{\pi 1})] \left[Z_{L1} C_{\mu 1} + r_{b1}(C_{\mu 1} + C_{\pi 1}) - \frac{R_{b1} Z_{L1} C_{\mu 1}}{r_{b1}}\right] \quad (6.3)$$

$$Z_{L1} = \frac{L_{c1} [(1 - \omega C_3 \text{Im}(Z_{PD2})) + R_{c1} C_3 \text{Re}(Z_{PD2})]}{R_{c1} [(C_2 + C_3) - \omega C_2 C_3 \text{Im}(Z_{PD2})] + C_3 \text{Re}(Z_{PD2}) (1 - \omega^2 L_{c1} C_2)} \quad (6.4)$$

$$\text{Re}(Z_{PD2}) = \frac{(a_1 b_1 - a_0 b_2 \omega^2 + a_2 b_2 \omega^4)}{\omega^2 (b_1^2 + b_2^2 \omega^2)} \quad (6.5)$$

$$\text{Im}(Z_{PD2}) = \frac{-a_0 b_1 + (a_2 b_1 - a_1 b_2) \omega^2}{\omega^2 (b_1^2 + b_2^2 \omega^2)} \quad (6.6)$$

$$\begin{aligned} a_0 &= g_{m4} R_5 R_6 + (R_5 + R_6)(1 + g_{m4} R_7) \\ a_1 &= g_{m4} R_5 R_6 R_7 C_5 + (R_5 + R_6) R_7 C_5 + R_5 R_6 (1 + g_{m4} R_7) C_4 \\ a_2 &= R_5 R_6 R_7 C_4 C_5 \\ b_1 &= a_0 C_4 \\ b_2 &= [a_1 - R_5 R_6 (1 + g_{m4} R_7)] C_4 \end{aligned} \quad (6.7)$$

검사용 증폭기의 전압이득은 다음과 같다.

$$G_{TA} = \frac{(1 - g_{m1} Z_{F1})}{Z_{b1} [C(\omega) - D(\omega)]} \quad (7.1)$$

여기서

$$C(\omega) = \left(1 + \frac{Z_{F1}}{Z_{c1}}\right) \left[\left(\frac{1}{Z_{b1}} + \frac{1}{R_{b1}}\right) + \frac{1}{Z_{F1}} \left(1 + \frac{r_{b1}}{Z_{b1}} + \frac{r_{b1}}{R_{b1}}\right) + \frac{1}{Z_{c1}} \left(1 + \frac{r_{b1}}{Z_{b1}} + \frac{r_{b1}}{R_{b1}}\right)\right] \quad (7.2)$$

$$D(\omega) = \left(1 + \frac{r_{b1}}{Z_{b1}} + \frac{r_{b1}}{R_{b1}}\right) \left[\frac{1}{Z_{F1}} - g_{m1}\right] \quad (7.3)$$

$$Z_{c1} = R_{Lc1} + j\omega L_{c1} \quad (7.4)$$

$$Z_{\pi 1} = r_{\pi 1} // (1/j\omega C_{\pi 1}) \quad (7.5)$$

$$Z_{F1} = 1/j\omega C_{\mu 1} \quad (7.6)$$

$$Z_{b1} = 1/j\omega C_1 \quad (7.7)$$

또한, 피크 검출기 회로를 분석하여 식 (8.1) ~ (8.4) 유도하였다.

$$H_{PD1}(\omega) = \frac{j\omega(g_{m4}' R_5' R_6' R_7' C_4') - V_{o1}}{[(g_{m4}' R_7' - 1) - j\omega R_7' C_5'] [(R_5' + R_6') + j\omega(R_5' R_6' C_4)]} \quad (8.1)$$

$$H_{PD2}(\omega) = \frac{j\omega(g_{m4} R_5 R_6 R_7 C_4) - V_{o2}}{[(g_{m4} R_7 - 1) - j\omega R_7 C_5] [(R_5 + R_6) + j\omega(R_5 R_6 C_4)]} \quad (8.2)$$

$$V_{o1} = \frac{R_5'}{R_5' + R_6'} V_{cc} - V_{be4}' \quad (8.3)$$

$$V_{o2} = \frac{R_5}{R_5 + R_6} V_{cc} - V_{be4} \quad (8.4)$$

본 연구에서는 BIST 하드웨어의 성능을 검증하기 위해 802.11a (무선 근거리 통신망)용 저잡음 증폭기를 제작하였다. 이는 저전압에서도 높은 이득과 낮은 잡음지수를 갖도록 첫째 단과 다음 단간에 교류 결합 특성을 가진 2단 구조의 CE-CE(공통 에미터-공통 에미터) 토폴로지를 이용하였다. 그림 5는 설계한 저잡음 증폭기 회로를 나타낸 것이다. 전체 회로는 4개의 HBT(High Mobility Transistor; 고이동도 트랜지스터), 5

개의 인덕터, 5개의 커패시터 및 6개의 저항으로 구성되어 있으며, 단일 칩내에 설계되었다. 그리고 저전압 밴드갭 참조 구조 (band-gap reference) 바이어스 회로가 각 단계 바이어스 전류를 공급하기 위해 사용되었다. 이러한 회로는 온도나 기타 다른 외부 영향에 상당히 안정(stable)하며, 저전압 응용에 적합하다. HBT Q_{03} 과 Q_{04} 는 각각 약 0.84V의 베이스-에미터 전압 V_{BE} 에 바이어스 되어있다. Decoupling 커패시터 C_{05} 는 바이어스 전압으로부터 발생하는 고주파 잡음을 바이패스 시키기 위해서 사용하였다.

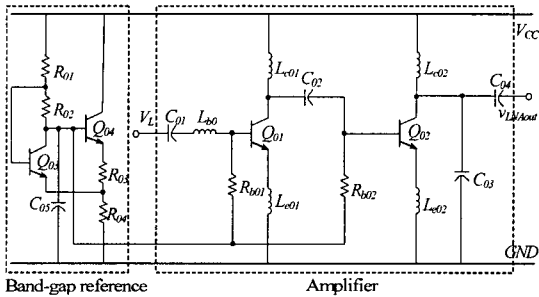
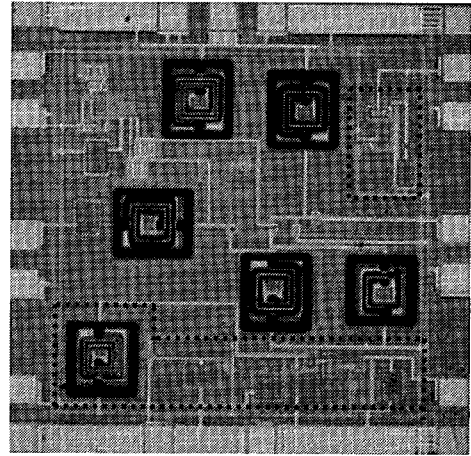


그림 5. 설계된 5.25GHz 저잡음 증폭기
Fig. 5. Schematic diagram of 5.25GHz LNA

그림 6은 고주파 자체내부검사 회로를 가진 저잡음 증폭기에 대한 칩사진을 나타낸 것으로, 다이(die) 면적은 1.45 mm×1.45 mm를 차지한다. 6개의 인덕터들이 대부분의 면적을 차지하며, 이들은 3μm의 두께를 가진 최상위(top) 금속으로 구성 되어있다. 입출력 패드들은 프로브 스테이션을 이용하여 웨이퍼 상에서 측정을 할 수 있도록 GSG (Ground- Signal-Ground) 구조로 레이아웃 되어있다. 신호가 지나갈 선들은 상호결합의 영향을 최소로 줄이기 위해 거리를 가능한 한 멀리하였고, electromigration 조건을 만족시키기 위해 충분히 넓게 하였다. 접지 선들은 접지쪽으로 낮은 임피던스 경로를 제공하기 위해 넓게 하였다. 기판에서 발생하는 잡음을 최소로 하기 위해 각각의 인덕터와 트랜지스터 주위를 접지 보호 링 (guard rings)하여 기판과 연결하였다. 사용된 커패시터는 높은 선택도를 가진 MIM (Metal- Insulator-Metal)구조이며, Tantalum nitride 박막형 저항을 사용하였다.



..... BIST block
그림 6. 설계된 고주파 자체내부 검사 회로와 저잡음 증폭기에 대한 칩 micrograph
Fig. 6. Chip micrograph of RF BIST and LNA

IV. 결 과

표 1은 검사용 증폭기의 이득과 입력 임피던스를 나타낸 것이다. 이러한 결과들은 식 (1.1)에 표현되어 있듯이 입력임피던스의 크기를 구하는데 사용되었다. 검사용 증폭기는 4.5GHz와 5.5GHz의 주파수 범위에서 $R_e(Z_{TA}) \gg I_m(Z_{TA})$ 로 설계되어 있다. 따라서 검사용 증폭기의 입력 임피던스에 대한 위상 천이는 무시할 수 있으며, 정합이 최적화되어 있다. 표 1에 나타낸 검사용 증폭기의 모델링은 식(6.1) ~ (7.7)을 이용하여 얻은 것이다. 표 1에서도 알 수 있듯이 S-파라미터 결과는 4.5GHz와 5.5GHz의 주파수 범위에서 모델링에 의한 결과와 아주 근접한 결과를 보였다.

표 1. 검사용 증폭기의 이득과 입력 임피던스
Table. 1. Gain and input impedance of test amplifier

Frequency [GHz]	S-Parameter Results		Modeling	
	$G_{TA} \pm \Delta G_{TA}$	$ Z_{TA} \pm \Delta Z_{TA} [\Omega]$	$G_{TA} \pm \Delta G_{TA}$	$ Z_{TA} \pm \Delta Z_{TA} [\Omega]$
4.50	2.80	54.57	2.82	53.86
4.75	2.92	52.45	2.93	52.24
5.00	3.10	50.28	3.13	49.72
5.25	3.06	47.95	3.03	48.48
5.50	2.98	45.31	2.96	45.35

본 연구에서는 설계된 자체내부 검사회로의 정확성을 검증하기 위해 $\pm 10\%$ 에서 $\pm 25\%$ 의 변수 미세변동을 고려하였다. 그 결과 그림 3에 나타난 인덕터 L_{C1} 에 대한 변수 미세 변동이 저잡음 증폭기의 이득변화에 가장 민감한 반응을 보였다. 그러나 자체내부 검사회로로 인한 최대 변화는 설계된 저잡음 증폭기에 대해 5GHz에서 단지 0.02dB만을 보였다.

출력 전압 측정을 위해 5GHz의 주파수에서 100mV~180mV의 진폭을 가진 고주파 입력전원을 사용하였다. 측정된 출력 직류 전압(V_{T1} 과 V_{T2})은 피크 검출기 1과 2가 정상상태의 직류값을 제공하기 위해 40ns의 정착시간(settling time) 이후에 측정되었고, 직류 전압 V_{T1} 과 V_{T2} 는 상용의 전압계를 사용하였다.

그림 7은 내부 자체 검사회로의 출력에서 측정된 직류 전압 V_{T1} 과 V_{T2} 를 주파수에 따라 나타낸 것이다.

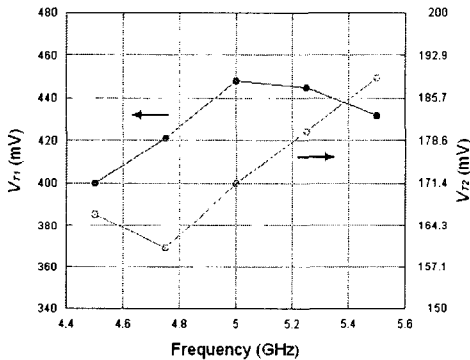


그림 7. 직류 출력 전압 V_{T1} 과 V_{T2}
Fig. 7. DC output voltage V_{T1} and V_{T2}

그림 7에 표현된 결과들은 식 (1.1)과 (2.1)에 표현되어 있듯이 저잡음 증폭기의 입력임피던스와 전압이득을 구하는데 사용되었다. 이러한 결과들에서 예측할 수 있듯이 V_{T1} 은 5GHz에서 가장 큰 값을 보였고, 주파수가 증가할 때 V_{T2} 의 값도 함께 증가하였다.

표 2는 세가지 서로 다른 측정 방법을 비교한 것이다. Cadence에 있는 RF Spectre를 이용하여 external equipment 검사를 시행하였다. 표에서도 알 수 있듯이 본 연구에서 제안하는 자체 내부 검사회로를 이용한 측정 결과는 외부 장비를 이용한 측정 결과 및 모델링에 의한 결과와 아주 비슷한 결과를 보였다. 이러한 결과들은 본 연구에서 제안하는 자체 내부 검사회로를 이용한 검사방법이 저가의 장비만을 이용해도 저잡음

증폭기의 주요 사양들을 측정할 수 있음을 보여준다. 또한 이러한 방법은 SoC를 위한 저가 온 칩 검사회로에 적합함을 보여준다.

표 2. 세가지 서로 다른 측정 방법 비교
Table 2. Comparison of three different measurement techniques

Test	Frequency	Frequency [GHz]				
		4.50	4.75	5.00	5.25	5.50
External Equipment Test	$ Z_{LNA} [\Omega]$	38.45	33.08	32.57	40.27	55.24
	$G_{LNA} [dB]$	16.40	17.76	17.95	17.16	15.96
	$NF [dB]$	2.493	2.559	2.652	2.773	2.922
	$RL_{in} [dB]$	-17.68	-13.82	-13.51	-19.35	-26.06
Modeling	$ Z_{LNA} [\Omega]$	37.50	32.20	31.40	40.05	53.08
	$G_{LNA} [dB]$	16.20	17.53	17.84	17.08	15.88
	$NF [dB]$	2.501	2.562	2.658	2.776	2.925
	$RL_{in} [dB]$	-17.52	-13.68	-13.85	-19.48	-25.89
Proposed BIST	$ Z_{LNA} [\Omega]$	38.16	32.64	34.18	41.76	55.98
	$G_{LNA} [dB]$	16.00	17.44	17.96	16.89	15.40
	$NF [dB]$	2.674	2.707	2.648	2.904	3.206
	$RL_{in} [dB]$	-17.44	-13.56	-14.87	-20.94	-24.97

V. 결 론

본 논문에서는 system-on-chip 송수신기를 위한 새로운 형태의 온 칩 고주파 자체 내부검사 회로를 제안하였다. 이러한 회로는 고가 장비를 사용하지 않고도 SoC 환경을 위해 새로운 하드웨어를 추가함으로써 5GHz 저잡음 증폭기의 전압이득, 잡음지수, 입력 임피던스 및 입력 반사손실을 측정할 수 있음을 보였다. 또한, 본 연구에서 제안한 회로는 SoC 내의 온 칩 데이터 변환기에 의해 자동적으로 그 결과를 측정할 수 있는 구조로 구성되어 있기 때문에 저가격으로 SoC의 고주파 검사를 수행할 수 있다. 이러한 회로를 이용한 검사방법은 저잡음 증폭기의 주요 사양에 대해 기존의 고가 장비를 이용한 검사방법과 아주 유사한 결과를 보였다. 따라서 본 논문에서 제안한 회로는 SoC의 저가 고주파 검사에 적합하리라 기대된다.

참고문헌

[1] J.-Y. Ryu, B. C. Kim and I. Sylla, "A New BIST Scheme

for 5GHz Low Noise Amplifiers," *IEEE 9th ETS, Vol. 9, pp. 228-233, May 2004.*

- [2] D. Lupea, U. Pursche and H.-J. Jentschel, RF-BIST: Loopback Spectral Signature Analysis, *IEEE Proc. of the 2003 DATE Conference and Exhibition*, pp. 478-483, Mar. 2003.
- [3] J. Dabrowski, BiST Model for IC RF-Transceiver Front-End, *2003 Proceedings of the 18th IEEE Int. Sym. on DFT in VLSI SYSTEMS*, pp. 295-302, Nov. 2003.
- [4] R. Voorakaranam, S. Cherubal and A. Chatterjee, A Signature Test Framework for Rapid Production Testing of RF Circuits, *Proc. of the 2002 DATE Conference and Exhibition*, pp. 186-191, Mar. 2003.
- [5] B. R. Veillette and G. W. Roberts, A Built-in Self-Test Strategy for Wireless Communication Systems, *Proceedings of the 1995 ITC*, pp. 930-939, Oct. 1995.
- [6] M. Soma, "Challenges and Approaches in Mixed Signal RF Testing," *IEEE Proceedings*, pp. 33-37, 1997.
- [7] G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design 2nd Edition*, Prentice Hall, pp. 212-293, 1997.
- [8] R.G. Meyer, Low-Power Monolithic RF Peak Detector Analysis, *IEEE J. of Solid-State Circuits*, Vol. 30, No. 1, pp. 6567, Jan. 1995.
- [9] Gray, Hurst, Lewis, and Meyer, *Analog and Design of Analog Integrated Circuits 4th Edition*, John Wiley & Sons, Inc., New York, 2001, chapter 2, 3 and 7.
- [10] B. Razavi, *RF Microelectronics*: Prentice Hall, New Jersey, 1998, pp. 11-53.

저자 소개

류지열(Jee-Youl Ryu)



1993년 부경대학교 전자공학과 졸업(공학사)
 1997년 부경대학교 전자공학과 졸업(공학석사)
 2000년 ~ 현재 에리조나 주립대학교 전기공학과 박사과정

※관심분야 : 고주파 집적회로 설계 및 검사, 모놀로틱 마이크로웨이브 집적회로 설계 및 검사, 아날로그 집적회로 설계 및 검사, 수동소자 모델링 및 검사 알고리즘 개발 및 MEMS 기술

노석호 (Seok-Ho Noh)



1982년 한양대학교 전자공학과 졸업(공학사)
 1990년 일본 동경공업대학교 물리정보공학 졸업(공학석사)
 1993년 일본 사이타마대학교 생산정보공학 졸업(공학박사)

1993년 3월 ~ 1998년 2월 한국전자통신연구소 위성방송시스템연구실 선임연구원
 1998년3월 ~ 현재 안동대학교 전자정보산업학부 전자공학전공 부교수

※관심분야 : 디지털방송시스템, DSP, 반도체회로 설계 및 검사