
10-비트 전류출력형 디지털-아날로그 변환기의 설계

권기협* · 김태민** · 신건순***

A Design of 10 bit Current Output Type Digital-to-Analog Converter

Gi-Hyub Gyoun* · Tae-Min Kim** · Gun-Soon Shin***

이 논문은 2004년도 금오공과대학교 학술연구비와 IDEC의 CAD TOOL을 지원받았음

요 약

본 논문은 상위 7비트와 하위 3비트의 segmented 전류원 구조로서 최적화 된 binary-thermal decoding 방식을 이용한 3.3v 10비트 CMOS D/A 변환기를 제안한다. segmented 전류원 구조와 최적화 된 binary-thermal decoding 방식을 D/A 변환기가 지니므로 가질 수 있는 장점은 디코딩 논리회로의 복잡성을 단순화함으로 칩면적을 줄일 수 있다. 제안된 변환기는 0.35um CMOS n-well 표준공정을 이용하여 제작되었으며, 유효 칩 면적은 0.953 mm² 이다. 설계된 칩의 상승/하강시간, 정착시간 및 INL/DNL은 각각 1.92/2.1 ns, 12.71 ns, ±2.3/±0.58 LSB로 나타났다. 또한 설계된 D/A 변환기는 3.3V의 공급전원에서는 224mW의 전력소모가 측정되었다.

ABSTRACT

This paper describes a 3.3 V 10 bit CMOS digital-to-analog converter with a divided architecture of a 7 MSB and a 3 LSB, which uses an optimal Thermal-to-Binary Decoding method. Most of D/A converters with high speed current drive are an architecture choosing current switch cell, column, row decoding method but this decoding circuit is complicated, occupies a large chip area. For these problems, this paper describes a D/A converter using an optimal Thermal-to-Binary Decoding method. The designed D/A converter with an active chip area of 0.953 mm² is fabricated by using a 0.35 μm process. The simulation data shows that the rise/fall time, settling time, and INL/DNL are 1.92/2.1 ns, 12.71 ns, and a less than ±2.3/±0.58 LSB, respectively. The power dissipation of the D/A converter with a single power supply of 3.3 V is about 224 mW.

키워드

DAC, Thermal-to-Binary Decoding, INL/DNL

I. 서 론

최근에는 모든 시스템의 설계가 디지털 신호 처리 기법을 바탕으로 이루어지고 있다. 그러나 인간이 들

고 보고 말하는 신호는 모두 아날로그 신호이기 때문에 아무리 새로운 디지털 기술이 등장해도 인간과의 연결이 되지 않는다면 그 기술은 별 의미가 없다. 따라서 디지털 신호처리의 최초단계 및 마지막 단계에는

* 금오공과대학교 전자공학과 박사과정
** 구미1대학 정보통신과 겸임교수
*** 금오공과대학교 전자공학부 교수

아날로그 신호를 디지털로, 디지털 신호를 아날로그 신호로 바꾸어 주는 데이터 변환기가 반드시 필요하다. 오늘날 고속, 고해상도의 디지털-아날로그 변환기는 스캐닝 그래픽 시스템, 컴퓨터 시스템, 휴대용 캠코더 등 여러 분야에서 핵심적인 요소가 되고 있다[1][2].

고속 고해상도의 D/A 변환기에 대한 주된 평가 기준은 속도, 정밀도, 가격 및 전력소모 등이 있다. 이러한 기본적 특성은 이를 구현하는 공정에 의하여 크게 결정된다. 종래에는 고속 고해상도의 D/A 변환기는 고속 및 고해상도를 실현할 수 있는 많은 장점을 가진 바이폴라 트랜지스터를 주로 사용하였다. 그러나 이러한 장점에도 불구하고 대부분의 디지털 회로가 고속, 고집적도 및 저소비 전력을 실현할 수 있는 CMOS 공정을 사용하여 만들어지고 있기 때문에, 점차로 고속 고해상도의 D/A 변환기도 이러한 CMOS 공정을 사용하는 것이 집적도, 고정가격 및 전력 소모 등에서 유리하게 된다. 더욱이 CMOS 소자는 계속적인 연구 개발을 통하여 그 최소 선폴이 축소되고, 이에 따른 속도 및 집적도 도 증가하고 있다. 또한, CMOS 아날로그 회로 기술의 빠른 발전에 힘입어 점차적으로 CMOS 공정을 사용한 소자의 동작 특성도 개선되고 있으며, 계속적으로 바이폴라 트랜지스터의 영역은 CMOS 소자에 의하여 대체되고 있다. 또한, 근래에 고속 및 고해상도의 확대된 응용분야는 저가 및 저소비전력의 특성을 갖는 소자를 필요로 하고 있으며, 이러한 측면에서 CMOS 소자를 사용한 소자의 필요성은 더욱 증가하고 있다[6].

일반적으로 CMOS공정을 이용한 D/A 변환기는 전류 스위칭 방식과 저항 어레이를 이용하는 두 가지 방식으로 나눌 수 있다. 후자의 방식은 두 개의 기준 전압사이에 저항 어레이가 커지는 방법에 의해서 출력 전압이 결정되게 된다. 이 구조는 수동소자 저항 어레이를 사용하여 선형성은 우수하지만 출력에 낮은 임피던스를 얻기 위한 고속 출력전압 버퍼를 필요로 하므로 전력소모가 증가되고, 저항어레이 사용으로 인한 칩 면적이 증가한다는 단점이 있다. 전류 스위칭 방식은 가장 빠른 변환율을 얻을 수 있는 전류원 셀 매트릭스 구조에 기반을 두고 있다. 입력된 코드에 따라서 가변적으로 전류원들이 구동되고 모여진 출력 전류가 부하에 직접 전달되므로 출력 버퍼 없이도 충분한 아날로그 전압이 공급된다. 이런 종류의 D/A 변환기는

스위치들이 동시에 구동되거나 그것들의 전하주입을 적절히 조절한다면 빠른 안정 시간을 얻을 수 있다. 하지만 작은 크기의 전류원 셀들을 사용해야 하기 때문에, 이로 인한 전류원 셀 사이에 전류 불일치가 커질 수 있다.

본 연구에서 구현된 D/A 변환기는 2단 분리형 병렬 처리 전류 스위칭 구조로 10 비트 150 MHz 의 변환속도를 가지며, 전류원 셀, 버퍼, 3비트 온도계 방식의 디코더, 7비트 온도계 방식의 디코더, 래치부 등으로 구성되었다. 대부분의 고속 전류 구동형 D/A 변환기는 전류 스위치 셀을 선택하는 구조로 행, 열 디코딩 방식이었는데, 이 방식에 의하면 하나의 전류스위치 셀 안에 신호 선택회로가 함께 들어가므로, 즉 아날로그 회로 부분과 디지털 회로부분의 분리가 어렵고, 이로 인해 배선이 복잡함으로 칩 면적이 커진다. 이를 개선하기 위한 방법으로 최적화 된 온도계 디코딩 방식에 의한 D/A 변환기를 제안한다.

본 논문의 전체적인 구성은 아래와 같다.

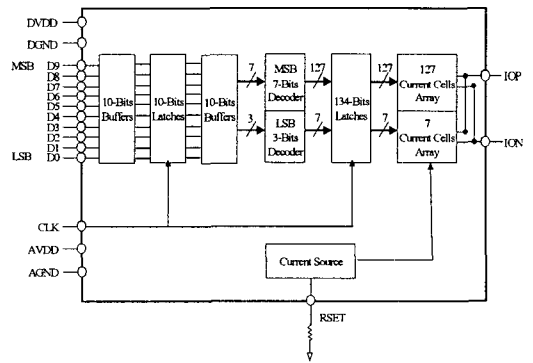


그림 1-1. 10-비트 D/A 변환기의 기능 블록 다이어그램.

제 2 장에서는 설계한 D/A 변환기의 구조와 내부 블록인 전류원 셀, 디코더, 래치의 동작원리와 설계에 대해서 설명하였다. 제 3 장에서는 0.35 μm공정 모델을 이용하여 설계한 D/A 변환기의 모의실험 결과 및 고찰에 대해서 설명하였고, 제 4 장에서는 결론을 맺었다.

II. D/A 변환기 설계

2.1 전류셀

DAC에서 특성을 저하시키는 주요 요인들에는 다음과 같은 것들이 있다.

- 1) 전류 셀 입력의 불안정한 동기
- 2) 전류 셀에서 입력 스위치가 common되는 곳에서의 voltage fluctuation
- 3) Clock-feedthrough로 인한 glitch의 영향 및 출력 신호 크기에 따른 신호 왜곡
- 4) MSB, LSB간 rising falling time의 차이로 인한 glitch 발생

D/A 변환기에서 특성을 저하시키는 주요 요인들 가운데 전류원에서 입력 스위치가 공통되는 곳에서의 전압 변동을 들 수 있다. 본 논문에서는 전류원을 캐스코드로 연결하여 높은 임피던스 노드를 유지함으로써 전압 변동으로 인한 영향을 방지하였다. 그림 3-2의 전류원 셀(icell1)에서 보는 바와 같이 M1, M2 트랜지스터는 캐스코드로 연결된 것이고, M3, M4 트랜지스터는 차동 입력 스위치이다. 상위 비트에서 사용된 전류원 셀(icell8)은 icell1을 하나의 전류원 셀로 구성하여 8개로 병렬 연결시켜 큰 전류로 인해 큰 디바이스 면적으로 인해 차동 입력 스위치의 공통노드에서의 기생 커패시터가 커지는 것을 방지함과 동시에 전류의 매칭을 용이하게 함으로써 신호의 왜곡을 방지하였다.

이 두가지의 단위 전류원, icell1, icell8은 기준 전류 (IREF = 21.12 μ A)에 의해 각각

$21.12\mu A \times 1 = 21.12\mu A$, $21.12\mu A \times 8 = 168.96\mu A$ 의 전류가 공급되므로 168.96 μ A는 상위 7-비트용으로 21.12 μ A는 하위 3-비트용으로 설정된다. 따라서 full-scale 전류 IOUTFS는

$IOUTS = (IREF \times 1) \times 7 + (IREF \times 8) \times 127$ (2-1)와 같다.

칩 외부 RSET 단자에 저항을 연결시킴에 따라 IREF 전류가 흐르게 됨을 의미하고, 이 때의 full-scale 전류 IOUTFS는 식(3-1)과 같으며, 이 때 출력 단자 IOP와 ION에 각각 50 Ω 의 저항을 AGND에 연결하면 full-scale 전압은 IOUTFS \times 50 Ω 가 된다(D9~D0 입력 데이터가 모두 1인 때에는 IOP 단자가 full-scale 전압으

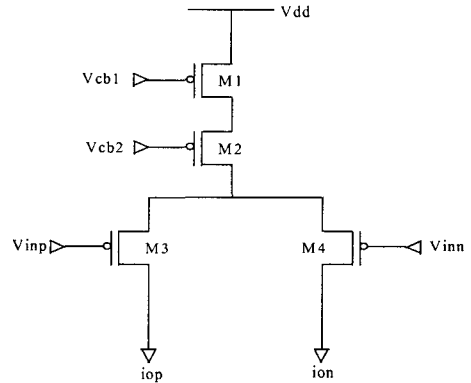


그림 2-1. 전류원 셀(icell1).

로 나타나고, 이 때의 ION 단자 전압은 0이며, D9~D0 입력 데이터가 모두 0인 경우는 이와 반대이다). 또한 식(3-1)에서 7과 127의 수는 LSB, MSB 각각의 전류원 셀의 수, 즉 2ⁿ⁻¹(여기서 N은 각각의 비트 수)개 로서 MSB가 127개, LSB는 7개로 각각 구성되게 되므로 상기 단위 전류원 을 이용하여 LSB(icell1_7), MSB(icell8_127)용 전류원들을 구성할 수 있고, 이들 전체는 134-비트의 입력신호가 필요로 하며, 이는 래치와 디코더로부터 신호를 받게 되어 있다

2.2 이진 온도계 방식의 디코더 설계

2.2.1 하위 3-비트 디코더 설계

하위 3-비트 디코더는 입력 데이터 D0, D1, D2에 대하여 출력 데이터는 1~7까지의 데이터로 디코딩 된다. 표 3-1에서의 하위 3-비트 디코더의 입출력 관계를 나타내고 있다. 이 입출력 관계를 로직으로 구현하면 표 3-2와 같다.

그리고 그림 3-6을 하위 3-비트의 시뮬레이션 출력을 보여 주고 있다.

표 2-1. 하위 3-비트 디코더의 입출력 관계.

입 력			출 력						
D2	D1	D0	do1	do2	do3	do4	do5	do6	do7
0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0
0	1	1	1	1	1	0	0	0	0
1	0	0	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0
1	1	0	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

표 2-2. 하위 3-비트 디코더 함수의 조합 논리.

출력	논리식
do1	$D0 + D1 + D2$
do2	$D1 + D2$
do3	$D0 \cdot D1 + D2$
do4	$D2$
do5	$(D0 + D1) \cdot D2$
do6	$D1 \cdot D2$
do7	$D0 \cdot D1 \cdot D2$

표 2-3. 4-비트 디코더 함수의 조합논리.

출력	논리식
do1	$D0 + D1 + D2 + D3$
do2	$D1 + D2 + D3$
do3	$D0 \cdot D1 + D2 + D3$
do4	$D2 + D3$
do5	$(D0 + D1) \cdot D2 + D3$
do6	$D1 \cdot D2 + D3$
do7	$D0 \cdot D1 \cdot D2 + D3$
do8	$D3$
do9	$(D0 + D1 + D2) \cdot D3$
do10	$(D1 + D2) \cdot D3$
do11	$(D0 \cdot D1 + D2) \cdot D3$
do12	$D2 \cdot D3$
do13	$((D0 + D1) \cdot D2) \cdot D3$
do14	$D1 \cdot D2 \cdot D3$
do15	$D0 \cdot D1 \cdot D2 \cdot D3$

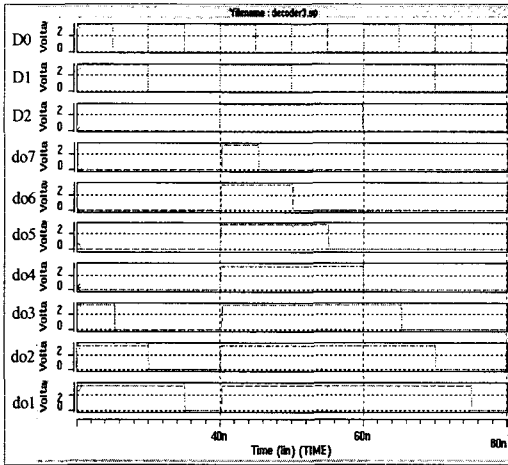


그림 2-2. 하위 3-비트 디코더의 출력.

2.2.2 상위 7-비트 디코더 설계

상위 7-비트 디코더를 위한 4-비트 디코더는 입력 데이터 D0, D1, D2, D3에 대하여 출력 데이터는 1~15까지의 데이터로 디코딩 된다. 이를 로직으로 구현하면 표 3-3과 같다.

상위 비트에 사용되는 7-비트 디코더는 표 2-3에서 설계된 4-비트 디코더를 기본 디코더로 정하고 이를 확장해서 설계할 수 있다. 표 2-2의 하위 3-비트 디코더를 기본 디코더로 사용할 수 있지만, 사용하지 않은 것은 연속적으로 디코더를 확장할 때에 확장 횟수가 늘어나게 되면 확장 단계에서의 신호들간의 지연시간의 차이로 글리치 문제가 발생하게 되고, 이것을 해결하기 위해서 지연시간과 팬 아웃을 고려한 버퍼가 필요하게 되며, 배선에 들어가는 면적이 늘어나게 된다.

그러므로 본 논문에서는 7-비트 디코더를 설계하기 위해 확장횟수를 3번으로 제한하였다. 이러한 이유에서 상위 7-비트 디코더를 설계할 때 4-비트 디코더를 기본 디코더로 삼았다. 7-비트 디코더는 입력 데이터 D0, D1, D2, D3, D4, D5, D6을 1~127까지의 데이터로 디코딩 된다. 먼저 표 2-2와 표 2-3에서 설계된 3-비트와 4-비트의 디코더 논리식을 통해서 일정한 규칙성을 발견할 수 있다. 표 2-3의 4-비트 디코더의 출력 논리식은 표 2-2의 3-비트 디코더의 출력 논리식과 4-비트 디코더의 입력 신호 D3의 AND, OR를 이용한 조합으로 이루어져 있음을 발견할 수 있다. 이런 규칙성을 이용하여 표 2-3의 기본 4-비트 디코더를 가지고 7-비트 디코더로 확장할 수 있다. 입력이 D0, D1, D2, D3, D4인 5-비트 디코더를 구성한다면 5-비트 디코더의 출력은 dv1~dv31로 31개의 출력을 가지게 된다. 여기서 출력 dv1~dv15는 표 2-3에 언급한 4-비트 디코더의 출력 do1~do15에 5-비트 디코더의 입력 신호 D4를 OR한 것과 동일하고, 출력 dv16은 입력 신호 D4와 같다. 그리고 출력 dv17~dv31는 4-비트 디코더의 출력 do1~do15에 5-비트 입력신호 D4를 AND한 것과 동일하다. 이런 방법으로 설계된 5-비트 디코더에서 동일한 방법으로 6-비트 디코더와 7-비트 디코더를 설계할 수 있다.

표 2-4. 상위 7-비트 디코더 함수의 조합논리.

출력	논리식
dk1	$D_6 + du_1$
dk2	$D_6 + du_2$
dk3	$D_6 + du_3$
dk4	$D_6 + du_4$
⋮	⋮
dk60	$D_6 + du_{60}$
dk61	$D_6 + du_{61}$
dk62	$D_6 + du_{62}$
dk63	$D_6 + du_{63}$
dk64	D_6
dk65	$D_6 \cdot du_1$
dk66	$D_6 \cdot du_2$
dk67	$D_6 \cdot du_3$
dk68	$D_6 \cdot du_4$
⋮	⋮
dk124	$D_6 \cdot du_{60}$
dk125	$D_6 \cdot du_{61}$
dk126	$D_6 \cdot du_{62}$
dk127	$D_6 \cdot du_{63}$

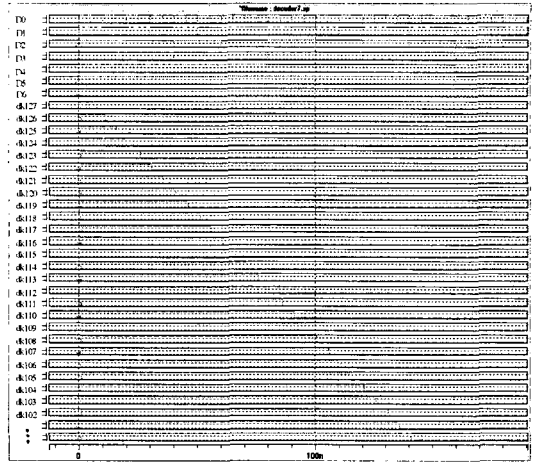


그림 2-4. 상위 7-비트 디코더의 출력.

결과적으로 표 3-4와 같이 상위 비트에 사용되는 7-비트 디코더를 설계 할 수 있다. 표 2-4 에서 $du_1 \sim du_{63}$ 은 6-비트 디코더의 출력이며, D_6 은 7-비트 디코더의 입력 데이터이다.

표 2-4를 이용하여 회로를 구성하면 그림 2-3과 같다. 그리고 그림 2-4는 상위 7-비트 디코더의 출력의 일부분을 보여 주고 있다.

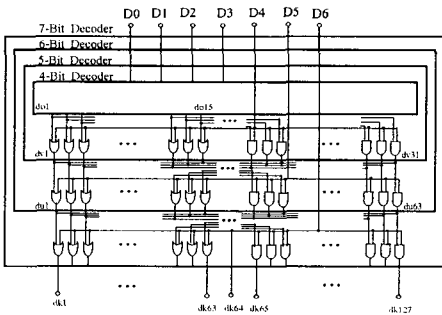


그림 2-3. 상위 7-비트 디코더 회로.

2.3 래치 설계

그림 1-1의 하위 3-비트와 상위 7-비트의 디코더의 출력은 총 134개의 데이터가 출력된다. 그런데 하위 3-비트 디코더의 출력 데이터 7개와 상위 7-비트 디코더의 출력 데이터 127개 는 출력 지연시간에 차이를 보인다. 이 데이터들이 그림 2-1의 전류원 셀의 차동 스위치를 동작시키므로 출력 데이터의 지연시간의 차이는 글리치 에너지를 증가시키거나 신호를 왜곡하는 결과를 초래하게 된다[13]. 그러므로 그림 3-8의 Master-Slave 래치를 사용하여 134개의 데이터의 출력시간을 동기 시키므로 글리치 에너지의 증가를 감소 시켰다. 그림 3-8의 래치는 클럭의 상승 구간에서 입력 데이터가 동기되어 출력된다.

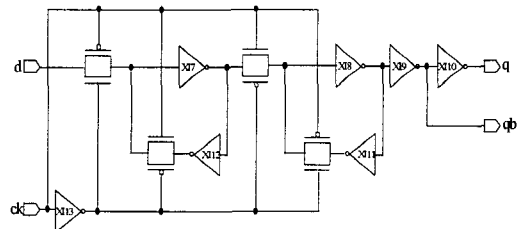


그림 2-5. 래치 회로.

그림 2-6은 래치의 동작 시뮬레이션을 보여 주고 있다.

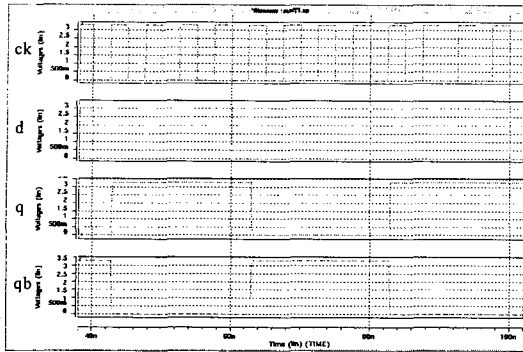


그림 2-6. 래치의 동작.

III. 결과 고찰

전체회로에 대한 검증은 Meta- Software사의 HSPICE를 이용하였으며, 이때 사용된 공정파라미터는 0.35- μm 공정을 이용하여 모의실험을 하였다.

전류원의 공급전압은 3.3 V 단일 전압을 공급하여 구동하도록 하였다. 20 pF의 부하를 갖는 출력단에 전류가 충전되고 방전되는 상승시간은 1.92 ns, 하강시간은 2.1 ns로 측정되었고, 안정화 시간 그림 4-1에서 나타난 것 과 같이 12.71 ns로 측정되었다. 변환 속도는 안정화 시간에서 1 LSB의 전압 레벨의 0.1% 이내에 동작하여야 하므로 200 MHz이하에서 동작함을 알 수 있다.

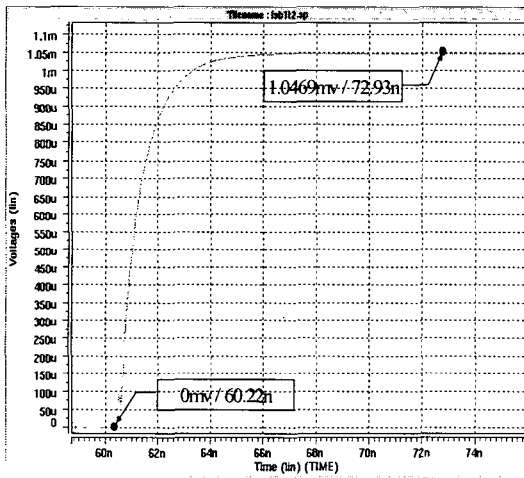


그림 3-1. 안정화 시간(Settling Time).

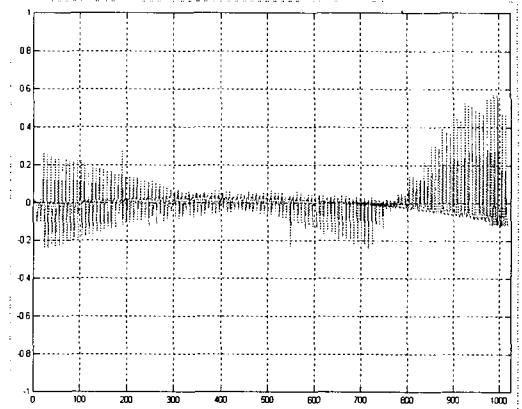


그림 3-2. 10-비트 D/A 변환기의 미분 선형성(DNL).

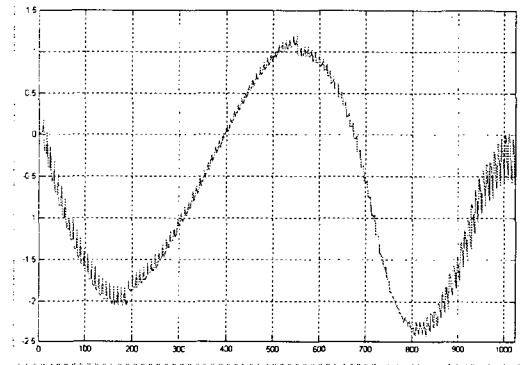


그림 3-3. 10-비트 D/A 변환기의 적분 선형성(INL).

그림 3-2와 그림 3-3은 입력 데이터와 출력 데이터를 가지고 미분 비선형성 (DNL)와 적분 비선형성(INL)을 측정한 결과를 나타내었다. 미분 비선형성 과 적분 비선형성은 각각 식(2-3)와 식(2-4)에서와 같이 구할 수 있다.

입력이 10 비트의 디지털값이 바뀔 때의 출력 아날로그값과 이전의 아날로그값과의 차이를 1 LSB로 나누고 다시 이 값에서 1을 뺀 값을 DNL이라고 정의하였다. 그리고 모든 DNL의 값의 합을 INL이라고 한다. 측정된 DNL은 ± 0.55 LSB에서 나타났으나 INL특성은 ± 2.3 LSB로 나타났다. 전력소모는 220 mW 로 나타났다.

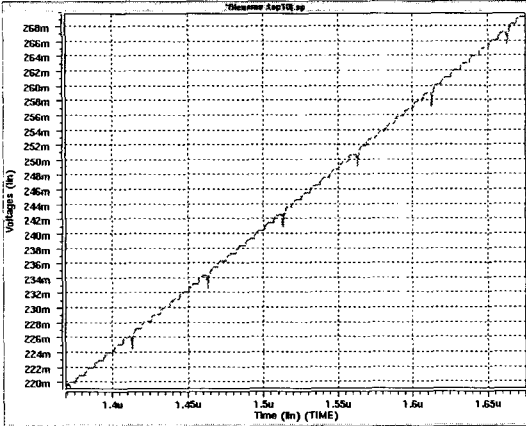


그림 3-4. 10-비트 D/A 변환기의 글리치 현상.

그림 3-4는 설계된 D/A 변환기의 글리치 현상을 보여 주고 있다. 하위 비트 전류셀의 차동 스위치와 상위 비트 전류셀의 차동 스위치가 동시에 스위칭하는 과정에서 발생하는 글리치 현상이다. 즉 111...0001111111에서 111...0010000000로 변화하는 과정 가운데 8개의 스위치가 동시에 변화하면서 글리치 현상이 나타나게 된다. 글리치 에너지 $1.7mV \times 1.25ns \times 127 = 270pVs$ 로 측정되었다.

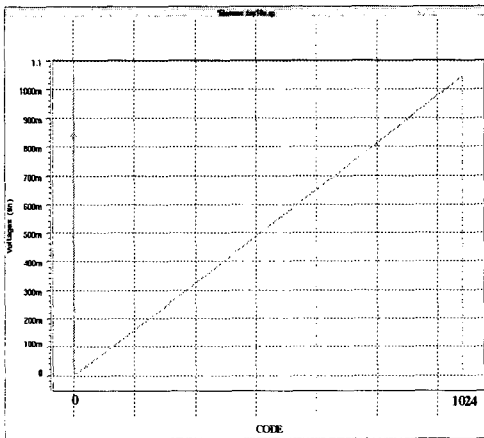


그림 3-5. 10-비트 D/A 변환기의 전체 출력.

그림 3-5는 설계한 회로에 입력된 신호의 디코딩 데이터 값에 대한 출력 전압의 변화를 나타내었다. 출력 측에 50 Ω의 저항과 20 pF의 용량성 임피던스를 부하로 사용하였다[6].

표 3-1에서는 설계한 전류출력형 10 비트 150 MHz

CMOS D/A 변환기의 측정결과를 요약하였다. 특성 중 전력소모는 전 전류(디지털 입력이 : 11...11)가 흐를 때의 전체 전력소모를 나타낸 것이다.

표 3-2는 10-비트 D/A 변환기의 각 블록에 대한 소자의 개수를 나타내고 있다. 그리고 그림 4-6은 설계한 D/A 변환기의 레이아웃 회로이며, 공정 파라미터로는 0.35 μm 공정의 2Poly 4Metal을 이용하였다. 레이아웃 편집기인 Mentor로 레이아웃을 하였다. 패드부분을 제외한 D/A 변환기 회로의 칩 크기는 1.104 mm × 0.863 mm 으로 0.953 mm² 이다.

표 3-1. 10-비트 D/A 변환기의 특성 요약.

해상도	10 bit
공급 전압	3.3 V
INL	±2.3 LSB
DNL	±0.35 LSB
Glitch	270 pVS
Offset Error	0 LSB
Gain Error	-0.58 LSB
상승/하강 시간	1.92 / 2.1 ns
안정 시간	12.71 ns
변환 속도	150 MHz
출력 스윙	1.044 V
전력 소모	224 mW
칩 면적	0.953 mm ²

표 3-2. 10-비트 D/A 변환기 각 블록의 소자 개수

10-비트 D/A 변환기의 블록	MOS 트랜지스터의 개수
10-비트 버퍼	600
10-비트 래치	360
상위 7-비트 디코더	3982
하위 3-비트 디코더	132
134 래치	4824
127 전류원 셀	8128
7 전류원 셀	448
전체 블록	19074

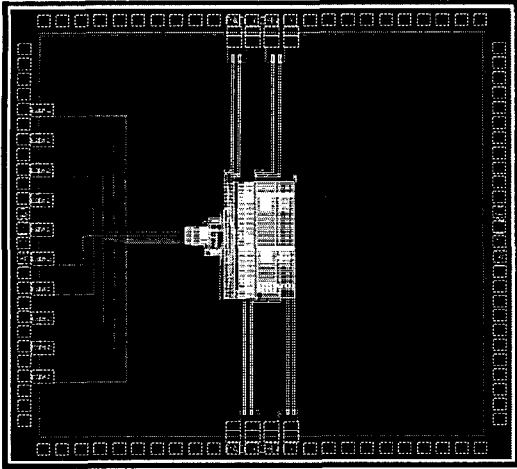


그림 3-6. 10-비트 D/A 변환기 회로의 전체 레이아웃.

IV. 결 론

본 논문에서는 0.35 μm HSPICE 모델을 사용하여 3.3 V의 전원 전압으로 동작하는 10 비트 150 MHz 전류 출력형 CMOS D/A 변환기를 설계하였다. 기존의 행, 열 디코딩 매트릭스 구조가 가지고 있는 디지털 부분과 아날로그 부분이 혼재하게 되므로, 아날로그 부분과 디지털 부분이 분리하기가 어렵다는 단점과 더욱이 전원선의 배치상 아날로그와 디지털 전원선이 동시에 이 배열에 위치하여야 하므로, 배선이 복잡하고 디지털 부분에서 아날로그 부분으로 잡음이 전달되게 되어 출력단에 이 영향이 나타난다는 단점을 개선하기 위하여 규칙적 배열의 온도계 방식의 디코더를 이용한 병렬 처리구조를 이용하여 이점을 개선하는데 중점을 두었다.

실제적으로 규칙적 배열의 온도계 방식의 디코더를 이용하여 병렬처리 구조로 D/A 변환기를 구현했을 때 디지털부분과 아날로그 부분이 명확히 분리가 되며, 배선의 규칙성으로 인해 10-비트를 0.953 mm^2 의 칩 면적으로 처리하여 칩 면적 면에서 현저한 개선이 있었다. 그러나 비트 수가 많아질 경우에 전류원 셀 간의 전류 균형을 맞추기가 어렵다. 이로 인해 미분 비선형성(DNL)과 적분 비선형성(INL)이 커지게 되므로 특정한 보정회로가 필요로 된다.

전체회로의 전력 소비는 224 mW, 전체 출력 전압

은 1.044 V, 그리고 전체 출력 전류는 20.89 mA이다. 변환속도는 150 MHz로 구현되었고, ± 0.58 LSB의 미분 비선형성과 ± 2.3 LSB의 적분 비선형성을 갖는다.

참고문헌

- [1] T.-Y. Wu, C.-T. Jih, J. -C. Chen, and C.-Y. Wu, "A low glitch 10-bit 75-MHz CMOS video D/A converter" *IEEE J. Solid-State Circuits*, vol. 30, no. 1, pp. 68-72, Jan. 1995.
- [2] S.-Y. Chin and C. -Y. Wu, "A 10-b 125-MHz CMOS digital-to analog converter(DAC) with threshold-voltage compensated current sources" *IEEE J. Solid-State Circuits*, vol. 29, no. 11, pp. 1374-1380, Nov. 1994.
- [3] Yasuyuki Nakamura, et al., "A 10-b 70-Ms/s CMOS D/A converter" *IEEE J. Solid-Sate Circuits*, vol. 26, no. 4, pp. 637-642, Apr. 1991.
- [4] K.-H.Ryu and D.-S. Yoon, "A 3.3-V 65-MHz 12 bit CMOS digital to analog converter" *Proceedings of ITC-CSCC '98*, July 13-15, pp. 1439-1442. 1998.
- [5] T. Miki et al., "An 80-MHz 8-bit CMOS D/A converter," *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 983-988, Dec. 1986.
- [6] 김 욱, "고속 고해상도 디지털-아날로그 변환기의 설계에 관한 연구," 서울 대학교 박사학위 논문. 1994.
- [7] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, No. 5, pp. 1433-1439, Oct.1989.
- [8] Marcel J. M. Pelgrom, "A 10-b 50-MHz CMOS D/A converter with 75- Ω buffer" *IEEE J. Solid-State Circuits*, vol. SC-25, pp. 1374-1352, Dec. 1990.
- [9] Neil H. E. Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, 2nd ed., *Addition Wesley pub.co.*, New York, 1993.
- [10] David A. Johns and Ken Martin, Analog Integrated Circuit Design, *John Wiley & Sons. Inc.*, 1997.
- [11] J. M. Fourier and P. Senn, "A 130-MHz 8-b CMOS

video DAC for HDTV applications" *IEEE J. Solid-State Circuits*, vol. 26, no. 7, pp. 1073-1077, July. 1991.

- [12] C. H. Lin and K. Bult, "A 10-b 500-M Sample/s CMOS DAC in 0.6 mm^2 " *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [13] 김지현, 권영복, 윤광섭, "2단 전류셀 매트릭스 구조를 지닌 저전압 고속 8비트 CMOS D/A 변환기" *전자공학회지*, vol. 35C, no. 4, pp. 50-59, 1998.

저자약력

권기협(Gi-hyub Gyun)

2001년 금오공대 전자공학부 졸업.
 2003년 금오공대 대학원 전자공학부 졸업(공학석사).
 현재 금오공대 대학원 전자공학부 박사과정.

※주관심분야 : ASIC 및 아날로그 IC 설계 등임.

김태민(Tae-Min Kim)



1994년 금오공대 전자공학과 졸업.
 1998년 금오공대 대학원 전자공학과 졸업(공학석사).
 2002년 금오공대 대학원 전자공학부 졸업(공학박사).

현재 구미1대학 정보통신과 겸임교수, ChipWork 대표.
 ※주관심분야 : ASIC 및 정보통신 등임.

신건순(Gun-Soon Shin)



1972년 한양대학교 전기공학과 졸업.
 1983년 전북대학교 대학원 전기공학과 졸업(공학석사).
 1989년 전북대학교 대학원 전기공학과 졸업(공학박사).

1993년 미국 Ohio State University 전기공학과.
 Solid-State Microelectronic Lab. 객원교수
 현재 금오공과대학교 전자공학부 교수.
 ※주관심분야 : ASIC 및 아날로그 IC 설계 등임.