
3D 디스플레이를 위한 FPGA-기반 실시간 포맷변환기의 하드웨어 구현

서영호* · 김동욱**

Hardware Implementation of FPGA-based Real-Time Formatter for 3D Display

Young-Ho Seo* · Dong-Wook Kim**

본 논문은 2005년도 교육인적자원부 산업자원부 노동부에서 지원하고 있는
최우수 실험실 지원사업의 연구결과임

요 약

본 논문에서는 패럴랙스 배리어 방식의 2D/3D 겸용 PC 및 핸드폰용 LCD를 위한 화소단위의 실시간 3D 영상변환 구조를 제안하고, 이를 FPGA 기반으로 설계한 후에 전체적인 동작을 위한 시스템으로 구현하였다. PC로부터 출력되는 아날로그 형태의 영상신호를 A/D 변환한 후에 디지털 형태의 신호를 입력된 영상의 형태에 따라서 3D 형태의 영상으로 재구성한다. 3D 형태의 영상으로 재구성하는 알고리즘은 패럴랙스 배리어에 많은 부분 의존하고 하는데, 입력되는 영상의 포맷에 따라서 R, G, B의 화소 단위로 영상을 인터리빙하는 방식을 사용한다. 제안한 구조는 고속의 메모리 처리기법과 함께 다시점 2D 영상을 3D 영상으로 변환하는 FPGA로 설계되고, 고속의 데이터 저장 및 처리를 위해 4개의 SDRAM을 사용한다. 구현된 전체 시스템은 A/D 변환기를 위한 시스템과 디지털화된 2D 영상신호를 3D 디스플레이를 위한 영상신호로 변환하는 FPGA 시스템 그리고 3D영상을 디스플레이할 수 있는 LCD 패널로 구성된다.

ABSTRACT

In this paper, we propose real-time 3D image converting architecture by a unit of pixel for 2D/3D compatible PC and LCD of cellular phone with parallax barrier, and implement a system for overall display operation after designing a circuit based on FPGA. After digitizing analog image signal from PC, we recombine it to 3D image signal according to input image type. Since the architecture which rearranges 2D image to 3D depends on parallax barrier, we use interleaving method which mixes pixels by a unit of R, G, and B cell. The propose architecture is designed into a circuit based on FPGA with high-speed memory access technique and use 4 SDRAMs for high performance data storing and processing. The implemented system consists of A/D converting system, FPGA system to formatting 2D signal to 3D, and LCD panel with parallax barrier, for 3D display.

키워드

3D display, formatter, FPGA, LCD

* 한성대학교 정보통신공학과

접수일자 : 2005. 2. 21

** 광운대학교 전자재료공학과 디지털 설계 및 테스트 연구실

I. 서론

3D(3Dimension, 3차원) 영상 기술은 2D 영상에 깊이 감의 정보를 부여하여 보다 사실적인 영상을 표현하는 기술로서, 그림 1에서 개념적으로 예시한 것과 같이 현장에서 실물을 보는 듯한 입장감, 사실감, 생동감과 가상현실감을 제공한다. 3D 영상 기술의 응용분야는 개인용 모니터, 정보통신, 게임, 의료, TV 방송, 교육, 훈련, 시뮬레이터, 화상처리, 영상, 인쇄, 군사, 산업기술 등 매우 다양하며 차세대 입체 멀티미디어 정보통신분야의 핵심 기반기술이라 할 수 있다[1]. 중장기적인 시장규모만 보더라도 2010년에 3D 디지털 TV 및 LCD 관련 시장규모는 약 100억불로 추정되므로, 이를 기반으로 한 새로운 3D 영상 시장 규모가 창출될 것으로 예상된다. 우선 상업화가 기대되는 분야는 무안경 방식의 입체영상 TV와 모니터인데 LCD를 채용한 방식으로 평판 디스플레이의 장점을 갖추고 있으면서 입체영상 방식이 부가된 박형구조로 개인용 모니터를 비롯한 첨단 정보통신 분야에 응용이 가능하다[2][3].

지금까지 일반적인 2D 영상을 3D 입체영상으로 변환하는 기술은 상용화 단계는 아니더라도 많은 연구가 진행되어 왔다[4][5][6]. 그러나 거의 대부분이 연구 단계에 머물러 있을 뿐만 아니라 하드웨어를 위한 알고리즘이 부족하다. 앞으로 디지털 TV의 보급 정책에 따라서 수요가 증가할 것으로 예상되고, 이러한 디지털 방송의 저변확대는 입체방송의 밑거름이 되어 3D 영상을 시청할 수 있는 입체 TV의 보급이 확대될 것으로 예상된다[2].

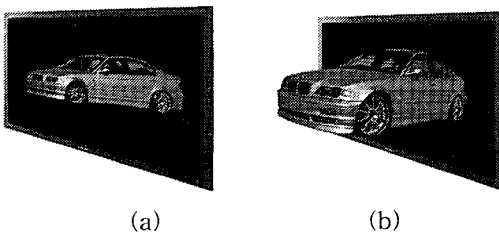


그림 1. 입체영상에 대한 가시적인 개념 (a) 2D 영상 (b) 3D 영상.

Fig. 1. Visual concept for stereoscopic image (a) 2D image (b) 3D image.

본 논문은 본격적인 3D 입체 TV와 모니터의 실용

화 초기단계에서 기존의 디지털 TV와 모니터 혹은 2D/3D 겸용 TV와 모니터를 기반으로 하여 3D 입체영상으로 변환하여 보여주는 하드웨어 IP/칩을 구현하는 것이다[7][8]. 국외에 비해서 국내의 경우는 3D 입체영상을 변환하고 처리하는 하드웨어의 연구 및 상품이 거의 없다. 따라서 본 연구에서는 기존의 알고리즘과 본 연구를 통해 개발된 기술들을 바탕으로 3D 입체영상을 위한 하드웨어를 IP 형태로 설계한다. 설계된 하드웨어의 검증은 위해서 테스트 보드와 영상 입출력 장치들을 구성한다. FPGA를 이용하여 일차적으로 검증을 수행하면 3D용 LCD 패널과 구현된 하드웨어의 상호 동작을 검증한다.

II. 3D 디스플레이 방식

2.1. 3D 디스플레이 개발 현황

3D 영상은 90년대 중반을 시점으로 활발한 연구가 이루어지고 있는데, 현재 시장성장 단계에 이르렀고 앞으로 향후 10년 이내에 2D와 공존된 형태의 3D 시장이 자리를 잡아 저변을 확대할 것으로 예상된다. 표 1에 일차적으로 상용화가 될 것으로 예상되는 3D 모니터와 TV에 대한 시장규모에 대한 예측치를 보이고 있는데 2010년에 약 100억불 이상의 시장 규모와 50%의 성장률을 보일 것으로 예측된다. 이러한 성장을 위해서 국내외의 연구기관과 산업체에서 다양한 연구가 진행되었는데 일본과 미국이 주도하는 국외 연구에 비해서 국내 연구는 아직 미비한 점이 많다. 따라서 시장 선점과 수입대체 등을 위해서 상용화가 가능한 실질적인 3D 관련기술에 대한 연구 및 개발이 시급한 실정이다.

미국에서는 1998년 NASA의 화성탐사 로봇 「Path Finder」에 3D 스테레오 카메라를 탑재하여 지구로 화성의 사진들을 3D 입체로 전송한 바 있으며, 3D 매체를 통합한 「실감매체」국책과제가 NASA, MIT, Washington Univ., CMU 등에서 정보통신, 국방, 의료 등을 목적으로 추진되고 있다. 또한, Dimensional Technologies Inc. 등의 기업체에서는 무안경식 LCD 스테레오 입체 모니터를 상품화 하고 있다. 그리고 DMA사, Phillips사 등의 각각의 회사별로 독자적인 방식의 연구를 수행하고 있으며 주로 5"~18"급 LCD 채용구

조의 입체 모니터를 개발하고 있다. 세부적인 각 사별 연구내용을 살펴보면 표 2와 같다. 또한, CMU대의 다 시점 영상합성, DDD(Dynamic Digital Depth)의 depth map을 이용한 2D 영상을 입체로 변환시켜주는 시스템, SRI (Stanford Research Institute)의 감각인식 및 Human Factor에 관한 연구와 North Carolina대, Illinois 대, 워싱턴대등 많은 대학에서 가상현실 연구와 3D 세계의 공간공유 및 감각 수수 기술에 대한 연구가 진행 중이다.

표 1. 디스플레이 제품 시장 규모(억불)
Table 1. Display product market(0.1 billion)

용도 \ 년도	1998	2000	2005	2010	성장률 (1998~2005)
3D 모니터	0.5	3	10	30	~50%
3D TV	0	0	10	70	-
합계	0.5	3	20	100	-

표 2. 3D LCD 개발 현황
Table 2. Development trend of 3D LCD

업체	개발 내용
DTI	Parallax Barrier형 12"~18" LCD 입체모니터 시제품 개발
Phillips	18" LCD 입체모니터 시제품 개발
MIT Media Lab.	디지털 홀로그래프형 5" 3D동화상 데모
ITI(미국)	Autostereogram 기술개발
California Univ.	3D 입체전자 박물관 데모 시연

2.2. 3D 영상의 생성을 위한 스테레오 영상의 인터리빙

본 절에서는 스테레오 영상을 3D로 디스플레이 하기 위한 인터리빙 방식에 대해서 설명한다. 본 방식은 ANOXIS사에서 개발된 방식으로 3D LCD 디스플레이에서 좋은 성능을 보인다.

그림 2에 3D 영상의 생성을 위한 스테레오 영상의 인터리빙 방식을 나타냈다. 그림 2(a)는 Interface와 top-down 방식을 위한 전 해상도 인터리빙 방식으로 왼쪽과 오른쪽 스테레오 영상에 대해서 평균 혹은 down-sampling 등을 취하여 인터리빙을 수행한다. 따라서 입력 영상 너비의 반에 해당하는 크기의 3D 디스

플레이를 위한 영상이 생성된다. 그림 2(b)는 side by side 형태의 입력영상을 위한 인터리빙 방식으로 입력 영상의 너비와 동일한 크기의 영상이 생성된다.

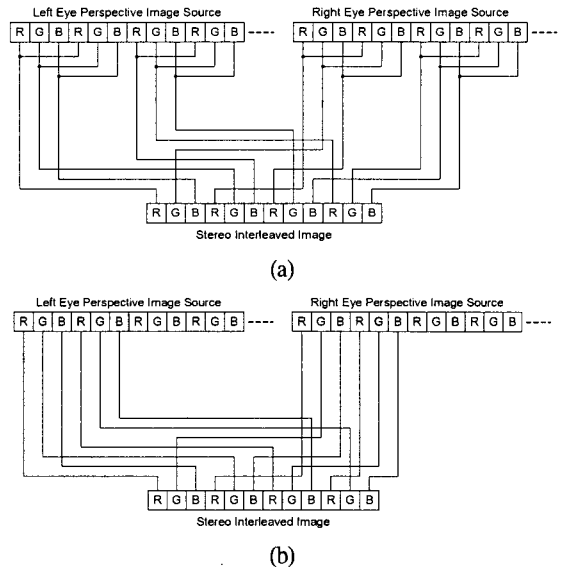


그림 2. 3D 영상생성을 위한 스테레오 영상의 인터리빙 (a) 전 해상도 (b) 반 해상도

Fig. 2. Interleaving of stereoscopic image for generating 3D image (a) full resolution (b) half resolution

III. 3D 변환 시스템의 구성

3D 형태의 영상으로 재구성하는 알고리즘은 패럴랙스 배리어에 많은 부분 의존하고 하는데, 입력되는 영상의 포맷에 따라서 R, G, B의 화소 단위로 영상을 인터리빙하는 방식을 사용한다.

3.1. 전체 시스템의 구성

제안한 시스템은 고속의 메모리 처리기법과 함께 다시점 2D 영상을 3D 영상으로 변환하는 FPGA로 설계되고, 고속의 데이터 저장 및 처리를 위해 4개의 SDRAM을 사용한다. 그림 3과 같이 구현된 전체 시스템은 A/D 변환기를 위한 시스템(Board1)과 디지털화된 2D 영상신호를 3D 디스플레이를 위한 영상신호로 변환하는 FPGA 시스템(Board2) 그리고 3D영상을 디스플레이할 수 있는 LCD 패널로 구성된다.

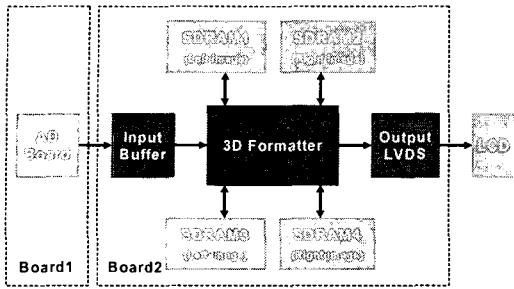


그림 3. 2D/3D 호환 비디오 시스템의 구조
Fig. 3. Architecture of 2D/3D compatible video system

그림 3에서 AD Board 측으로부터 입력되는 디지털 신호를 다루기 쉬운 적절한 신호로 변환하는 Input Buffer와 3D Formatter 사이의 인터페이스 관계를 그림 4에 나타냈다. R, G, B 신호가 두 채널을 통해서 병렬적으로 입력되고 그와 함께 출력 클럭과 Enable(Den) 신호가 출력된다.

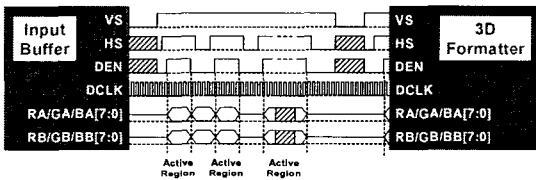


그림 4. 3D 변환을 위한 2D 입력 신호
Fig. 4. 2D input signal for 3D formatting

3.2 3D 변환을 위한 SDRAM의 접근 및 저장

최근 LCD 제조 기술의 발달과 함께 LCD 화소에 대한 크기의 감소는 한 화면에 나타낼 수 있는 해상도의 증가, 즉 화소수의 증가를 가져왔다. 따라서 처리해야 할 데이터(화소)가 방대해져서 이들을 처리하기 위한 고속의 데이터 처리기술이 필요하다. 17인치 LCD의 경우에 3D 디스플레이에 주로 쓰이는 해상도는 1280×1024로써 60Hz를 지원한다. 따라서 초당 처리해야 할 데이터의 양은 식 (1)과 같다.

$$Data/sec = 1280(width) \times 1024(height) \times 60(frame) \times 3(R, G, B) \times 8(Bit) = 225MBps \quad (1)$$

위와 같은 데이터율일 경우에 최소한 133Mhz의 속도 이상에서 전체적인 회로가 동작해야하고, 그에 따르는 메모리 접근 및 저장을 위한 회로 설계기술이 요

구된다.

그림 5에는 병렬적으로 입력되는 R, G, B 입력신호를 버퍼링하는 방식을 나타냈다. 버퍼링된 데이터는 SDRAM의 Burst8 동작모드 혹은 Page 동작모드에 따라서 즉시 SDRAM에 저장된다. 본 연구에 사용된 SDRAM의 경우에 저장을 위한 하나의 셀 크기가 32비트 단위로써 하나의 셀에 하나의 화소를 위한 R, G, B 데이터를 모두 저장한다.

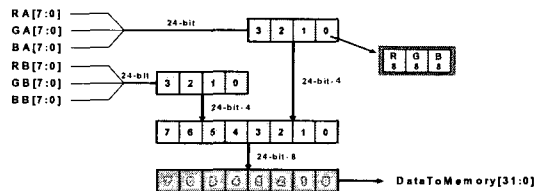


그림 5. SDRAM 저장을 위한 입력신호의 버퍼링
Fig. 5. Buffering of input signal for SDRAM storing

그림 6에는 메모리에 사상하는 방식을 나타냈다. 본 연구에서 다루는 3D를 위한 스테레오 영상은 4가지로 Interlace, side by side, frame sequential 그리고 top-down 방식이 이에 해당한다. 데이터의 효율적인 처리를 위해서 그림 6과 같이 입력 영상을 분류하여 메모리에 저장한다.

3.3 3D 변환을 위한 시스템 동작순서

3D 변환을 위한 시스템의 전체적인 동작순서를 그림 7에 나타냈다. 입력되는 홀수 번째 R, G, B 신호는

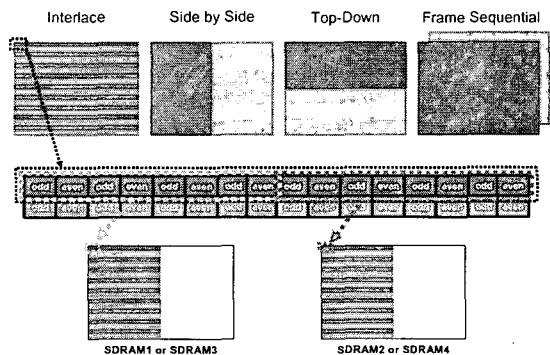


그림 6. 스테레오 영상의 형식에 따른 메모리 저장방식
Fig. 6. Storing method into memory by type of stereoscopic image

먼저 SDRAM1과 SDRAM2에 저장되는데 SDRAM1에는 Left-Image가 입력되고 SDRAM2에는 Right-Image가 입력시킨다. 다음으로 짝수 번째 프레임(혹은 필드)가 입력되면 SDRAM3와 SDRAM4에 왼쪽 및 오른쪽 영상 정보를 저장한다. 또한 그와 동시에 이전 프레임동안 저장되었던 영상을 SDRAM1과 SDRAM2로부터 호출한다. 호출한 R, G, B 신호들은 앞장들에서 설명하였던 것과 같이 화소단위로 결합시키고 적절한 버퍼링을 거쳐서 3D 디스플레이를 위해 LCD Controller로 입력한다.

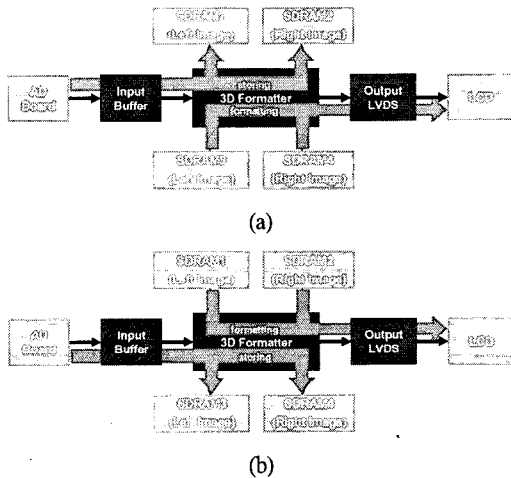


그림 7. 프레임단위 파이프라인 동작 (a) 홀수 프레임 (b) 짝수 프레임
Fig. 7. Pipeline operation by the unit of frame (a) odd frame (b) even frame

IV. 구현 및 결과

본 장에서는 3차원 영상 변환을 위한 하드웨어의 설계결과와 전체 시스템 구현 결과를 나타낸다.

4.1. 영상변환 회로의 설계

본 절에서는 전체 시스템 중에서 FPGA 내부를 구성하는 회로에 대해서 설명한다. 그림 8에 영상을 입력받은 후 SDRAM을 통해 영상 데이터를 저장하고 처리하는 회로도들을 나타냈다. 회로는 VHDL(VHSIC Hardware Description Language)[9]을 이용하여 설계하였고, Synplify를 통해 합성한 후에 ACTEL FPGA에 약

18,500개의 게이트를 사용하면서 사상되었다. 또한 ModelSim을 이용하여 functional 및 timing simulation을 수행하였다. 동작속도는 해당 FPGA에서 전체적으로는 89MHz를 보였고, SDRAM과 관련된 회로의 경우에 150MHz의 동작 속도를 보일 수 있도록 설계하여 합성하였다. 구현한 시스템에서 133MHz의 SDRAM을 사용하기 때문에 SDRAM과 관련된 회로는 고속의 동작이 요구되고 150MHz의 동작 속도는 이러한 요구조건을 충분히 만족시켰다.

그림 8의 각 블록에 대한 동작은 표 3에 나타났다. 그림 8에서 실제로 가장 중요하고 민감한 블록은 6번 블록인데, 이것은 3D 영상구성을 위한 인터리빙 동작이 실제로 SDRAM의 제어 및 어드레싱과 가장 밀접하기 때문이다.

그림 8 및 표 3에서 보인 회로의 동작을 그림 9에 예시하였다. 그림 9의 (a)는 2D 영상을 3D 영상으로 변환하는 연속적인 동작을 보여주고 있고 (b)는 (a)를 확대한 것이다. 그림 9의 경우에 확인이 용이하도록 프레임간의 시간을 비교적 넓게 부여한 것이다. 그렇

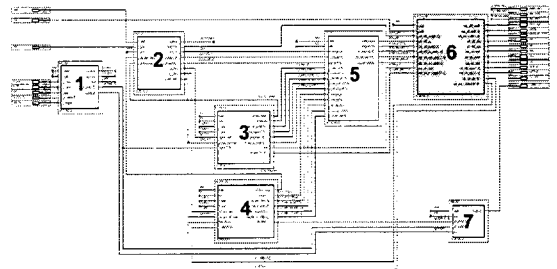
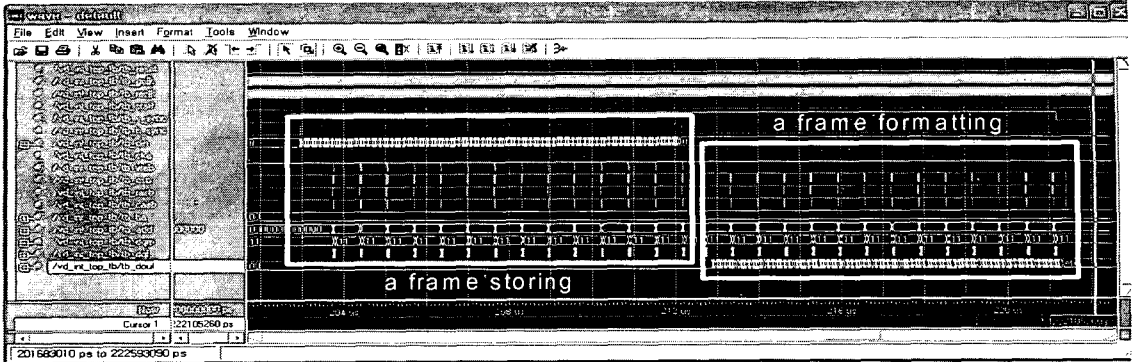


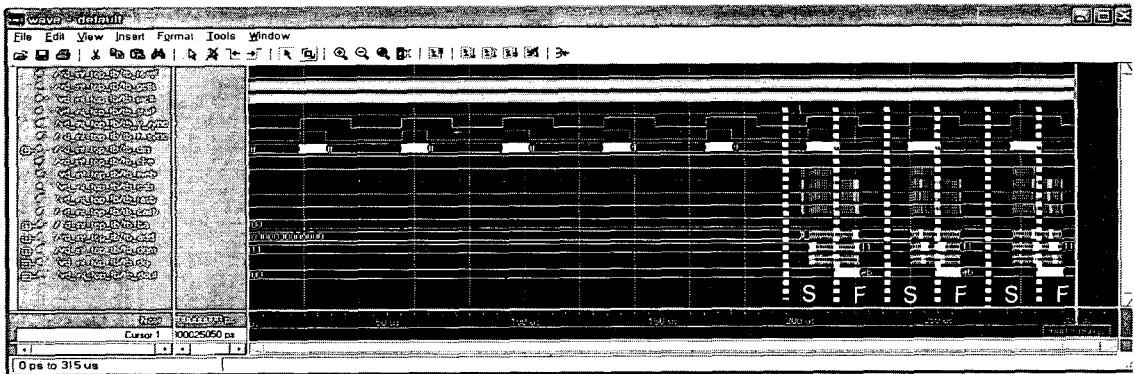
그림 8. 영상변환 회로의 구조
Fig. 8. Architecture of image formatting circuit

표 3. 그림 8의 각 블록에 대한 명세
Table 3. Specification of each blocks in fig. 8.

Order	Instance	Specification
1	insig_reg	신호의 안정화 및 power-up sequence
2	vd_int_ctrl	시스템의 전체 제어
3	in_inter_top	입력신호와 메모리간의 인터페이스 및 인터리빙
4	out_inter_top	출력신호와 메모리간의 인터페이스 및 인터리빙
5	hrw_mux	SDRAM 제어신호의 선택
6	sdr_ctrl_top	SDRAM 제어신호의 생성
7	dout_mux	3D와 2D 신호를 선택(bypass 모드)



(a)



(b)

그림 9. 비디오 인터페이스부의 시뮬레이션 결과 (a) 프레임 저장(S, Storing) 및 변환(F, Formatting) (b) (a)의 확대
 Fig. 9. Simulation result of video interface part (a) storing(S) and formatting(F) (b) magnified version of (a)

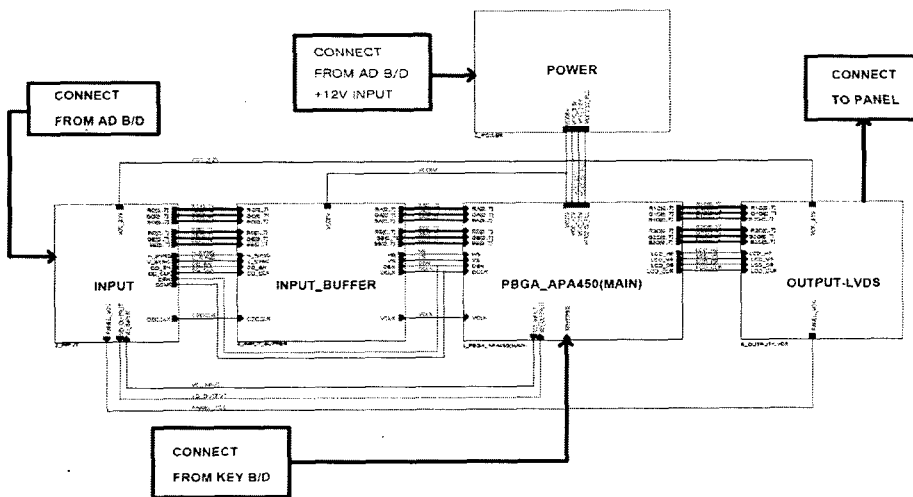


그림 10. 전체 시스템의 회로도
 Fig. 10. Circuit diagram of whole system

지 않고 실제로 프레임간의 시간이 적을 경우에는 S와 F의 동작이 서로 겹쳐져서 발생하고 그 경우에도 정상적인 동작에는 아무런 영향을 주지 않는다.

4.2. 전체 시스템의 구현

구현한 전체 시스템은 A/D 변환기를 위한 시스템과 디지털화된 2D 영상신호를 3D 디스플레이를 위한 영상신호로 변환하는 FPGA 시스템 그리고 3D영상을 디스플레이할 수 있는 LCD 패널로 구성되는데 그림 10에 FPGA 시스템을 나타냈고, 실제 구현된 전체 시스템에 대한 사진을 그림 11에 나타냈다. 그림 3에서 보인 Board1과 Board2는 각각 PCB 보드로 제작하여 실제적인 동작을 위해 최적화시켰고 스크린을 장착한 상용 LCD 패널과 컴퓨터를 연결하여 동작을 확인하였다.

그림 10에서 A/D 변환 시스템으로부터 입력된 신호를 INPUT 및 INPUT_BUFFER를 통해서 일반적인 8비트의 2D 영상 데이터 포맷으로 변환한 후에 FPGA(PBGA_APA450)에 전달한다. 2D 영상 데이터는 FPGA를 통해 3D 영상으로 변환되고 OUTPUT_LVDS에서 LCD에 적합한 신호로 변환시킨 후 LCD로 출력된다.

그림 11의 (a)는 PC로부터 출력된 신호를 구현된 시스템을 거친 후 LCD 패널을 통해 디스플레이하는 모습을 보인 것이다. 또한 그림 11 (b)의 왼편이 그림 3의 3D 변환을 수행하는 Board2에 해당하고 오른편이 컴퓨터의 비디오 카드로부터 출력되는 아날로그 신호를 디지털 형태로 변환하는 Board1에 해당한다. 또한 Board1은 최근 컴퓨터 비디오 카드의 DVI(Digital Visual Interface) 단자를 지원하도록 설계하여 아날로그뿐만 아니라 디지털 출력도 입력받을 수 있도록 하였다.

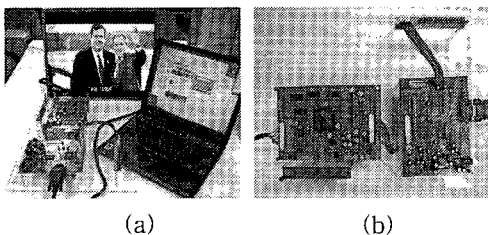


그림 11. 구현한 시스템 (a) 2D/3D 디스플레이를 위한 시스템 및 LCD (b) LCD 디스플레이를 위한 FPGA기반 2D/3D 변환 시스템

Fig. 11. Implemented system (a) 2D/3D display system and LCD panel (b) FPGA-based 2D/3D formatting system for LCD display

V. 결론

본 논문에서는 패럴렉스 배리어 방식의 2D/3D 겸용 PC 및 핸드폰용 LCD를 위한 화소단위의 실시간 3D 영상변환 구조를 제안하였고 FPGA 기반의 고속 회로로 설계한 후에 전체적인 동작을 위한 시스템으로 구현하였다.

PC로부터 출력되는 2D 형태의 아날로그 영상신호를 A/D 변환한 후에 디지털 형태의 신호를 3D 영상신호로 재구성하였다. 입력 영상으로 interlace, side by side, frame sequential, 그리고 top-down 방식에 모두 혼용될 수 있고, 1280×1024의 크기의 컬러 영상을 초당 60프레임을 처리할 수 있어 실시간 처리가 가능하였다. 따라서 본 논문을 통해 구현된 시스템은 3D 디스플레이를 위한 각종 상용 시스템에 효율적으로 사용될 수 있을 것으로 사료된다.

참고문헌

- [1] 3차원 영상의 기초, 오음사 & 기다리, 1998.
- [2] "3DTV", 방송과 기술, 2003년 10월호
- [3] Tadenuma, M, Yuyama, I, and Kubota, K., "Stereoscopic HDTV system- development and application," IEEE Global Telecommunications Conference, 1990, and Exhibition. 'Communications: Connecting the Future', GLOBECOM '90., 2-5, pp.1057 - 1061 vol.2, Dec. 1990
- [4] Chul-Ho Choi, Byong-Heon Kwon, and Myung-Ryul Choi, "A real-time field-sequential stereoscopic image converter", IEEE Trans. on Consumer Electronics, Volume 50, Issue 3, pp.903-910, Aug. 2004
- [5] Doulamis, N.D., Doulamis, A.D., Avrithis, Y.S., Ntalianis, K.S., and Kollias, S.D, "Efficient summarization of stereoscopic video sequences", IEEE Trans. on Circuits and Systems for Video Technology, vol. 10, Issue 4, pp.501-517, Jun. 2000.
- [6] "Stereoscopic and autostereoscopic display system", IEEE Signal Processing Magazine, May 1999, pp.85-99.
- [7] Smallman, H.S., St. John, M., Onk, H.M., and

Cowen, M.B., "Information availability in 2D and 3D displays", IEEE Computer Graphics and Applications, vol.21, Issue 5, pp.51-57, July-Aug. 2001.

[8] Alm, T., "How to put the real world into a 3D aircraft display", The Second International Conference on Human Interfaces in Control Rooms, Cockpits and Command Centres, 2001. People in Control. (IEE Conf. Publ. No. 481), pp.223-227, Jun. 2001.

[9] K. C. Chang, "Digital systems design with VHDL and synthesis", IEEE Computer Society Press, California, 1999.

저자약력

서영호(Young-Ho Seo)



1999년 2월 광운대학교 전자재료 공학과 공학학사
2001년 2월 광운대학교 공학석사
2004년 8월 광운대학교 전자재료 공학과 공학박사

2000년 3월~2001년 12월 인티스닷컴(주) 연구원
2003년 6월~2004년 6월 한국전기연구원 연구원
2004년 10월~2005년 8월 유한대학 연구교수
2005년 9월~현재 한성대학교 교수

※ 관심분야 : 2D/3D 영상처리, SoC 설계, 콘텐츠 보안, 디지털 홀로그램

김동욱(Dong-Wook Kim)



1983년 2월 한양대학교 전자공학과 공학학사
1985년 2월 한양대학교 공학석사
1991년 9월 Georgia공과대학 전기 공학과 공학박사

2000년 3월~2001년 12월 인티스닷컴(주) 연구원
1992년 3월~현재 광운대학교 전자재료공학과 교수
※ 관심분야 : 디지털 VLSI Testability, VLSI CAD, DSP 설계, Wireless Communication