

## A Delay Estimation Method using Reduced Model of RLC Interconnects

丁 文 晟\* · 金 基 英† · 金 錫 潤\*\*  
(Mun-Sung Jung · Ki-Young Kim · Seok-Yoon Kim)

**Abstract** - This paper proposes a new method for delay time calculation in RLC interconnects. This method is simple, but precise. The proposed method can calculate delay time of RLC interconnects by simple numerical formula calculation without complex moment calculation using reduced model in RLC interconnects. The results using the proposed method for RLC circuits show that average relative error is within 10% in comparison with HSPICE simulation results.

**Key Words** : RLC Delay, Interconnect Delay, Inductance, Reduced Model, Equivalent Elmore Delay

### 1. 서 론

VLSI system의 고속/집적화 경향에 따라 관심을 끌고 있는 분야 중 하나가 회로 연결선이다. 칩 내부 및 외부 연결선들의 구조 및 배치 문제는 신호의 충실성과 직결되므로 설계자들에게는 중요한 관심사가 되고 있다. 앞서 말한 바와 같이, 연결선의 구조 및 배치를 최적화할 수 있게 하기 위해서는 먼저 이를 정확히 해석할 수 있어야 한다. 연결선의 해석을 위해서는 크게 특성화, 모형화, 해석의 3 단계를 거쳐야 한다[1]. 제 1단계인 특성화 단계는 연결선의 구조 및 매체 정보로부터 전자기적 특성을 추출(extraction) 해내는 과정을 말한다. 제 2단계인 모형화는 특성화 단계에서 얻어진 변수를 근거로 회로 모형(circuit model)을 구성하는 단계를 말한다. 제 3단계인 회로 해석은 특성화 및 모형화 과정에서 얻어진 회로 모형을 해석하는 작업을 일컫는다. 결국 모형화 단계에서 발생한 많은 양의 회로 요소들은 다시 간편화 시키면서 연결선의 특성을 보존하고자 하는 것이 해석단계의 주된 관심사라고 할 수 있다. 따라서 모형화 단계에서 복잡한 회로 모형을 구성하는 것보다는, 연결선의 특성을 잘 나타낼 수 있는 간단한 모형을 제시하고 해석하는 것이 효율적인 방법이 될 수 있을 것이다. 특히, 공정 기술이 발달함에 따라 VLSI 회로 내 전체 지연시간에서 연결선 지연시간이 차지하는 비중이 증가하고 있으므로 정확하면서도 효율적으로 연결선 지연시간을 해석할 수 있는 모형이 필요하게 되었다. 연결선 지연시간의 계산을 위한 가장 간단한 모형화 방법은 전체 연결선의 총 커패시턴스로 모형화

하는 것이지만, 이 모형화 방법은 저항 차폐 효과(resistance shielding effect)를 무시했기 때문에 연결선의 저항이 커지는 경향에 비추어 볼 때 부적합하다. 이에 따라, 증가되는 연결선의 저항 성분을 고려한 RC 연결선 모형이 주로 사용되고 있긴 하지만, 논리 소자의 스위칭 속도가 점점 빨라지고 동작 주파수 역시 높아지고 있는 현재의 설계환경에서는 인덕턴스의 영향이 상대적으로 중요시 되고 있음을 간과할 수 없다. 이와 같은 이유로, 최근의 VLSI 설계과정에서는 인덕턴스 성분을 고려하여 연결선을 해석해야만 그 정확도를 보장할 수 있게 되었다[4].

본 논문에서는 이러한 관점에서 RLC 연결선을 해석하는데 있어 간단하고 정확하게 지연시간을 계산할 수 있는 방법을 제안한다. 제안하는 방법은 연결선의 전체 지연시간 계산뿐만 아니라 연결선 내부의 부분 지연시간 계산에도 적용할 수 있다.

본 논문의 구성은 다음과 같다. 서론에 이어 2장에서는 RLC 연결선의 지연시간을 계산하기 위한 새로운 방법을 제시한다. 3장에서는 제안한 방법의 정확도와 equivalent elmore delay[4]의 정확도를 비교하고, 4장에서 결론을 맺는다.

### 2. 새로운 지연시간 계산 방법

연결선의 모형화 형태는 크게 두 유형으로 나눌 수 있는데 집중회로(lumped circuit)와 분포 정수회로 (distributed parameter circuit)가 그것이다. 그러나 회로 모형을 구성하는 입장에서 볼 때 이 두 유형은 뚜렷이 분리되는 것은 아니다. 시스템의 동작 주파수, 선로 변수, 선로의 길이에 따라 두 회로 모형 중 적합한 것을 사용해야 모형화 오차를 최소화할 수 있으며 효율적인 회로 해석을 할 수 있게 된다. 그림 1은 연결선의 여러 가지 모형화 방법을 보여주고 있다. 분포 정수회로 모형을 사용할 경우 적게는 수십 개에서 많게는 수 천 개 이상의 기생성분으로 이루어진 모형

† 교신저자, 正 會 員 : 崇 實 大 學 컴퓨터學科 博 士 課 程

E-mail : kky@ic.ssu.ac.kr

\* 學 生 會 員 : 삼성전자 반도체연구소 CAE팀

\*\* 正 會 員 : 崇 實 大 學 컴퓨터學科 教 授

接 受 日 子 : 2005年 6月 14日

最 終 完 了 : 2005年 7月 4日

에 대한 간략화와 정확한 동작에 대한 해석을 필요로 한다.

많은 수의 회로 소자를 포함하고 있는 분포 정수회로 모형을 대신 할 수 있는 간단한 회로 모형으로의 차수 축소(model order reduction)는 오랜 연구 주제였다. 보다 적은 소자를 사용함으로써 간편하게 구할 수 있으면서도, 허용 가능한 수준의 정확도를 보장하는 축소모형이 있다면 매우 효율적일 것이다. 대표적인 축소모형으로는 그림 2와 같은  $\pi$  모형이 있다.

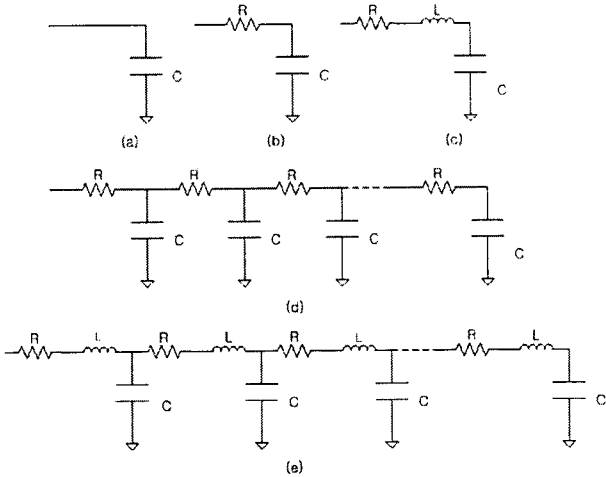


그림 1. 연결선의 회로모형 (a) lumped C (b) lumped RC (c) lumped RLC (d) distributed RC (e) distributed RLC  
 Fig 1. Circuit model of interconnect (a) lumped C (b) lumped RC (c) lumped RLC (d) distributed RC (e) distributed RLC

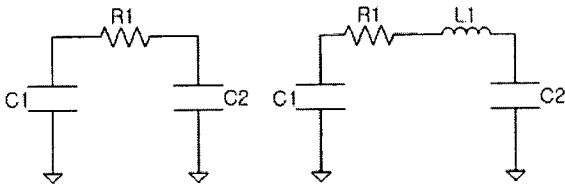


그림 2.  $\pi$  모형  
 Fig 2.  $\pi$  model

$\pi$ 모형을 이용하는 방법 중 ECM(effective capacitance metric)[2] 계산법은 모멘트 계산 없이 지연시간을 계산할 수 있다.  $i$  노드를 중심으로 그 이하의 회로들을  $\pi$ 모형으로 구하고 다시 저항과 뒷단의 커패시터 성분을 단일 커패시터로 모형화하여 순수한 커패시터의 합들로  $\pi$ 모형을 표현하는 방법이다. 하지만 ECM 방법 또한 축소모형을 구하기 위한 단계에서 모멘트 계산을 수행하고 있어서 최적화된 계산법이라 볼 수 없다. 이와 같은 ECM 방법의 단점을 개선하고 정확도를 향상시킨 방법으로 MD\_ECM[6]이 있다. MD\_ECM 방법은 moment를 전혀 고려하지 않고도 지연시간을 쉽게 계산할 수 있다. 그림 3의 (a)와 식 (1)이 ECM 방법이고, 그림 3의 (b)와 식 (2)가 MD\_ECM 방법이다.  $ECM_{p(i)}$ 와  $MD\_ECM_{p(i)}$ 는 이전 단계까지의 지연시간을 의미한다.

$$ECM_i = ECM_{p(i)} + R_i(C_i + C_{ni} + C_{eff}) \quad (1)$$

$$MD\_ECM_i = MD\_ECM_{p(i)} + R_i(C_{nmi} + C_{eff}) \quad (2)$$

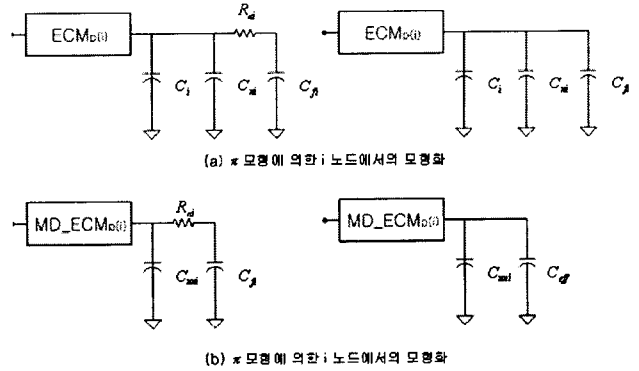


그림 3. ECM 과 MD\_ECM 방법  
 Fig 3. ECM and MD\_ECM method

그러나 위의 방법들은 연결선의 RC 성분만을 고려한 지연시간 계산식이다. 논리 소자의 스위칭 속도가 점점 빨라지고 동작 주파수가 높아지고 있는 현 시점에서는 인덕턴스의 영향을 반드시 고려해야 한다. 따라서 본 논문에서는 앞에서 제시한 MD\_ECM 계산법과 Muddu가 제시한  $\pi$ 모형 [3]을 응용하여 RLC 연결선의 지연시간을 쉽게 계산하는 방법을 제안하고자 한다.

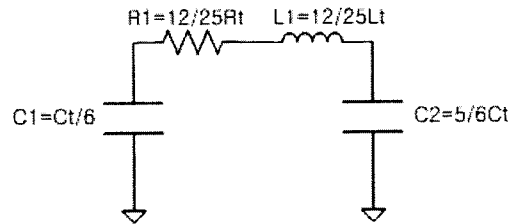


그림 4. Muddu 제시 모형  
 Fig 4. Muddu's model

제안하는 방법으로 계산한  $i$  노드에서의 지연시간을  $ECM(L)_i$ , 이전 단계까지의 지연시간을  $ECM(L)_{p(i)}$ 라고 한다면, ECM(L) 방법을 그림 4와 식 (3)으로 표현할 수 있다. 식 (3)에서  $R_i$ 는  $i$  노드의 저항을 의미한다.

$$ECM(L)_i = ECM(L)_{p(i)} + R_i(C_{nmi} + C_{eff}) \quad (3)$$

식(3)에서의 소자값  $C_{nmi}$ 는 Muddu 모형(그림 4)에서의  $C1$ 에 해당하므로 쉽게 얻을 수 있다. 문제는  $R_{\pi i}$ ,  $L_{ni}$ ,  $C_{fi}$ 의 효과를 반영하는  $C_{eff}$ 를 구하는 것이고, 이  $C_{eff}$ 를 계산하는 것이 본 논문의 핵심이라 할 수 있다.

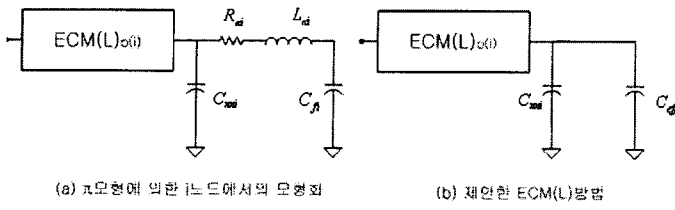


그림 5. 새로운 ECM(L) 방법  
Fig 5. New ECM(L) method

그림 5의 (a)에서 저항  $R_{\pi i}$ 와 인덕턴스  $L_{\pi i}$  그리고 커패시턴스  $C_{\pi i}$ 에 흐르는 전류는,  $V(s)$ 가 단위스텝인 경우 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 I(s) &= V(s)Y(s) \\
 &= \frac{C_{\pi i}}{s^2 L_{\pi i} C_{\pi i} + s R_{\pi i} C_{\pi i} + 1} \\
 &= \frac{1/L_{\pi i}}{s^2 + s R_{\pi i}/L_{\pi i} + 1/L_{\pi i} C_{\pi i}}
 \end{aligned} \tag{4}$$

$X = \frac{R_{\pi i}}{2L_{\pi i}}$ ,  $Y = \frac{1}{L_{\pi i} C_{\pi i}}$  라고 하면, 식 (4)를 식 (5)와 같이 정리할 수 있다.

$$I(s) = \frac{C_{\pi i} Y}{s^2 + 2Xs + Y} \tag{5}$$

$I(s)$  식의 pole( $P_1, P_2$ )을 구하기 위해서는 분모식 ( $s^2 + 2Xs + Y$ ) 이 0이 되는 근을 구하면 되므로, 근의 공식을 이용하여 다음과 같이 나타낼 수 있다.

$$P_{1,2} = -X \pm \sqrt{X^2 - Y} \tag{6}$$

여기서  $I(s)$  식의 pole이 실수인 경우와 허수인 경우로 나누어서  $C_{eff}$ 를 계산해야 한다.

### 2.1 pole이 실수인 경우

$s^2 + 2Xs + Y$  의 pole이 실수인 경우의 근을  $a, b$ 라 하고 식 (5)를 라플라스 역변환을 하면 다음과 같다.

$$I(t) = \frac{1}{L_{\pi i}(a-b)} (e^{at} - e^{bt}) \tag{7}$$

$T$ 를 해당하는 노드에서의 elmore delay값[5]이라 할 때, 식 (7)을  $0 \leq t \leq T$  에서 적분하면

$$\begin{aligned}
 q(t) &= \int_0^T i(t) dt \\
 &= \int_0^T \frac{1}{L_{\pi i}(a-b)} (e^{at} - e^{bt}) dt \\
 &= \frac{1}{L_{\pi i}(a-b)} \left( \frac{1}{a} e^{aT} - \frac{1}{b} e^{bT} - \frac{1}{a} + \frac{1}{b} \right)
 \end{aligned} \tag{8}$$

이다.

단위 스텝입력인 경우에  $q(t) = C_{eff}$ 이므로 정리하면

$$C_{eff} = \frac{1}{L_{\pi i}(a-b)} \left( \frac{1}{a} e^{aT} - \frac{1}{b} e^{bT} - \frac{1}{a} + \frac{1}{b} \right) \tag{9}$$

로 주어진다. 만약,  $T$ 값을 elmore delay로 계산할 경우 회로에 있는 인덕턴스의 특성이 고려되지 않기 때문에 실제 지연시간과는 오차가 생길 수밖에 없다. 여기서  $C_{eff}$ 값을 계산하기 위해  $T$ 의 값을 선택하는 것에 대해 주의해야 한다.  $T$ 의 값이  $i$ 번째 노드에서의 정확한 지연시간을 계산하는데 영향을 주기 때문이다. RC 연결선의 경우 elmore delay가 가장 적절한 upper bound를 제공하기 때문에  $T$ 값으로 사용되었지만 RLC 연결선의 경우 elmore delay를 적용할 수 없기에, 본 논문에서는 elmore delay값 대신 Equivalent elmore delay[4] 값을 사용하였다.

### 2.2 pole이 허수인 경우

$s^2 + 2Xs + Y$  의 pole이 허수인 경우 근을  $a \pm jb$ 라 하고 식 (5)를 라플라스 역변환을 하면 다음과 같다

$$I(t) = \frac{1}{L_{\pi i} b} e^{at} \sin bt \tag{10}$$

여기서  $a$ 는 실수부,  $b$ 는 허수부이다.

식 (10)을  $0 \leq t \leq T$  에서 적분하면

$$\begin{aligned}
 q(t) &= \int_0^T i(t) dt = \int_0^T \frac{1}{L_{\pi i} b} e^{at} \sin bt dt \\
 &= \frac{1}{L_{\pi i} b} \left( \frac{ae^{aT} \sin bT - be^{aT} \cos bT + b}{a^2 + b^2} \right)
 \end{aligned} \tag{11}$$

이다.

단위 스텝입력인 경우에  $q(t) = C_{eff}$ 이므로, 정리하면

$$C_{eff} = \frac{1}{L_{\pi i} b} \left( \frac{ae^{aT} \sin bT - be^{aT} \cos bT + b}{a^2 + b^2} \right) \tag{12}$$

로 주어진다. 실수 pole 인 경우와 마찬가지로 여기서도 T 는 Equivalent Elmore delay 값을 사용한다.

이렇게 구한 각각의 경우(실수 pole을 가질 경우, 허수 pole을 가질 경우)에 대한  $C_{eff}$ 를 식 (3)에 대입하여 계산하면 RLC 연결선에 대한 i 노드에서의 지연시간  $ECM(L)_i$  을 간단히 구할 수 있게 된다.

**3. 시뮬레이션 결과**

실험을 위해 그림 6과 같은 ladder 형태의 RLC 회로를 사용하였다.

표 1은 본 논문에서 제시한 새로운 방법에 의한 지연시간 계산 방법과 equivalent elmore delay[4] 방법을 HSPICE 시뮬레이션 결과와 비교한 것이다. 표 2는 HSPICE에서 구한 지연시간을 기준으로 각 방법별로 각 노드에서의 지연시간의 상대오차를 나타낸 것이다. 표 3은 다양한 조건에서 실험했을 경우 HSPICE 결과에 대한 각 방법의 평균 상대오차를 나타낸 것이다.

Equivalent elmore delay[4] 계산방법은 마지막 노드로 갈수록 비교적 정확한 결과값에 근접하지만 HSPICE 시뮬레이션 결과값과 비교했을 경우 일부 노드를 제외한 전 노드에서 상당한 오차를 보인다. 반면 새롭게 제안한 방법은 전 노드에서 평균 10%이내의 상대오차를 보이고 있다.

또한, 여러 다양한 조건으로 실험했을 경우 역시 만족할 만한 결과를 보이고 있다. 따라서 Muddu의  $\pi$ 모형을 사용한 ECM(L) 방법으로 각 노드에서의 정확한 지연시간을 간단히 계산할 수 있음을 확인하였다.

표 1. 지연시간 비교 (R=58 $\Omega$ , L=4.1nH, C=0.88pF)  
Table 1. Delay comparison (R=58 $\Omega$ , L=4.1nH, C=0.88pF)

노드	지연시간(s)		
	equivalent elmore delay	proposed method	HSPICE
1	2.0527E-11	9.0592E-12	6.7846E-12
2	2.8786E-11	1.3136E-11	1.3526E-11
3	3.4781E-11	1.8085E-11	2.0113E-11
4	3.9460E-11	2.3770E-11	2.6661E-11
5	4.3184E-11	3.0064E-11	3.3203E-11
6	4.6132E-11	3.6850E-11	3.9751E-11
7	4.8408E-11	4.4020E-11	4.6313E-11
8	5.0072E-11	5.1472E-11	5.2887E-11
9	5.1163E-11	5.9109E-11	5.9163E-11
10	5.1704E-11	6.6838E-11	6.3047E-11

표 2. HSPICE에 대한 지연시간 상대오차  
Table 2. Relative errors of each method compared to HSPICE

노드	지연시간 상대오차의 절대치(%)	
	equivalent elmore delay	proposed method
1	202.55	33.53
2	112.82	2.88
3	72.93	10.08
4	48.01	10.84
5	30.06	9.45
6	16.05	7.30
7	4.52	4.95
8	5.32	2.68
9	13.52	0.09
10	17.99	6.01

표 3. 다양한 조건에서의 HSPICE에 대한 지연시간 상대오차  
Table 3. Relative errors of each method compared to HSPICE under various condition

R( $\Omega$ ),L(nH),C(pF)	지연시간 평균상대오차(%)	
	equivalent elmore delay	proposed method
R=75 L=4.2 C=0.8	53.2610	8.1840
R=72.4 L=5.1 C=1.11	53.4590	8.6104
R=81.8 L=3.3 C=0.52	53.1575	8.1043
R=56.3 L=3.2 C=0.59	51.9668	10.6049
R=43.5 L=3.1 C=0.66	51.4870	14.1857
R=59.7 L=5 C=1.22	52.7814	7.8499
R=49.5 L=4.8 C=1.3	52.2632	9.4497
R=71.6 L=6 C=1.46	53.7367	9.3684
R=59.3 L=5.8 C=1.58	53.0159	7.7309
R=51.2 L=5.6 C=1.8	52.7245	7.9139
R=60 L=5 C=1.5	53.3174	8.2239

**4. 결론**

본 논문에서는 간단한  $\pi$ 모형을 이용하여 RLC 연결선의 정확한 지연시간을 예측할 수 있는 간단하고 효율적인 RLC 연결선의 지연시간 계산방법을 제시하였다.

제안한 방법은 elmore delay 계산 수준의 간단한 수식을 통해 연산을 수행할 수 있기 때문에 손쉽게 계산할 수 있으면서도 허용가능한 수준의 정확도를 보장한다. 제안한 방법을 통하여 빠르고 간단한 검증과정을 수행할 수 있기 때문에 반도체 회로 설계 시 타이밍 검증 작업에 크게 기여할 것으로 기대한다. 향후 다양한 종류의 연결선에 대해서도 간단한 계산을 하면서 정확도가 높은 계산식을 유도하는 것이 과제로 남는다.

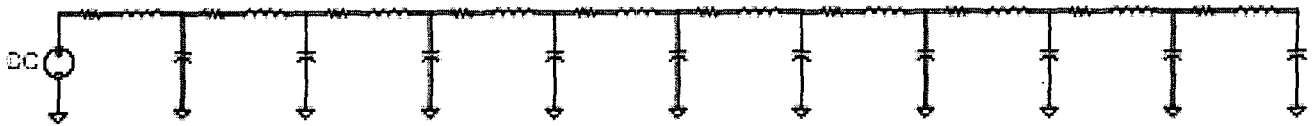


그림 6. RLC 회로  
Fig 6. RLC circuit

**감사의 글**

본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

**참 고 문 헌**

- [1] 김석윤, VLSI 시스템 회로 연결선의 모형화 및 해석, 시그마 프레스, 1999년
- [2] C.J. Alpert, A. Devgan, and C. Kashyap, "RC delay metrics for performance optimization", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp571-582, May 2001
- [3] A. B. Kahng and S. Muddu, "Efficient Gate Delay Modeling for Large Interconnect Loads", IEEE Multi-Chip Module Conf., Feb. 1996
- [4] Y.I. Ismail, E.G. Friedman. "Equivalent elmore delay for RLC trees", IEEE Trans, computer-aided design, vol.19, no 1, Jan 2000
- [5] W.C.Elmore, "The transient response of damped liner network with particular regard to wide band amplifier", J. Appl. Phys, vol.19, pp55-63, 1948
- [6] 김승용, 김기영, 김석윤, "RC-class 연결선의 축소모형을 이용한 대수적 지연시간 계산법" 대한전기학회 논문지 52C권 5호, pp193-200, May 2003

**저 자 소 개**



**정 문 성 (丁 文 晟)**

1975년 11월 27일생. 2001년 숭실대 컴퓨터학부 졸업. 2005년 동 대학원 컴퓨터학과 석사 졸업. 2005년 ~ 현재 삼성전자 반도체 연구소 CAE팀 연구원. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계

Tel : 02-813-0682

Fax : 02-821-0927

E-mail : jms@ic.ssu.ac.kr



**김 기 영 (金 基 英)**

1979년 10월 29일생. 2002년 숭실대 컴퓨터학부 졸업. 2004년 동 대학원 컴퓨터학과 석사 졸업. 2004~현재 동 대학원 컴퓨터학과 박사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계, 저전력설계 기술, 소자 모형화

Tel : 02-813-0682

Fax : 02-821-0927

E-mail : kky@ic.ssu.ac.kr



**김 석 윤 (金 錫 潤)**

1958년 8월 12일생. 1980년 서울대 공대 전기공학과 학사, 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 부교수. 주관심분야는 설계자동화, VLSI 회로해석 및 설계, 통신시스템

Tel : 02-820-0682

Fax : 02-822-3622

E-mail : ksy@comp.ssu.ac.kr