

GUI를 이용한 교육용 디지털 거리계전기 시뮬레이터 개발에 관한 연구

論 文

54A-8-2

A Study on the Development of the Digital Distance Relay Simulator for Education using GUI

金 東 秀[†] · 金 喆 煥^{*} · 李 基 澤^{**} · 朴 南 沃^{**}

(Dong-Su Kim · Chul-Hwan Kim · Ki-Teak Lee · Nam-Ok Park)

Abstract -It has always been of great importance in the electrical power system to educate an algorithm on the digital relaying, but it is difficult to educate an algorithm of a digital distance relay on power system because of exclusiveness of the relaying algorithm on power system. Therefore, we need a digital distance relay simulator, which can simulate the algorithm of the digital relaying on transmission line. In this paper, we extract fundamental components using digital signal processing from data which are a variety of the simulated faults by EMTP. Then, this simulator represents instantaneous values, rms values and symmetrical components that are calculated by fundamental components of voltages and currents. The Simulator also represents the zones of a digital distance relay and the locus of an impedance using GUI. Consequently, the developed simulator is particularly useful for understanding of the fundamental concepts of a distance relaying algorithm from a power system engineer points of view.

Key Words : Distance relay, GUI, EMTP

1. 서 론

본 논문의 목적은 디지털 계전기의 동작 원리를 교육하는 디지털 계전기 시뮬레이터의 개발이다. 본 논문에서는 디지털 계전기의 동작을 모의하는데 필요한 고장 데이터를 얻기 위해, 고장종류, 고장발생각, 고장거리, 데이터의 샘플수 등의 다양한 모의조건에 대하여 EMTP를 이용해 모의하여, 그 결과를 디지털 신호 처리를 이용하여 직류 성분과 고조파 성분을 제거하고, 기본파 성분을 추출한다. 이와 같이 추출된 데이터를 사용하여 임피던스를 계산하고, 거리계전기 알고리즘에 적용한다. 구현하고자 하는 시뮬레이터는 임피던스 측정은 물론 전압, 전류의 평균값도, 계전기 동작을 GUI를 이용하여 출력한다. 이와 같이 거리계전기가 고장거리를 추정하는 과정을 GUI 환경으로 구성하여 거리계전 알고리즘의 수행과정을 쉽게 이해하고, 시뮬레이터의 사용을 편리하게 하여 교육의 효과를 극대화하고자 한다. 또한, 세 가지 유형의 모델 계통에 대한 고장 데이터를 데이터베이스화하여 EMTP를 모르는 사람도 본 시뮬레이터를 쉽게 사용할 수 있도록 하며, 세 가지 유형에 포함되지 않는 다른 모

델 계통에 대한 고장 데이터를 사용하고자 하는 경우에는, 해당 데이터를 ATPDraw로 모델계통을 모의하여 사용할 수 있도록 구현하였다.

2. Graphic User Interface

기존의 사용자 인터페이스는 키보드를 통한 명령어로 작업을 수행시켰으며, 화면에 문자로 결과가 출력되었다. GUI는 사용자가 그래픽을 통해 컴퓨터와 정보를 교환하는 작업 환경을 말하며, 마우스 등을 이용한 작업의 지시가 가능하여 사용자가 보다 쉽게 프로그램을 사용할 수 있도록 한다. 다음 그림 1은 기존의 TUI(Text User Interface)와 GUI(Graphic User Interface)를 비교하여 본 것이다.

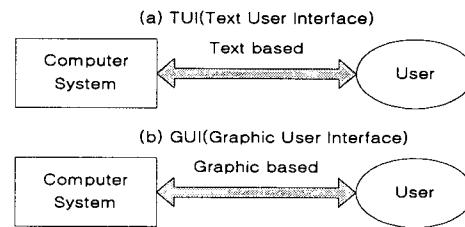


그림 1 TUI와 GUI의 비교

Fig. 1 Comparison GUI with TUI

[†] 교신저자, 正 會 員 : 韓國電氣研究員 技術員
E-mail : dskim@keri.re.kr

^{*} 正 會 員 : 成均館大 工大 電子電氣工學科 教授 · 工博

^{**} 正 會 員 : 韓國電氣研究員 責任技術員

接受日字 : 2005年 2月 21日

最終完了 : 2005年 7月 1일

3. 거리계전기법(Distance Relaying)

거리계전기법은 CT, PT를 통한 순시의 전압, 전류를 이용해서 임피던스를 구하여, 이의 수렴 여부를 판정하여 가공선로 상의 고장점까지의 거리를 추정하고, 정해진 영역에 따라 차단기를 제어하는 방법이다. 다음 그림 2는 거리계전기법 알고리즘의 동작단계를 순서대로 나타낸 것이다, 본 논문에서 개발된 시뮬레이터도 그림 2와 같은 구성으로 거리계전기법을 구현하였다.

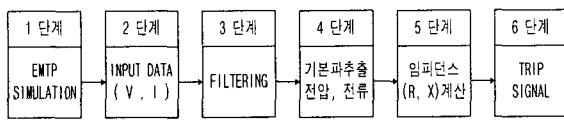


그림 2 일반적인 거리계전기법을 모의하기 위한 흐름도

Fig. 2 Typical flow-chart of distance relaying

3.1 전압, 전류의 추출

위의 그림 2에서와 같이 거리계전기법을 위해서는 전력계통에서의 두 가지 데이터, 즉 전압과 전류가 필요하게 된다. 본 시뮬레이터에는 3개의 모델 계통에 대해 EMTP를 사용하여, 정상상태는 물론 다양한 고장상태에서의 전압, 전류 데이터를 추출하였다.

3.2 Digital Signal Processing

거리계전기법에서는 일반적으로 계통신호의 기본파 성분을 이용하는 방법이 사용되며, 이 방법은 사고시 전압, 전류에 포함되는 고주파 성분과 직류 성분을 신속하고 정확하게 제거하는 것이 중요하다. 기본파 추출을 위한 전처리 과정으로 anti-aliasing 저역통과 필터와 DC-offset 제거 필터를 사용하여, 전압과 전류에 포함되어있는 고주파 성분과 직류 성분을 제거한 후에 얻어진 전압과 전류의 기본 주파수 성분을 추출하여 전압과 전류의 비(ratio)를 사용하여 고장점까지 임피던스를 구하며, 이렇게 정해진 임피던스를 사용하여 거리를 추정한다. 본 논문에서는 FCDFT(Full Cycle Discrete Fourier Transform) 함수를 사용하여 기본파를 추출하였다.

3.2.1 Anti-aliasing 저역통과 필터

전력 시스템은 아날로그 system이며, 이들 전력 시스템으로부터 얻어지는 전압, 전류를 디지털 거리계전기에 사용하기 위해서는 디지털화 되어야 한다. 아날로그 신호를 디지털화 할 경우에 샘플링 주파수가 너무 낮으면 샘플링 이론에 따라 원래의 신호에 존재하지 않는 낮은 주파수 성분이 포함될 수 있다[11]. 이러한 aliasing에 의한 에러를 방지하기 위해서는 저역통과 필터가 필요하며, 이 필터는 부수적으로 고장 발생시 고장신호에 함유되는 고주파 성분이 효과적으로 제거된다. 본 논문에서는 2차의 butterworth 저역통과 필터를 사용하였으며, 그 사양은 다음 표 1과 같으며, 이 아날로그 저역통과 필터의 전달함수는 다음 식 (1)과 같다.

표 1. 2차 저역통과 필터의 사양

Table 1. Specifications for the 2nd order low-pass filter

Passband cutoff frequency	60Hz
Sampling frequency	7860Hz(128 samples/cycle)

$$H(s) = \frac{1}{s^2 + \sqrt{2}s + 1} \quad (1)$$

식 (1)의 아날로그 필터의 사양을 만족하는 디지털 필터의 전달함수를 bilinear transformation을 사용하여 구하면 다음 식 (2)와 같다.

$$H(z) = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1} + b_2 z^{-2}} \quad (2)$$

다음 그림 3은 이와 같이 설계된 anti-aliasing 저역통과 필터를 실제 전압 값에 적용한 예로서, 0.03~0.04초 부근에서 존재하는 고주파 성분이 제거되었음을 알 수 있다.

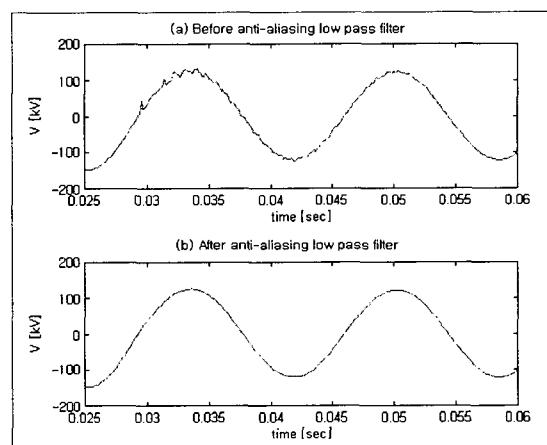


그림 3. Anti-aliasing 저역통과 필터의 모의 결과

Fig. 3. Simulation Result of Anti-aliasing low pass filter

3.2.2 DC-offset 제거 필터

계통 사고시 발생하는 고조파는 anti-aliasing 저역통과 필터로 제거가 가능하지만, DC 성분은 제거되지 않은 채 신호에 포함되어 있다. 이 직류성분을 제거하지 않으면 정확한 기본파를 구할 수 없으므로, 기본파를 이용하는 거리계전 알고리즘에서는 피할 수 없는 여러 발생의 요인이 된다. 만약, DC-offset 성분을 지수적으로 표현해 보면 다음 식 (3)과 같으며, DC-offset 성분은 식 (4)에 의해 제거될 수 있다.

$$x_k = \sum_{n=1}^{\infty} X_n \sin\left(\frac{2\pi k}{N}\right) + A e^{-\frac{k\Delta t}{\tau}} \quad (3)$$

여기서, Δt 는 샘플링 간격, τ 는 시정수, N 은 주기당 샘플수이다.

$$y_k = x_k - \frac{x_{k-1}}{e^{\frac{\Delta t}{\tau}}} \quad (4)$$

여기서, Δt 는 샘플링 간격, τ 는 시정수이다. 아래의 그림 4는 A상 1선지락 고장이 발생한 경우의 사고상 전류 파형으로, 그림에서와 같이 직류 성분이 제거된 것을 볼 수 있다.

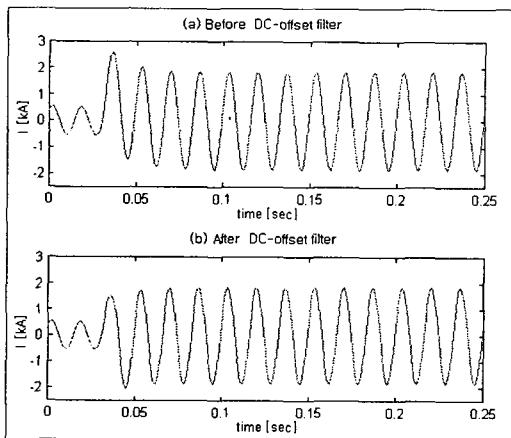


그림 4. DC-offset 제거 필터의 모의 결과
Fig. 4. Simulation Result of DC offset rejection filter

3.2.3 기본파 추출(전압, 전류)

과도상태 신호의 파형을 주기당 N번 샘플링하여 얻은 신호를 $x(k)$ 라고 할 때, 이산 푸리에 변환(Discrete Fourier Transform)을 나타내는 식은 다음 식(5)과 같다.

$$X(n) = \sum_{k=0}^{N-1} x(k) W_N^{nk} \quad (n = 0, 1, 2, \dots, N-1) \quad (5)$$

여기서, W_N^{nk} 은 $e^{-j(\frac{2\pi}{N})}$ 이며 위의 식 (5)에서 k는 고조파의 차수를 나타내며, k가 1인 경우에 기본주파수 성분이 된다.

3.3 임피던스의 계산

임피던스의 계산은 저역통과 필터와 DC-offset 필터를 통하여 얻어진 전압과 전류의 기본파 성분 데이터를 사용하여 계산된 기본파의 복소 성분을 이용한 복소 연산에 의해 저항과 리액턴스 값을 계산하게 된다. 지락고장 시에는 대지귀로를 통과하는 영상 회로를 고려하여 전압 또는 전류에 영상분 전류를 다음 식(6)과 같이 보상하며, 단락 고장의 경우에는 영상회로가 존재하지 않기 때문에 영상분의 보상이 필요 없게 된다[10].

$$\begin{aligned} V &= V_{\text{phase}} - (Z_0 - Z_1) \cdot I_0 \\ I &= I_{\text{phase}} - \frac{(Z_0 - Z_1)}{Z_1} \cdot I_0 \end{aligned} \quad (6)$$

여기서 Z_0 는 영상분 임피던스, Z_1 은 정상분 임피던스, I_0 는 영상전류이다.

3.3.1 자락 임피던스 측정

지락고장시 측정되는 임피던스는 대지와 지락된 선로 사이에 존재하는 고장 임피던스, 대지귀로를 통과하는 영상분 회로에 있는 영상 임피던스 및 계전기 설치점으로부터 고장 발생 지점까지에 존재하는 선로 임피던스의 합으로 나타내며, 각 상에서 보는 임피던스는 다음 식 (7)과 같다[10].

$$x\overline{Z_L} = \frac{\overline{V}}{\overline{I} + I_0 \frac{\overline{Z_0} - \overline{Z_1}}{\overline{Z_1}}} \quad (7)$$

여기서, V 는 고장상의 상전압, I 는 상전류, I_0 는 영상전류이고 Z_0 는 단위 거리당 영상 임피던스, Z_1 는 단위 거리당 정상 임피던스이며 x 는 고장 거리, Z_L 은 전체 선로의 정상 임피던스이다.

3.3.2 단락 임피던스 측정

단락고장시 측정되는 임피던스는 대지와 연결된 영상회로가 없으므로 영상 임피던스가 없으면, 고장 발생 지점까지의 선로 임피던스와 두 선로가 단락되면서 발생하는 고장 임피던스의 합으로 나타내어지며, 만일, a상과 b상에서 선간단락 고장이 발생했다면 임피던스는 식 (8)과 같이 계산된다.

$$x\overline{Z_L} = \frac{\overline{V_a} - \overline{V_b}}{\overline{I_a} - \overline{I_b}} = \frac{V_{ab}}{I_{ab}} \quad (8)$$

여기서, V_a 는 a상의 상전압, V_b 는 b상의 상전압, I_a 는 a상의 전류, I_b 는 b상의 전류, V_{ab} 는 선간전압, I_{ab} 는 선간전류이다.

4. 시뮬레이터의 구성 및 결과

4.1 시뮬레이터의 구성 및 개발환경

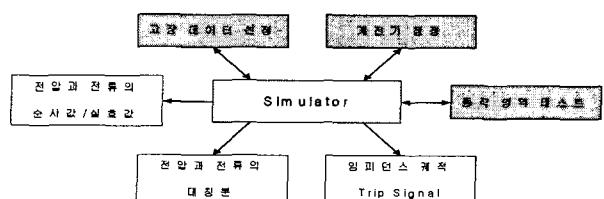


그림 5 시뮬레이터 구성도
Fig. 5 Diagram of the simulator

본 논문에서 개발한 시뮬레이터는 위의 그림 5 같이 모의 고장 데이터의 선택을 담당하는 모듈과 계전기의 정정을 담당하는 모듈, 그리고 계전기의 동작 영역 테스트 모듈을 dialog box로 구성하였으며, 입력된 전압, 전류의 순시값과 실효값을 나타내는 화면, 추출된 전압과 전류의 대칭성분을

나타내는 화면, 그리고 계전기의 동작 영역과 임피던스 케적, 트립 로직의 결과를 나타내는 화면으로 구성하였으며 시뮬레이터의 개발 환경은 표 2와 같다.

표 2. 시뮬레이터 개발환경

Table 2. Development environment of the simulator

PC	Intel P4 1.4GHz 512MB
Operating System	Windows 2000/XP
개발 언어	Visual C++ 6.0, MSDN 6.0
기타·	EMTP/ATPDraw

4.2 시뮬레이터의 초기화면

시뮬레이터의 초기화면은 다음 그림 6과 같다. 그림의 좌측 상단의 버튼을 이용하여 고장 데이터의 입력과 입력된 데이터의 순시값과 실효값, 대칭성분, 임피던스 케적과 계전기 트립 로직의 결과를 선택하여 볼 수 있도록 구성하였다.

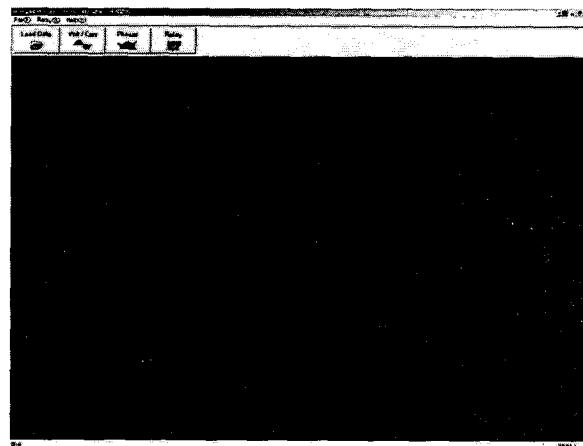


그림 6 시뮬레이터 초기화면

Fig. 6 Main Screen of the simulator

4.3 고장 데이터의 선택

고장 데이터의 선택은 그림 7에서와 같이 모델 계통, 고장 형태, 고장 발생각, 그리고 고장 거리를 각각 선택하여 저장된 데이터를 읽을 수 있다. 또한, 그림 7의 우측 상단의 "Search File" 버튼을 사용하면 다음 그림 8에서와 같이 이미 저장되어 있는 고장 데이터를 직접 선택할 수 있으며, 다음 그림 7에서 "Run EMTP" 버튼을 사용하면 사용자가 작성한 EMTP data 파일을 모의하여, 결과 파일(*.lis)을 시뮬레이터가 직접 읽어들여 거리계전 알고리즘을 모의할 수 있다.

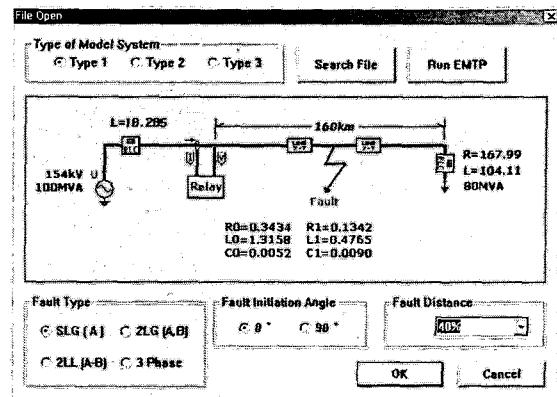


그림 7 고장 데이터 선택 대화상자

Fig. 7 Dialogbox for selection of the fault data file

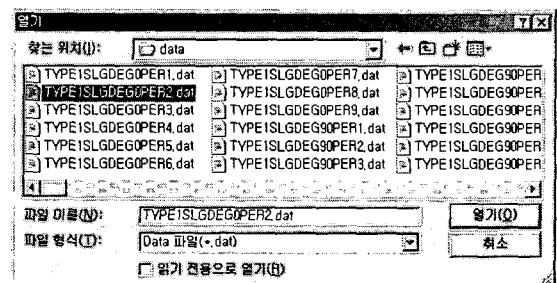


그림 8. 데이터 파일 선택 대화상자(1)

Fig. 8 Sub-dialogbox for selection of the fault files(1)

4.4 계전기의 정정

계전기의 정정(Setting)은 2개의 모듈로 구성하였으며, 다음 그림 9는 계전기에 사용된 필터에 대한 것으로, DC-offset 제거 필터와 2차 butterworth 필터의 계수를 변경하기 위해 필요한 파라미터들과 임피던스의 계산에 필요한 모의된 선로의 기본 테이터인 영상 임피던스와 정상 임피던스를 입력하는 부분으로 구성하였다.

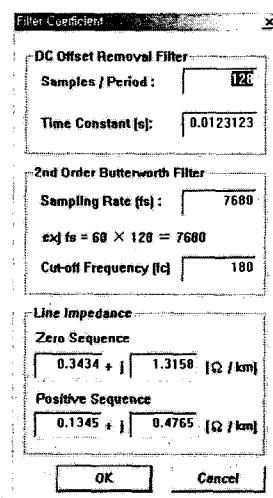


그림 9. Filter의 정정

Fig. 9 Setting for the filter

시뮬레이터에서 사용된 거리계전기는 지락 고장과 단락고장에 대하여 각각 3개의 정방향 동작 영역과 1개의 역방향 동작 영역을 갖는 거리계전기이며, 다음 그림 10은 이들 동작 영역을 정정하는데 사용되는 화면이다. 그림 10에서와 같이 좌측 상단의 버튼을 사용하여 지락고장과 단락고장을 선택할 수 있으며, 정정한 값에 따라 우측의 그림에서 계전기의 동작 영역에 적용되는 것을 GUI를 통해 확인할 수 있다.

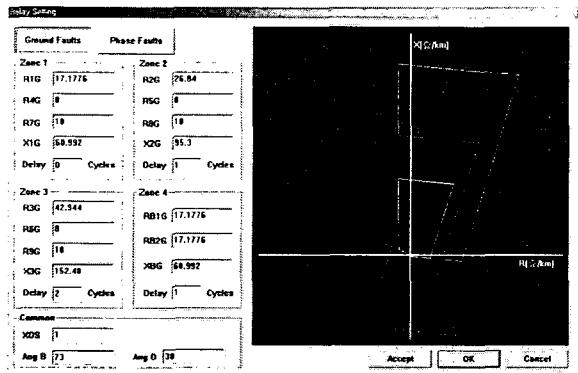


그림 10. 지락고장 동작영역 정정 화면

Fig. 10 Setting for zones of line-to-ground faults

4.5 계전기 동작영역 테스트

다음 그림 11은 계전기의 동작영역을 테스트하는 화면으로, 그림 9와 10에서 정정한 계전기의 동작영역을 그림 11에서 우측 상단의 계전기 동작영역을 선택하고, 임피던스 값을 입력하면 GUI를 통해 동작영역을 확인할 수 있다.

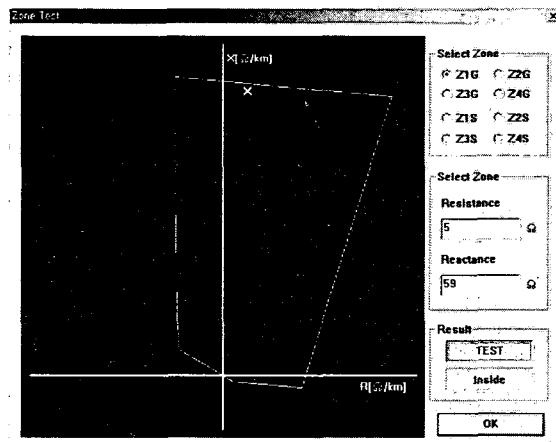


그림 11. 계전기 동작영역 테스트 화면

Fig. 11 Digalogbox for the test of zones

4.6 전압, 전류의 순시값과 실효값

시뮬레이터 기본 화면에서 'Volt/Cur' 버튼을 누르면 다음 그림 12와 같이 입력된 데이터의 전압과 전류의 순시값과 실효값을 나타내는 화면이 나타난다. 이 화면 상단에 표시된 각 상에 대한 전압 또는 전류의 체크박스를 선택하면,

선택된 상전압 또는 상전류의 순시값과 실효값을 화면에 도시한다. 그림 12는 A상에서 1선지락고장이 발생한 경우로 고장상인 A상의 전압은 감소하였으며, A상의 전류는 증가하는 것을 GUI를 통해 확인할 수 있다.

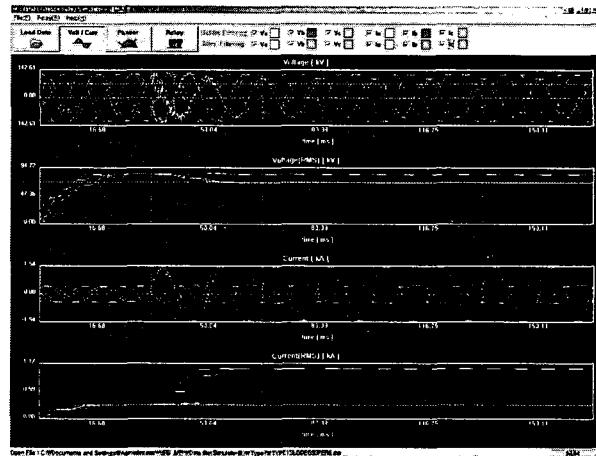


그림 12. 전압과 전류의 순시값과 실효값

Fig. 12 Instantaneous and rms values of volt. and cur.

4.7 기본파와 대칭성분

시뮬레이터 기본 화면에서 'Phasor' 버튼을 누르면 다음 그림 13과 같이 입력된 고장 데이터에서 전처리과정을 거친 후, FCDFD 연산에 의해 계산된 전압과 전류의 기본주파수 성분을 각 샘플값에 대하여 상전압(A, B, C상), 상전류(A, B, C상), 역상, 정상 역상의 전압과 전류들을 크기와 위상각의 형태로 화면에 나타내는 것을 볼 수 있다.

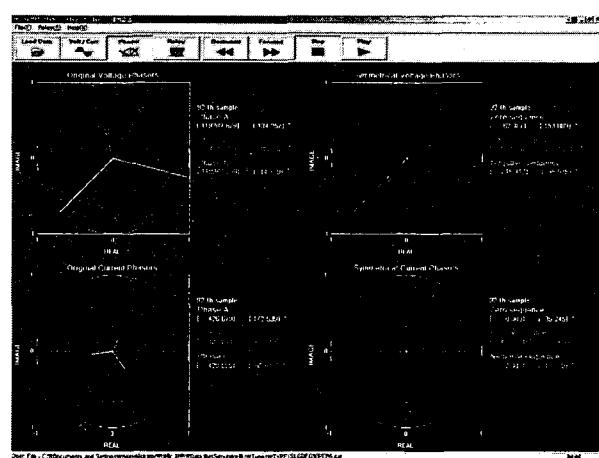


그림 13. 고장발생 전의 대칭성분 전압과 전류

Fig. 13 Symmetrical components of voltage and current

그림 13에서 좌측 상단에는 V_a , V_b , V_c 를 나타내었으며, 우측 상단에는 V_0 , V_1 , V_2 의 대칭성분을 나타내었다. 그리고, 좌측 하단에는 I_a , I_b , I_c 를 나타내었으며, 우측 하단에는 I_0 , I_1 , I_2 를 나타내었다. 또한, 상단의 "play" 버튼을 사용

하여 각 대칭성분 값의 변화를 순시적으로 확인할 수 있으며, “Forward”, “Backward” 버튼을 이용하여 단계적인 샘플 값의 변화도 확인할 수 있다.

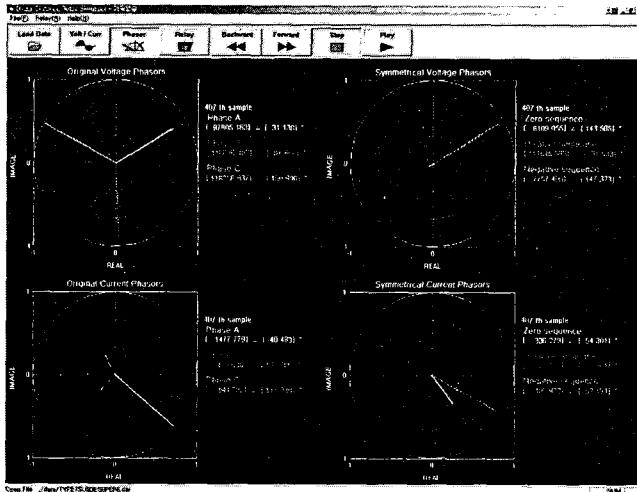


그림 14. 1선지락고장에 대한 phasor diagram
Fig. 14 Phasor diagrams for SLG fault

그림 14는 1선지락고장이 발생한 경우의 phasor diagram으로 그림에서 고장이 발생한 A상의 전압이 감소하였으며, A상의 전류가 증가하는 것을 확인할 수 있다. 또한, 그림의 우측하단에서 지락고장으로 이한 영상전류가 존재하는 것을 볼 수 있다.

4.8 임피던스 케적

시뮬레이터 기본 화면에서 ‘Ground Faults’ 버튼을 누르면 아래의 그림 15~16과 같이 화면이 나타난다. 이 화면에는 지락고장에 대한 3개의 정방향 동작영역과 1개의 역방향 동작영역을 화면 좌측의 R-X diagram상에 나타내며, 지락고장에 대한 각각의 동작영역에 대한 정정치를 R-X diagram 하단에 나타낸다. 그리고, 신호 처리 과정을 거쳐 계산된 각 상에 대한 임피던스를 R-X diagram에 동시에 표시하고, 임피던스가 계전기의 동작영역 내부에 수렴하는지를 판별하게 되며, 지락고장에 대한 트립 로직의 결과를 우측화면에 나타낸다. 또한, 아래 그림 15에서 ‘Phase Faults’ 버튼을 선택하면 단락고장에 대한 3개의 정방향 동작영역과 1개의 역방향 동작영역과 각각의 동작영역에 대한 정정치, 단락고장에 대한 트립 로직의 결과를 화면에 나타낸다. 그림에서 15에서 고장이 발생한 A상의 임피던스만이 계전기의 동작영역의 내부로 수렴하여 ZIA가 1이 되고, 영상전류를 검출하는 I_0 가 1이 되어 TCG의 출력이 1이 되고 트립 신호를 발생시키는 것을 확인할 수가 있다. 또한 ‘Phase Fault’ 버튼을 누르면 단락고장에 대한 화면을 볼 수 있다.

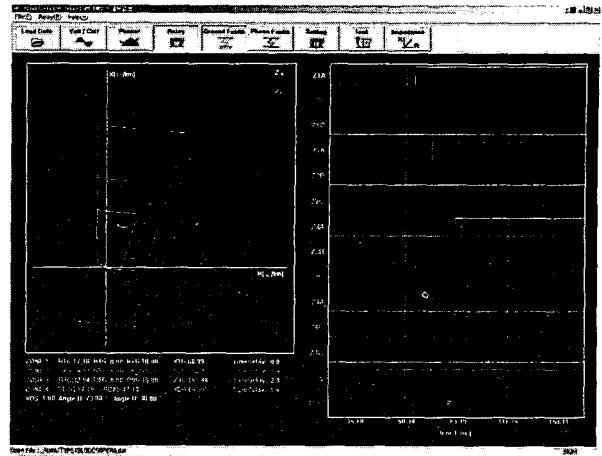


그림 15. 1선지락고장(60%, A상)에 대한 임피던스 케적
Fig. 15 Impedance wave for SLG(60%, phase A) fault

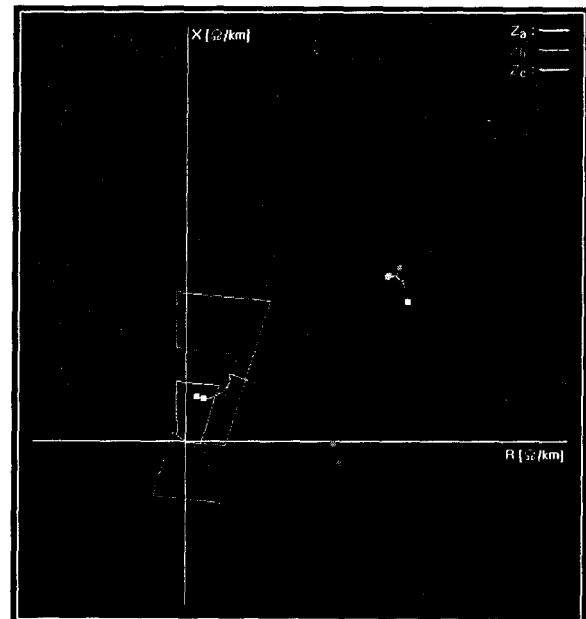


그림 16. 1선지락고장에 대한 계전기 동작영역과 임피던스 케적
Fig. 16 Impedance wave and zones for SLG faults

5. 결 론

본 논문에서는 거리계전기의 동작 원리와 특성을 사용자가 보다 쉽게 학습할 수 있는 시뮬레이터를 개발하였다. 개발된 시뮬레이터는 GUI를 사용하여 사용자가 쉽게 접근할 수 있도록 하였으며, 다양한 모의 고장을 적용하여 실제 동작을 모의해 볼 수 있도록 하였다. 이와 같이 GUI를 이용한 시뮬레이터는 사용자와 프로그램간의 상호작용(Interaction)이 그래픽을 통해 이루어지기 때문에 다양한 상황에 대해 모의를 손쉽게 할 수 있고, 알고리즘의 수행과정을 손쉽게 이해할 수 있다는 장점이 있다. 일반적으로 계통의 고장 모

의는 EMTP를 통해 고장 데이터를 얻은 후, 다시 고급언어로 구현된 계전 알고리즘에 적용시켜 최종의 결과를 얻을 수 있다. 본 논문에서는 세가지의 모델 계통을 EMTP를 사용해 모의하여 얻은 고장 데이터를 시뮬레이터에 탑재하였으며, EMTP의 출력파일(*.lis)을 직접 시뮬레이터에서 모의할 수도 있다. 또한, 개발된 시뮬레이터는 거리계전 알고리즘을 위한 전처리 과정을 DC-offset 필터와 2차의 butterworth 필터를 구현하여, 선로의 시정수, 데이터의 주기당 샘플수, cut-off frequency와 같은 필터의 파라미터를 변경이 가능하며, 사용자가 필터의 파라미터를 변경하였을 때 결과를 즉시 확인 가능하므로 계전기의 입력 데이터에 대한 적절한 필터의 선택도 가능할 것이다. 그리고, FCDFT를 이용한 기본과 추출 알고리즘과 대칭좌표법에 의해 계산된 전압, 전류의 대칭성분을 phasor diagram으로 화면에 출력하므로 고장발생 전·후의 phasor의 변화를 쉽게 확인할 수 있으며 특히, 고장상의 전압의 감소와 전류의 증가 그리고, 저락고장시의 영상전류의 증가와 같은 고장종류와 고장상의 판별에 필요한 특징을 눈으로 확인할 수 있다. 또한, 임피던스 측적과 디지털 거리계전기의 동작영역을 같은 화면에 구성하여 임피던스의 수렴 결과를 즉시 확인하는 것이 가능하며, 트립 로직의 동작 결과도 동시에 확인할 수 있다. 그리고, 거리계전기의 정정치 변경이 가능하므로 모의된 계통에 대한 적합한 계전기의 정정치를 구하는 훈련도 가능할 것이다. 이와 같이 본 논문에서 개발된 시뮬레이터는 디지털 거리계전기를 처음 사용하거나 사용 지식이 부족한 운영자들에게 거리계전기의 동작 특성, 정정법을 익히는데 많은 도움이 되리라 생각한다. 그러나, 아직 개발된 시뮬레이터는 다양한 거리계전기의 동작 특성 중에 사변형 특성만이 구현되어있다. 실제 현장에서 사용되는 여러 거리계전기들의 동작 특성들이 추가된다면 거리계전기에 대한 교육용 시뮬레이터로서의 효과가 더욱 크리라고 본다.

ACKNOWLEDGEMENT

This work was supported by grant No. (R01-2000-000-00250-0) from the Basic Research Program of the Korea Science & Engineering Foundation.

참 고 문 헌

- [1] 신대승, “보호계전 시스템 기술”, 도서출판 技多利, 1993.
- [2] C. H. Kim, M. H. Lee, R. K. Aggarwal, A. T. Johns, “Educational Use of EMTP MODELS for the Study of a Distance Relaying Algorithm for Protecting Transmission Lines”, IEEE Trans. on Power System, Vol. 15, No. 1, pp. 9-15, 2000.
- [3] 김병천, 박남옥, 김동수, 김철환, “Matlab을 이용한 송전선로의 아크사고 검출 및 고장거리 추정 소프트웨어 개발에 관한 연구”, Trans. KIEE, Vol. 51A, No. 4, pp. 163-168, 2002.
- [4] M. Kezunovic, A. Abur, L. Kojovic, V. Skendzic, H. Singh, C. W. Fromen, D. R. Sevcik, "DYNA-TEST Simulator: Protective Relaying Teaching Tool", IEEE Trans. on Power System, Vol. 4, No. 3, pp. 11298-1305, 1989.
- [5] M. Kezunovic, Y. Q. Xia, Y. Guo, C. W. Fromen, D. R. Sevcik, "Distance Relay Application Testing using a Digital Simulator", IEEE Trans. on Power Delivery, Vol. 12, No. 1, pp. 72 -82, Jan. 1997.
- [6] R. K. Aggarwal, D. V. Coury, A. T. Johns, A. Kalam, "A Practical Approach to Accurate Fault Location on Extra High Voltage Teed Feeders", IEEE Trans. on Power Delivery, Vol. 8, No. 3, pp.874-883, 1993.
- [7] M. B. Djuric, Z. M. Radojevic, and V. V. Terzija, "Digital Signal Processing Algorithm for Arcing faults Detection and Fault Distance Calculation on Transmission Lines", Electric machines and Power Systems, Vol. 19, No. 3, pp. 165-170, 1997.
- [8] G. Ziegler, "Numerical Distance Protection: Principles and Applications", Siemens AG, 1999.
- [9] H. Ungrad, "Protection Techniques in Electrical Energy Systems", ABB Relays Ltd., 1995.
- [10] 이명희, 정학진, 최해술, “154kV 송전선로 보호용 디지털 거리계전기 사용 매뉴얼”, 셀파워, 2000.
- [11] J. O. Sophocles "Introduction to Signal Processing", Prentice Hall, 1996.

저자 소개



김 동 수 (金 東 秀)

1975년 8월 6일생. 2001년 성균관대 전기
공학과 졸업. 2003년 동 대학원 전기전자
및 컴퓨터공학과 졸업(공석), 현재 한국전
기연구원 품질인증실 근무
Tel: 031-420-6022
Fax : 031-420-6029
E-mail : dskim@keri.re.kr



김 철 환 (金 喆 換)

1961년 1월 10일생. 1982년 성균관대 전기
공학과 졸업. 1990년 동 대학원 전기공학과
졸업(공박). 현재 성균관대 정보통신공학부
교수, 차세대전력기술연구센터
Tel : 031-290-7124
Fax : 031-290-7179
E-mail : chkim@skku.edu



이 기 택 (李 基 泽)

1958년 2월 16일생. 2004년 인하대학교 전
기공학과 박사 수료.. 현재 한국전기연구원
품질인증실 실장.
Tel: 031-420-6032
Fax : 031-420-6029
E-mail : ktlee@keri.re.kr



박 남 옥 (朴 南 沃)

1956년 5월 3일 생. 1980년 성균관대 전기
공학과 졸업. 2003년 동 대학원 전기공학과
졸업(공박). 현재 한국전기연구원 인증시험
실 실장.
Tel : 031-420-6010
Fax : 031-420-6049
E-mail : nopark@keri.re.kr