

게이트를 상징한 니켈 코발트 복합실리사이드 박막의 물성연구

김상엽* · 정영순 · 송오성

서울시립대학교 신소재공학과

Characteristics of Ni/Co Composite Silicides for Poly-silicon Gates

Sangyeob Kim*, Youngsoon Jung, and Ohsung Song

Department of Materials Science and Engineering, University of Seoul

초 록: 궁극적으로 게이트를 저저항 복합 실리사이드로 대체하는 가능성을 확인하기 위해 70 nm 두께의 폴리실리콘 위에 각 20 nm의 Ni, Co를 열증착기로 적층순서를 달리하여 poly/Ni/Co, poly/Co/Ni 구조를 만들었다. 캐츄얼처리기를 이용하여 실리사이드화 열처리를 40초간 700~1100°C 범위에서 실시하였다. 복합 실리사이드의 온도별 전기저항변화, 두께변화, 표면조도변화를 각각 사점전기저항측정기와 광발산주사전자현미경, 주사탐침현미경으로 확인하였다. 적층순서와 관계없이 폴리실리콘으로부터 제조된 복합실리사이드는 800°C 이상부터 급격한 고저항을 보이고, 두께도 급격히 얇아졌다. 두께의 감소는 기존의 단결정에서는 없던 현상으로 폴리실리콘의 두께가 한정된 경우 금속성분의 inversion 현상이 커서 폴리실리콘이 오히려 실리사이드 상부에 위치하여 제거되기 때문이라고 생각되었고 1000°C 이상에서는 실리사이드가 형성되지 못하였다. 이러한 결과는 나노급 두께의 게이트를 저저항 실리사이드로 만들기 위해서는 inversion과 두께감소를 고려하여야 함을 의미하였다.

Abstract : We fabricated Ni/Co(or Co/Ni) composite silicide layers on the non-patterned wafers from Ni(20 nm)/Co(20 nm)/poly-Si(70 nm) structure by rapid thermal annealing of 700°C~1100°C for 40 seconds. The sheet resistance, cross-sectional microstructure, and surface roughness were investigated by a four point probe, a field emission scanning electron microscope, and a scanning probe microscope, respectively. The sheet resistance increased abruptly while thickness decreased as silicidation temperature increased. We propose that the poly silicon inversion due to fast metal diffusion lead to decrease silicide thickness. Our results imply that we should consider the serious inversion and fast transformation in designing and process for the nano-height fully cobalt nickel composite silicide gates.

Keywords: Ni/Co composite silicide, gate silicide, silicides, silicide, gate oxide

1. 서 론

현대의 일반적인 반도체 소자는 MOSFET(metal oxide silicon field effect transistor)이 주로 채용되고 있으며 소오스와 드레인 사이에 Fig. 1과 같이 구조적으로 튀어나온 게이트에 전압이 인가되면 채널을 형성시켜 동작되도록 만들어져 있다. MOSFET의 주요 구성 요소 중 특히 게이트는 채

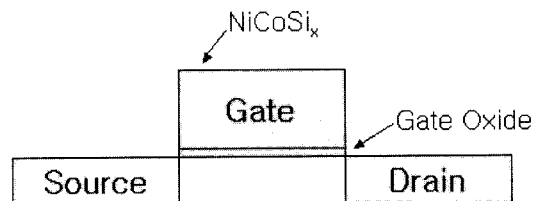


Fig. 1. Schematic illustration of MOSFET.

*Corresponding author
E-mail: kimjjyp@uos.ac.kr

널 형성의 주요 역할을 담당하게 되고, 게이트의 선폭이 반도체 소자공정 중에서 가장 미세 가공이 요구되는 난공정이다.

기존의 게이트는 게이트 절연층을 만든 후 화학 기상증착(chemical vapor deposition, CVD) 공정을 사용하여 폴리실리콘 소재로 만들어 사용하여 왔다. 이후에 이를 사진식각법으로 불필요한 부분을 제거하여 최종게이트 형상을 구현하는 공정을 사용하여 왔다.

그러나 최근에는 소자가 미세화 됨에 따라 이러한 게이트 소재층을 점점 미세식각이 용이하도록 여러 가지 부가 공정이 개발되어 오고 있다. 게이트의 상부가 실리콘 기판과 같은 평탄도가 유지되어 난반사가 방지되어야 하는 요구 조건을 만족하기 위해서 화학기계적연마(chemical mechanical polishing, CMP) 공정이 부가된다든지¹⁻²⁾, 게이트 절연층과의 반응성 없는 금속과 같은 저저항 물질로 대체하려는 추세에 따라 전극을 금속층으로 대체하여 금속의 미세식각 공정을 개발하려는 노력^{3,4)}, 하부의 게이트 절연층과의 반응을 억제할 수 있는 신소재의 개발⁵⁻⁶⁾, 새로운 삼차원 구조로 다중 게이트를 채용하는 연구⁷⁻⁹⁾ 등이 진행되고 있는 중이다.

이러한 배경에서 기존의 공정과 재료로 게이트의 저항을 낮추고 미세식각에 대응하기 위해 기존 폴리실리콘 게이트를 저저항 실리사이드로 채용하는 연구도 활발하다.¹⁰⁻¹¹⁾ 그러나 실리사이드 층의 미세식각 공정이 완성되지 않았으므로 단기적인 방법으로는 적절한 두께의 폴리실리콘 미세 패턴을 먼저 만들고 다시 그 상부에 적절한 두께의 금속층을 성막한 후 열처리하여 폴리실리콘과 금속을 실리사이드화 반응처리 시켜 전체 층을 저저항의 실리사이드로 대체하는 것이 가능하다.

그러나 이러한 실리사이드가 최종적으로 실제 소자에 적용되기 위해서는 과연 폴리실리콘 전체가 어떤 열처리 조건에서 저저항 실리사이드화 하는지 여부나 그때의 두께변화는 어떠한지, 그리고 실리사이드화한 후 게이트층의 상부의 평탄도 확보, 하부 게이트 절연층과의 반응 안정도, 상변화에 의한 스트레스 발생과 게이트 선폭 변화정도 등 규명되어야 할 공정에 따른 물성연구가 아직 많이 필요하다.

실리사이드는 이미 반도체 배선공정에서 Al과

같은 금속 배선층과 실리콘층과의 확산 방지를 억제하고 오믹컨택이 가능하도록 5 Ω/sq. 정도의 저저항을 가진 NiSi¹²⁻¹³⁾, CoSi₂¹⁴⁻¹⁵⁾ 및 이들의 복합실리사이드¹⁶⁾ 등이 개발되어 적절한 상변태 온도와 실리콘과 금속층의 두께 비율 등이 잘 알려진 재료이다. 특히 O. Song 등에 의해 Co, Ni 복합실리사이드의 경우 단결정 실리콘의 활성화 영역에서 전기적 특성과 여러 가지 상변화 등이 확인되었다.¹⁸⁾

따라서 본 연구에서는 200 nm의 열산화막을 가진 p-Si(100) 기판위에 70 nm 두께의 폴리실리콘을 먼저 성막하고 그 상부에 20 nm의 Ni과 20 nm의 Co를 열증착기로 순차적으로 증착하여 성막하고 진공에서 할로겐 램프 열원을 사용하는 캐속 열처리기(rapid thermal annealer, RTA)로 700~1100 °C의 온도범위에서 40초간 열처리를 시행하여 제안된 Ni/Co(or Co/Ni)/폴리실리콘층 모두가 열처리 온도에 따라 실리사이드화 하는지의 여부와 상부의 표면조도, 실리사이드층의 두께변화와 변화를 확인하여 제안된 Ni/Co(or Co/Ni) 적층구조로부터의 복합실리사이드가 게이트로 사용가능한지를 살펴보았다.

2. 실험방법

LPCVD(low pressure CVD)를 사용하여 폴리실리콘을 200 nm 열산화막을 입힌 p-Si(100) 기판 전면에서 70 nm 두께로 성막하였다. 배치공정으로 25의 실리콘 기판을 동시에 진행하여 준비하고 엘립소미터를 써서 70 nm의 두께가 균일하게 성막되었음을 확인하였다.

곧이어 자연산화막이 형성되기 전에 실리콘/열산화막/폴리실리콘 구조에 20 nm 두께의 니켈/금속, 20 nm 두께의 코발트/금속을 열증착기로 증착하여 최종적으로 Fig. 2과 같이 Ni(20 nm)/Co(20 nm)/poly-Si(70 nm)/SiO₂(200 nm)/p-Si(100), 와 적층순서를 바꾼 Ca(20 nm)/Ni(20 nm)/poly-Si(70 nm)/SiO₂(200 nm)/p-Si(100) 구조의 시편들을 준비하였다.

완성된 시편은 10⁻³ torr의 진공에서 7쌍의 할로겐 램프로 구성된 RTA를 활용하여 40초간 온도를 700, 800, 900, 1000, 1100°C의 5가지 조건에서 처리하여 실리사이드화를 유도하였다. RTA를 사용한 열처리는 승온속도 10 초, 유지시간을 40 초로

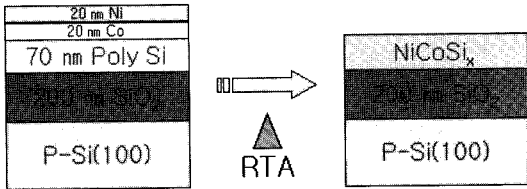


Fig. 2. A Sample structure of p-Si(100)/SiO₂(200 nm)/poly-Si(70 nm)/Ni(20 nm)/Co(20 nm), and p-Si (100)/SiO₂(200 nm)/NiCoSix after RTA silicidation.

실시할 경우 오버 슈트가 100°C~150°C 정도 일어났으며 세팅한 온도까지 내려가는데 10 초가 소모되었다.

열처리가 끝난 시편은 사점저항기를 사용하여 열처리전후의 면저항 측정과, Hitachi사의 FE-SEM(field emission scanning electron microscopy)로 수직단면미세구조를 확인하였다. 또한, PSIA사의 SPM(scanning probe microscope, CP Model)를 사용하여 이때 scan size 4 μm, scan rate 1 Hz의 조건에서 열처리 온도에 따른 각각의 표면조도를 컨택모드로 측정하였다.

3. 실험결과

RTA 온도에 따른 면저항의 변화를 Fig. 3에 나타내었다. RTA 700°C에서는 10 Ω/sq. 이하의 저저항으로 나타났지만 800°C 부터 42 Ω/sq의 고저항으로 나타났었다. 900°C 부터는 매우 큰 저항값으로 MΩ정도의 고저항으로 변화하여 소자로서 사용할

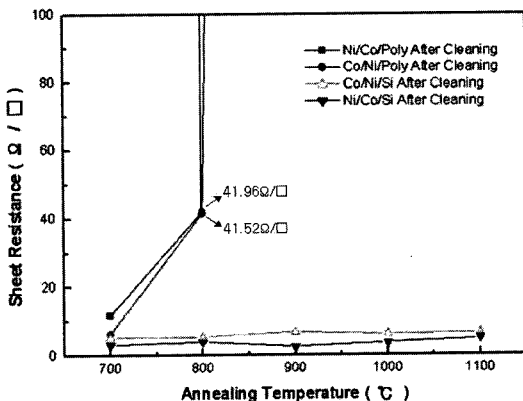


Fig. 3. Sheet resistance with silicidation temperatures.

수 없는 범위였다. 저항값이 증가하는 현상은 두 가지 원인으로 추측할 수 있다. 첫째로 온도 증가에 따른 고저항 물질의 형성(NiSi₂)에 의한 가능성과, 둘째로 형성된 실리사이드의 두께가 얇아질 가능성이 있다.

첫 번째 논의로, 같은 금속적층 구조를 가진 무한히 두껍다고 가정할 수 있는 단결정 실리콘에 증착되어 제조된 실리사이드가 적층순서에 관계없이 1100°C까지 열처리 범위에서도 매우 안정함을 보인 결과¹⁶⁻¹⁷⁾와 비교하여, 본 연구에서는 70 nm정도의 나노급 폴리실리콘에서는 800°C부터 얇아지는 특이한 현상이 발견되었다. CoNi적층구조인 경우 고온이 되면 800°C부터 고저항의 NiSi₂상이 형성된다고 추측되었으며 그 이유는 기존의 단결정 실리콘 보다 Ni의 확산속도가 빨라서 급격히 고저항 NiSi₂를 형성하였다고 예상할 수 있었다. Co, Ni, Si 삼원계에서 고온에서 고저항상은 NiSi₂가 가능성이 가장 크다. 그러나 통상적인 NiSi₂의 면저항이 200Ω/sq.정도임에 근거하여 실측전기저항이 MΩ급으로 나오는 결과를 설명할 수 없는 한계가 있었다.

두 번째 가능성으로, 저항이 급격히 커지는 현상은 면저항의 측정결과이므로 만약 실리사이드의 두께가 무한히 얇아지면 가능한 경우가 있다. 통상 두꺼운 실리콘에 실리사이드를 형성시키면 실리사이드화 상변태에 따른 부피팽창에 의해서 두께가 두꺼워지는 것이 상례이지만 만약 다른 이유에서 두께가 얇아졌다면 극단적인 고저항 현상이 설명될 수 있다.

Fig. 4에는 Ni/Co/poly의 적층구조로부터 완성된 실리사이드의 온도별 700, 800, 900, 1100°C의 각각의 경우의 FESEM으로 관찰한 수직단면 이미지를 나타내었다. 처리온도가 증가할수록 정성적으로 감소하는 경향이 있었고 특히 1000°C이상의 열처리에서는 기관상부의 물질을 확인할 수 없었다. 즉 실리사이드가 형성되지 않은 것으로 확인할 수 있었다. 한편 동일한 방법으로 Co/Ni/poly구조로 적층한 경우도 수직단면을 통하여 형성된 실리사이드 두께를 확인하였다.

Fig. 5에는 Fig. 4에서 판단된 두께를 모두 모아 RTA 처리온도에 따른 실리사이드의 두께변화를 그래프로 나타내었다. 기존에 보고된 바와 같이 단결정 실리콘에 생성된 실리사이드는 온도가 증

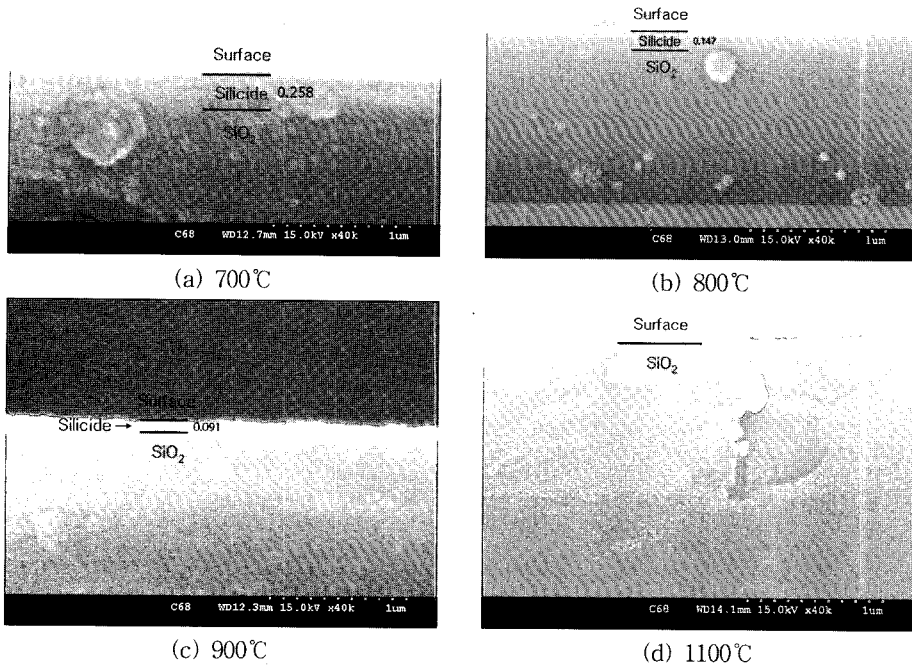


Fig. 4. FE-SEM images with silicidation temperature of (a)700°C, (b)800°C, (c)900°C, and (d) 1100°C.

가하면서 증가함에 비해 폴리 실리콘위에 생성된 경우는 700°C에서 250 nm 이다가 800°C에서 150 nm, 900°C에서 90 nm 정도로 급격히 줄어들다가 1000°C 이상에서는 실리사이드가 없어진 현상이 발생하였다. 따라서 현상적으로는 앞서 보인 800°C 이후의 급격한 저항값의 증가는 이러한 두께가 극단적으로 얇아지면서 생긴 것으로 설명이 가능하였다. 이러한 실리사이드 두께가 얇아지는 현상은 금속원소의 확산이 결정립을 통해 가속되어 먼저 SiO₂ 계면부에 실리사이드를 형성하여 오히려 미반응 실리콘층이 실리사이드 상부에 위치하는 역전(inversion) 현상이 발생하였고, 이미 니켈과 코발트를 제한된 두께의 폴리실리콘에서 반응시키는 경우 잘 알려진 사실이다.¹⁹⁾ 새로운 코발트니켈 복합실리사이드에서 온도가 높을수록 이러한 극단적인 역전현상이 일어난다는 것을 저항 게이트를 만들 때 꼭 고려해야 할 사항이며 역전현상을 고려하여 전체 나노급 두께의 게이트를 실리사이드화 하려면 700°C 정도의 낮은 온도에서 여러 번 RTA 처리를 실시하는 것이 유리하다

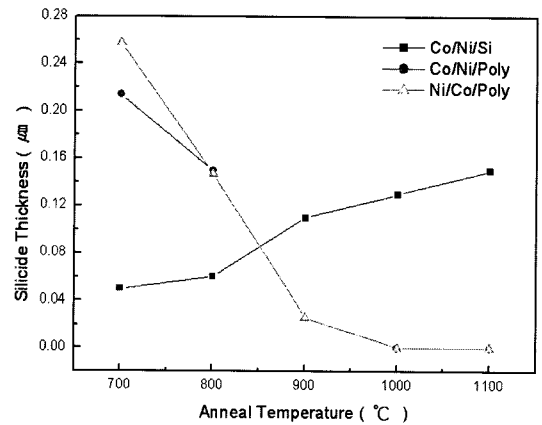


Fig. 5. Thickness with silicidation temperature.

고 예상되었다.

실리사이드 열처리에 따른 표면조도의 변화를 보다 상세하게 알아보기 위해서 Fig. 6에 SPM을 사용하여 Poly/Ni/Co 구조로부터의 시편을 측정된 표면 topography를 나타내었다. 700°C에서는 처리전의 금속박막의 조도와 비슷하고 800 nm에

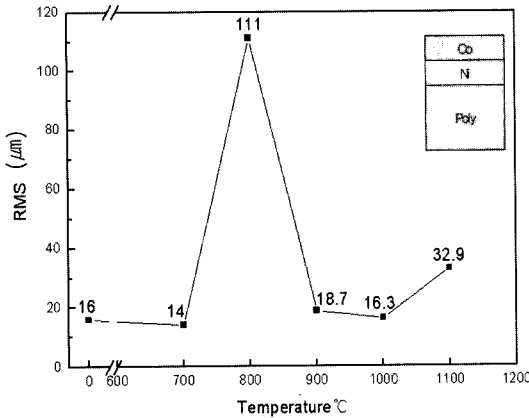


Fig. 6. Surface roughness topology images with silicidation temperature.

서 급격한 표면조도의 변화가 있으며 나머지 900°C 이상에서 다시 표면조도가 낮아지는 현상이 있다. 전기저항의 변화와 실리사이드 두께를 고려하여 판단하면, 700°C에서는 저저항 복합실리사이드의 표면조도가 부피변화에도 불구하고 고른 표면을 가지고 생성되었다고 판단되고, 800°C에서는 고저항상의 출현으로 상변화에 의해 표면조도가 크게 측정되었다고 판단된다. 이후 900°C부터는 고저항 복합실리사이드의 SiO₂와의 젖음성이 나빠서 역전현상과 함께 생성된 실리사이드도 크리닝 공정에서 제거되어 다시 평탄한 SiO₂기판에 스컴이 남은 정도의 표면조도를 보인 것으로 판단된다.

따라서 새로운 니켈코발트 실리사이드가 나노급 폴리실리콘과 반응하여 생성될 때 급격한 역전현상을 확인하였으며, 이를 고려하여 기존의 CMOS공정에서 게이트의 높이가 나노급으로 낮아지는 경우나, 나노급 두께의 배선층을 만드는 경우 최적 열처리 공정조건을 찾아내는데 이러한 역전현상을 고려해야 함을 알 수 있었다.

4. 결 론

나노급 두께에서 폴리 실리콘과 Ni/Co(or Co/Ni) 구조로부터 복합 실리사이드를 제조할 때 전기저항은 800°C 이상 고온에서는 고저항으로 급격히 변화하였고, 온도가 커짐에 따라 역전현상으로 두께가 급격히 얇아지는 특징이 있었다. 따라서 새

로운 복합실리사이드를 나노급게이트 높이를 가진 CMOS공정에 채용할 때, 이러한 역전현상을 고려한 실리사이드 공정개발이 필요함을 알 수 있었다.

감사의 글

본 연구는 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참고문헌

1. Parshuram B. Zantye, Ashok Kuman, A.K. Sikder, Materials Science and Engineering, R45, 89(2004).
2. Weidan Li, Dong Wook Shin, Minoru Tomozawa, Shyam P. Muraka, Thin Solid Films, 270, 601(1995).
3. Shiyang Zhu, H.Y. Yu, J.D. Chen, S.J. Whang, J.H. Chen, Chen Shen, Chunxiang Zhu, S.J. Lee, M.F. Li, D.D.H. Chan, W.J. Yoo, Anyan Du, C.H. Tung, Jagan Singh, Albert Chin, D.L. Kwong, Solid-State Electronics, 48, 1987(2004).
4. J. K. Efavi, M.C. Lemme, T. Mollenhauer, T. Wahlbrink, T. Bobek, D. Wang, H.D.B. Gottlob, H. Kurz, Microelectronics Engineering, 76, 354(2004).
5. Yee-Chia Yeo, Thin Solid Films, 462-463, 34(2004).
6. C.S. Park, B.J. Cho, D.-L. Kwong, IEEE Electron Device Lett., 22(9), 444(2003).
7. S. Jagar, Navab Singh, Sohan S. Mehta, Naveen Agrawal, G. Samudra, N. Baasubramanian, Thin Solid Films, 462-463, 1(2004).
8. H.S.P. Wong, K.K. Chan, Y. Tuar, IEDM Tech. Dig., IEEE, 427(1997).
9. Semiconductor Industry Association(SIA), the international technology roadmap for semiconductors, (2001).
10. M.A. Pawlak, J.A. Kittl, O. Chamirian, A. Veloso, A. Lauwers, T. Schram, K. Maex, A. Vantomme, Microelectronic Engineering, 76, 349(2004).
11. I. De, D. Johri, A. Srivastava, C.M. Osburn, Solid-State Electron, 44, 1077(2000).
12. K.P. Liew, R.A. Bernstein, C.V. Thompson, J. Mater. Res., 19, 676(2004).
13. Christian Rivero, Patrice, Gergaud, Olivier Thomas, Benoit Froment, Herve Jaouen, Microelectronic Engineering, 76, 318(2004).
14. J. Chen, J.P. Colinge, D. Flandre, R. Gillon, J.P. Raskin, D. Vanhoenacker, J. Electrochem. Soc., 144,

- 2437(1997).
15. H. Zhang, J. Poole, R. Eller, M. Keefe, J. Vac. Sci. Technol. A17, 1904(1999).
 16. Y.S. Jung, S.H. Cheong, O.S. Song, Korean Journal of Materials Research, 14, 389 (2004).
 17. S. P. Murarka, J. Electrochem. Soc., 129, 293(1982).
 18. Oh sung Song, Seong hwee Cheong, Dug joong Kim, “Characterization of Composite Silicide obtained from NiCo-Alloy Films”, KMRS, Korean Journal of Materials Research, 14(12), 846(2004).
 19. Colgan E. G, Gambino J. P., Hong Q. Z., “Formation and stability of silicides on polycrystalline silicon”, Materials Science and Engineering, 16, 43(1996).