

75 μm Cu via가 형성된 3D 스택 패키지용 interconnection 공정 및 접합부의 전기적 특성

이광용 · 오택수 · 원혜진 · 이재호 · 오태성*

홍익대학교 신소재공학과

Interconnection Process and Electrical Properties of the Interconnection Joints for 3D Stack Package with 75 μm Cu Via

Kwang-Yong Lee, Teck-Su Oh, Hye-Jin Won, Jae-Ho Lee, and Tae-Sung Oh*

Dept. of Materials Science & Engineering, Hongik University, Seoul 121-791, Korea

초 록: 직경 75 μm , 높이 90 μm 및 150 μm 피치의 Cu via를 통한 삼차원 배선구조를 갖는 스택 시편을 deep RIE를 이용한 via hole 형성공정, 펄스-역펄스 전기도금법에 의한 Cu via filling 공정, CMP를 이용한 Si thinning 공정, photolithography, 금속박막 스퍼터링, 전기도금법에 의한 Cu/Sn 범프 형성공정 및 플립칩 공정을 이용하여 제작하였다. Cu via를 갖는 daisy chain 시편에서 측정된 접속범프 개수에 따른 daisy chain의 저항 그래프의 기울기로부터 Cu/Sn 범프 접속저항과 Cu via 저항을 구하는 것이 가능하였다. 270°C에서 2분간 유지하여 플립칩 본딩시 100 × 100 μm 크기의 Cu/Sn 범프 접속저항은 6.7 m Ω 이었으며, 직경 75 μm , 높이 90 μm 인 Cu via의 저항은 2.3m Ω 이었다.

Abstract: Stack specimen with three dimensional interconnection structure through Cu via of 75 μm diameter, 90 μm height and 150 μm pitch was successfully fabricated using subsequent processes of via hole formation with Deep RIE (reactive ion etching), Cu via filling with pulse-reverse electroplating, Si thinning with CMP, photolithography, metal film sputtering, Cu/Sn bump formation, and flip chip bonding. Contact resistance of Cu/Sn bump and Cu via resistance could be determined from the slope of the daisy chain resistance vs the number of bump joints of the flip chip specimen containing Cu via. When flip-chip bonded at 270°C for 2 minutes, the contact resistance of the Cu/Sn bump joints of 100 × 100 μm size was 6.7m Ω , and the Cu via resistance of 75 μm diameter, 90 μm height was 2.3m Ω .

Keywords: Stack package, System in Package, Flip chip, Cu via, Electroplating, electronic packaging

1. 서 론

휴대전화, PDA, 디지털 카메라와 같이 최근 전자제품들이 소형화, 경량화, 고기능화가 활발히 진행되고 있으며, 이를 이루기 위해서는 보다 컴팩트하며 기능이 향상된 전자 패키지의 개발이 요구되고 있다.¹⁻⁸⁾ 이제까지 전자패키지 모듈은 다수의

IC 칩을 비롯한 전자부품들의 이차원적 배열에 의하여 이루어져 왔다. 그러나 최근 전자제품의 소형화, 경량화가 급격히 진행됨에 따라 반도체 칩을 2차원적으로 배열하여서는 원하는 크기와 성능을 얻는데 한계에 도달하게 되어 반도체 칩들을 3차원으로 적층하는 3D 스택 패키지에 대한 연구가 활발히 진행되고 있다.^{1,3,4,9-11)}

*Corresponding author
E-mail: ohts@hongik.ac.kr

휴대전화에 적용을 위해 플래시 메모리와 SDRAM을 적층하여 한 개의 메모리 소자를 제조함으로써 시작된 3D 스택 패키지는 크기 및 무게의 현저한 감소와 더불어 전기적 성능의 향상, 보드 단위면적당 소자 기능의 증가 및 공정가격 저하 등의 여러 장점을 지니고 있다. 현재 3D 스택 패키지는 크기 감소와 기능성 향상이 동시에 강조되고 있는 휴대전화와 무선 PDA에 주로 적용되고 있으며, SRAM과 플래시 메모리의 스택이 주종을 이루고 있다. 휴대전화와 무선 PDA 외에도 3D 패키지는 위성통신용 셋톱 박스와 네트워크 소자에의 적용이 가능하며, SRAM이나 플래시 메모리의 스택 외에도 논리소자나 DRAM의 스택 패키지가 개발되고 있다.¹²⁾

현재 상용되고 있는 3D 스택 패키지에서는 반도체 칩들을 서로 적층한 후 각 칩들의 I/O 패드를 기판에 와이어 본딩하고 있으나, 이와 같은 와이어 본딩에 의해 노이즈 증가에 따른 고주파 특성의 저하가 발생하며 패키지의 크기가 증가하는 문제점을 지니고 있다. 이에 따라 반도체 칩들에 via hole을 형성하고 이를 Cu로 채운 후, 이를 삼차원 interconnection으로 사용함으로써 고주파 특성을 향상시키고 패키지의 크기를 감소시키고자 하는 연구들이 제안되고 있다.

본 연구에서는 Deep RIE를 이용한 via hole 형성 공정, 펄스-역펄스 전기도금법을 이용한 Cu via filling 공정, Cu metallization과 범프 형성공정 및 플립칩 공정을 사용하여 daisy chain 형태의 삼차원 interconnection 구조를 갖는 스택 시편을 제조 후, 접속부의 접속저항과 Cu via의 저항을 분석하였다.

2. 실험방법

75 μm Cu via가 형성되어 있는 Si 칩을 제조하기 위해 우선 550 μm 두께의 p-type (100) Si 웨이퍼에 Deep RIE(Reactive Ion Etching)를 이용하여 피치가 150 μm 이며, 폭과 깊이가 각기 75 μm 및 150 μm 인 via hole을 형성하였다. 형성된 via hole과 Si 웨이퍼 사이의 절연막을 형성하기 위해 건식산화법을 사용하여 0.1 μm 두께의 SiO_2 산화막을 형성하였다. Via hole 내부에 Cu filling용 씨앗층을 형성하기 위해 IMP(Ionized Metal Plasma) 시

스템을 이용하여 SiO_2 계면과 접착력이 우수한 Ta를 170 nm 두께로 증착하였으며, 그 위에 1 μm 두께의 Cu를 형성하였다.

Ta/Cu 씨앗층이 형성된 via hole 내에 전기도금에 의한 Cu via filling을 위해 0.25M의 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 와 1M H_2SO_4 용액에 억제제로서 PEG (Polyethylene Glycol) 300 ppm과 CuCl_2 0.17 g/L 및 가속제로서 MPSA (3-mercapto-1-propane-sulfonate)과 SPS (Sulfo-Propyl-di-Sulfide)를 소량 첨가하여 Cu via filling 전해액을 제조하였다. 이와 같이 제조된 전해액은 도금공정에 사용하기 전에 200rpm의 속도로 24시간 교반하여 주었다. 전기도금으로 Cu via filling을 하기에 앞서 via hole이 형성된 Si 기판을 10 vol% H_2SO_4 수용액에 5~10초간 담구어 Ta/Cu 씨앗층의 산화피막을 제거하였다. 전해액이 via hole 내부까지 완전히 흡착되지 않아 via hole의 선단 부위에서 Cu filling이 발생하지 않는 문제점을 해결하기 위해 via hole이 형성된 Si 시편을 동일 조성의 전해액에 담구고 1×10^{-2} torr의 진공도로 30분간 유지하여 via hole 내부에 포획되어 있는 기포를 제거하였다. 그런 다음 75 μm via hole이 형성되어 있는 Si 시편을 Cu 전해액 내에 넣은 후 current source meter를 사용하여 환원전류밀도(IC)와 산화전류밀도(IA)의 비를 1:3으로 하는 펄스-역펄스 전류도금법으로 Cu via filling을 실시하였다. 전기도금에 의한 Cu via filling이 완료된 Si 시편의 상부와 하부를 CMP (Chemical Mechanical Polishing) 공정을 사용하여 90 μm 두께로 thinning 함으로써 75 μm Cu via가 형성되어 있는 Si 시편을 제조하였다.

Cu via의 전기적 특성 및 스택 접속부의 접속저항을 측정하기 위하여, Si 웨이퍼를 사용하여 Fig. 1과 같은 daisy chain 구조의 칩과 기판을 제조하였다. 이를 위해 Cu via가 형성된 Si 시편의 윗면에 3 μm 두께의 Cu를 스퍼터링하고 photolithography 기술을 사용하여 패터닝 함으로써 폭 130 μm , 두께 3 μm 의 Cu 배선을 형성하였다. 이와 같은 시편의 하단부 Cu via 부위에 photolithography를 사용하여 PR 패턴을 형성 후 4 μm 두께의 Cu와 0.1 μm 두께의 Sn을 순차적으로 전기도금하여 100 \times 100 μm 크기의 Cu/Sn 범프를 형성하여 칩 시편을 제조하였다. SiO_2 가 0.1 μm 두께로 형성된 Si 웨이퍼 (Cu via가 형성되어 있지 않은 Si

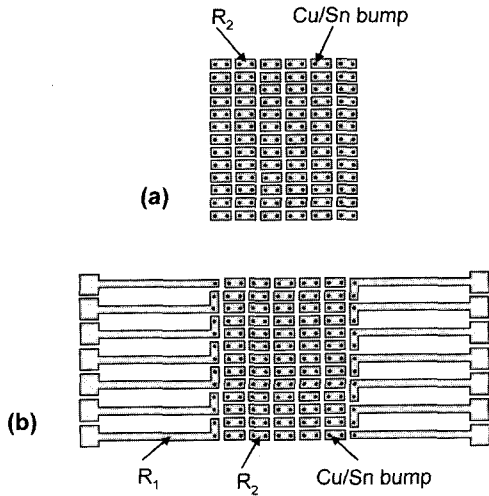


Fig. 1. Schematic illustrations of (a) chip and (b) substrate patterns in the daisy chain structure.

웨이퍼)에 스퍼터링법과 photolithography를 칩 시편에 형성된 것과 동일하게 폭 130 μm, 두께 3 μm의 Cu 배선을 형성하였으며, 칩 시편에 형성한 Cu/Sn 범프와 동일한 위치에 photolithography와 전기도금법을 사용하여 9 μm 두께의 Cu와 1 μm 두께의 Sn을 순차적으로 전기도금하여 100X100 μm 크기의 Cu/Sn 범프를 형성하여 기판 제작을 완료하였다. 이와 같이 제조된 칩 시편의 Cu/Sn 범프를 기판 시편의 Cu/Sn 범프에 접속하여 Cu via를 통한 삼차원 interconnection을 형성하기 위해, 칩 시편과 기판 시편에 RMA 로진계 플렉스를 도포 후 플립칩 본딩을 이용하여 270°C에서 2분간 유지함으로써 칩 시편을 기판 시편에 플립칩 본딩하였다. Cu via가 없는 Si 웨이퍼를 사용하여 위에서 기술한 공정을 사용하여 칩 시편과 기판 시편을 제작 후, 이들을 플립칩 본딩함으로써 Cu via의 저항특성을 분석하기 위한 레퍼런스 시편(Cu via가 없는 시편)을 제조하였다. Fig. 2(a)에 Cu via가 형성되어 있는 삼차원 interconnection 구조를 갖는 시편의 모식도를 나타내었으며, Fig. 2(b)에는 Cu via가 없는 레퍼런스 시편의 모식도를 나타내었다.

Si 기판에 형성된 via hole, Cu 전기도금으로 via hole을 채운 Cu via, Cu/Sn 범프 스택 칩의 형상을 주사전자현미경으로 관찰하였다. Si 기판 및 via hole의 표면에 절연층으로 형성한 SiO₂ 층이 CMP (Chemical Mechanical Polishing) 처리 후에도 남아

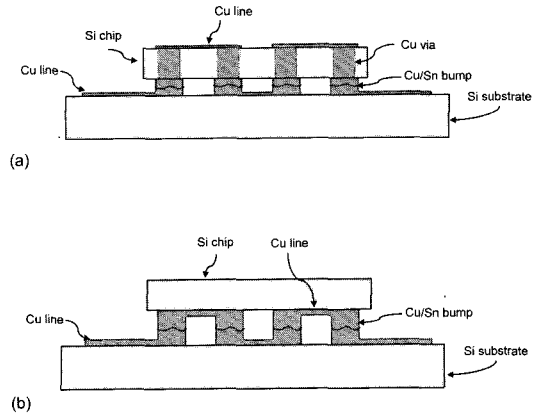


Fig. 2. Schematic illustrations of (a) flip chip stack specimen with Cu via and (b) reference specimen without Cu via.

있는지를 확인하기 위해 Cu via filling 및 CMP 처리한 Si 기판의 윗면과 아랫면의 조성을 Auger 분석하여 비교하였다. Daisy chain 형상으로 스택된 Cu via 함유 시편 및 Cu via가 없는 레퍼런스 시편의 전기저항을 측정하였으며 이로부터 배선저항, 범프 접속저항 및 Cu via 저항을 분석하였다.

3. 결과 및 고찰

Fig. 3(a)와 (b)에 Deep RIE를 사용하여 Si 웨이퍼에 중형비 2로 형성한 깊이 150 μm, 지름 75 μm인 via hole의 주사전자현미경 사진을 나타내었다. 이들 via hole들은 Fig. 3(a)에서 보는 것과 같이 150 μm 깊이 및 150 μm 피치로 Si 웨이퍼에 균일하게 형성되어 있었다. Si과 Cu via 사이의 절연층으로 사용하기 위해 Si 웨이퍼와 via hole의 표면에 건식산화법으로 형성한 SiO₂ 절연층에 대한 AES 분석 결과를 Fig. 4에 나타내었다. 이 결과에서와 같이 건식산화법에 의해 Si 웨이퍼 표면에 0.1 μm 두께의 SiO₂ 막이 형성되어 있는 것을 확인할 수 있었다. SiO₂ 산화막이 형성된 via hole 내에 Cu via filling을 위한 전기도금용 씨앗층으로서 Ta/Cu를 순차적으로 스퍼터링 하였으며, Ta/Cu 씨앗층이 형성된 via hole의 주사전자현미경 사진을 Fig. 3(c)에 나타내었다. Ta/Cu 전기도금용 씨앗층에서 Ta는 SiO₂와의 접합층으로서 0.2 μm 두께로 형성하였으며, Cu는 via filling을 위한 전기도금의 실제 씨앗층으로서 1 μm 두께로 형성하였다.

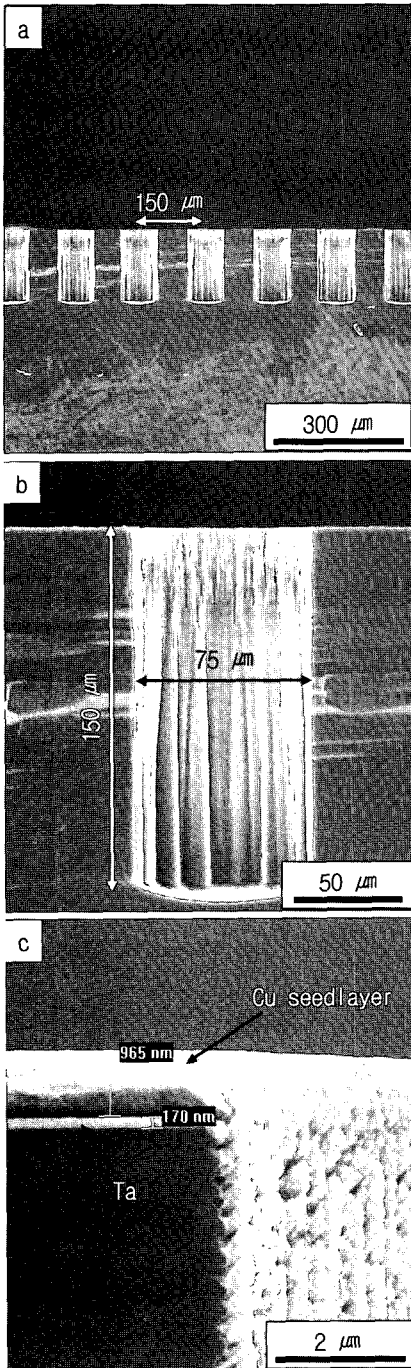


Fig. 3. SEM micrographs of via holes (a) at low magnification and (b) high magnification, and SEM micrograph of (c) Ta/Cu seed layers formed at via holes.

Ta/Cu 씨앗층이 형성된 via hole을 펄스-역펄스 전기도금법을 사용하여 2.5 mA/cm²의 전류밀도로

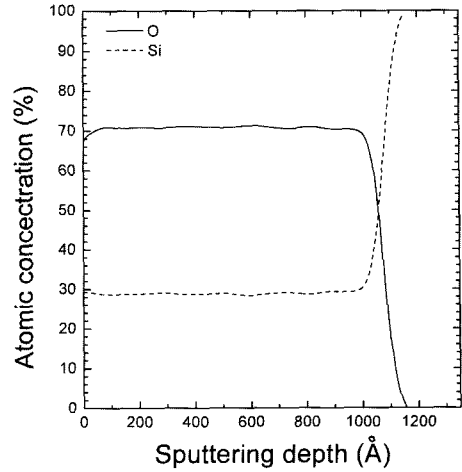


Fig. 4. Auger depth profile for SiO₂ layer formed by dry oxidation.

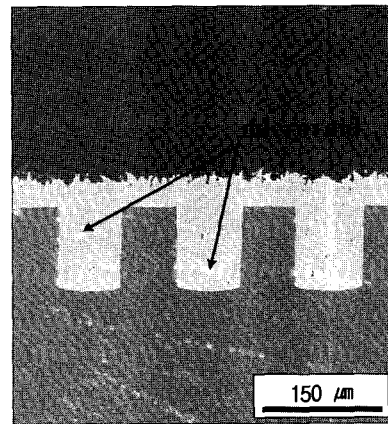


Fig. 5. Cross-sectional SEM micrograph Cu filling into via holes.

filling하여 형성한 Cu via의 단면 주사전자현미경 사진을 Fig. 5에 나타내었다. 종횡비가 2인 via hole을 일정전류 도금법을 사용하여 filling 할 경우, via 개구부의 모서리에 전류밀도가 집중되어 다른 부위보다 전착이 빠르게 진행됨으로써 via hole의 입구가 막히게 되어 via 내부의 완전 충전이 불가능하게 되며 void 또는 seam 같은 결함이 발생된다.¹⁵⁾ 이와 같이 via hole의 모서리에서 전착이 빠르게 진행되는 것을 억제하기 위해 본 연구에서는 10 msec의 동작 주기(on/off time)로 펄스-역펄스 전기도금을 하였다. Fig. 5에서 보는 바와 같이 펄스-역펄스법을 사용하여 Cu filling을 함으로써 via

hole의 내부가 seam의 형성없이 완전히 Cu로 채워져 있음을 확인할 수 있었다. Cu via 내부에 미세기공들이 일부 형성되어 있으나, 이와 같은 적은 양의 미세기공들은 Cu via의 저항 특성에 큰 영향을 미치지 않을 것으로 판단된다.

Cu via filling이 완료된 Si 웨이퍼를 CMP 공정을 이용하여 90 μm 두께로 thinning 하였으며, 이와 같은 시편의 주사전자현미경 사진과 광학현미경 사진을 Fig. 6에 나타내었다. Fig. 6(a)는 CMP 공정처리한 시편의 단면사진이며, Fig. 6(b)와 (c)는 각기 CMP 처리 후 Cu via 표면을 정 방향(front side)과 역 방향(back side)에서 관찰한 광학현미경 사진이다. Fig. 6(a)에서와 같이 Cu via filling 및 CMP 처리에 의해 Si 기판 내에 직경 75 μm , 높이 90 μm 인 Cu via가 150 μm 피치로 균일하게 형성되어 있음을 관찰할 수 있다. 이와 같은 Cu via의 윗면은 Fig. 6(b)와 같이 미세기공의 형성 없이 완전 충전되어 있었으나, 90 μm 깊이의 Cu via 내부에서는 Fig. 6(c)와 같이 미세기공이 형성되어 있었으며 이는 Fig. 5에 나타낸 Cu via의 단면 사진에서 관찰한 것과 같은 결과이다.

Si과 배선회로 사이의 전기적 절연을 위해 형성한 SiO₂ 층이 CMP 처리 후에도 잔존하여 절연층으로 작용할 수 있는지를 확인하기 위해 Cu via filling 후 CMP thinning된 Si의 front side와 back side에 대해 AES 조성을 분석한 결과를 Fig. 7에 나타내었다. Fig. 7(a)에서 보는 것과 같이 건식산화법을 사용하여 0.1 μm 두께의 SiO₂ 층을 형성하였던 front side의 경우에는 CMP 처리 후에도 약 150Å 두께의 SiO₂ 산화막이 잔존하고 있음을 알 수 있다. 이와 같은 150Å 두께의 SiO₂ 산화막 중에서 Si과 접하고 있는 75Å 정도 두께의 SiO₂는 Si 과잉 조성의 산화막이며, 나머지 두께의 SiO₂ 층은 산소 과잉 조성의 산화막이다. 반면에 산화막을 형성하지 않았던 back side의 경우에는 CMP 처리 후 Fig. 7(b)과 같이 50Å 두께의 Si 과잉 조성의 자연산화막이 형성되어 있음을 알 수 있다. SiO₂ 절연층의 절연과파괴강도는 800 MV/cm 정도 이므로,¹⁶⁾ 본 실험에서 CMP 처리 후 150Å의 산화막이 잔존하는 시편의 절연과파괴를 일으키지 않고 10V 정도의 전압을 인가하는 것이 가능하다. 따라서 CMP 처리 후에 front side에 잔존하는 150Å 정도 두께의 SiO₂ 층은 Si과 배선회로 사이의

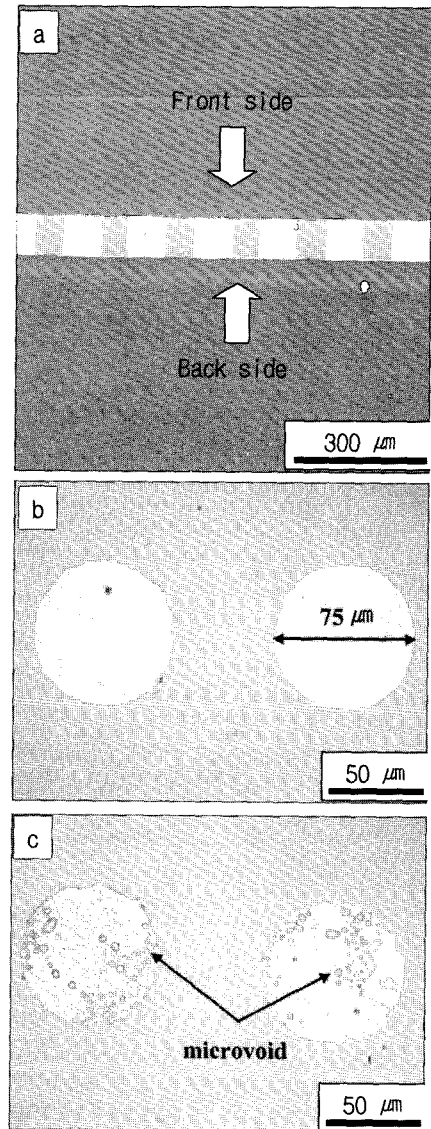


Fig. 6. (a) Cross-sectional SEM micrograph of Cu via after CMP process, and Optical micrographs of Cu via observed from (b) front side and (c) back side.

절연층으로 충분히 작용할 수 있을 것으로 판단할 수 있다.

Cu via 부위에 Cu/Sn 범프의 전기도금용 Ti(0.1 μm)/Cu(0.3 μm) 씨앗층을 스퍼터링 공정으로 형성 후 그 위에 photolithography와 전기도금법을 사용하여 Cu(4 μm)/Sn(0.1 μm) 범프를 형성하였으며, 이의 주사전자현미경 사진을 Fig. 8(a)에 나타내었다. 또한 Cu/Sn 범프가 형성되어 있는 Cu via의 반

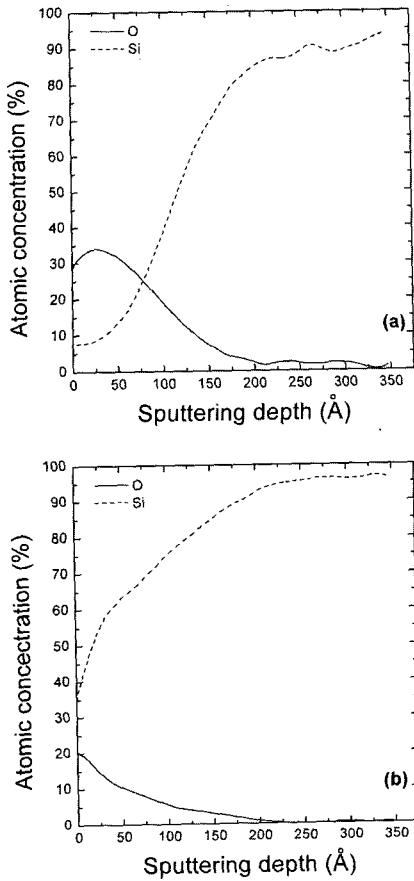


Fig. 7. Auger depth profiles of (a) front side surface and (b) back side surface of Si wafer after CMP process.

대 면에 접속저항 및 Cu via의 저항을 분석하기 위한 폭 130 μm, 두께 3 μm의 Cu 배선 패턴을 형성하였다. 이와 같이 한 면에는 Cu/Sn 범프가 형성되어 있으며 반대 면에는 Cu 배선패턴이 형성되어 있고 이들이 Cu via를 통하여 삼차원적으로 연결된 배선구조를 갖는 칩 시편의 주사전자현미경 사진을 Fig. 8(b)에 나타내었다. Cu via가 없는 Si 웨이퍼에 대해 photolithography, 금속박막 증착 및 습식에칭 공정을 사용하여 Fig. 1(b)에 나타낸 daisy chain 패턴을 갖는 기판 시편을 제작하였다. 이와 같은 기판에 Cu via를 통한 삼차원 interconnection 구조를 갖는 칩 시편 (Fig. 8)을 올려놓고 10.1 MPa의 하중을 인가하면서 270°C에서 2분간 플립칩 본딩하여 제작한 스택 시편의 주사전자현미경 사진을 Fig. 9에 나타내었다.

Cu via를 갖는 플립칩 시편 (Fig. 9) 및 이와 동

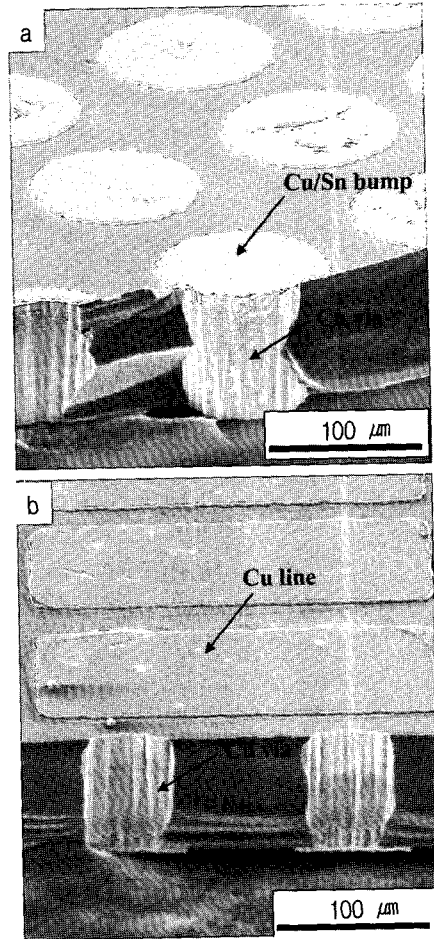


Fig. 8. SEM micrographs showing (a) Cu/Sn bump formed on Cu via and (b) chip specimen of 3D interconnection structure through Cu via of 75 μm diameter, 90 μm height and 150 μm pitch.

일한 daisy chain 패턴으로 이루어져 있으나 Cu via가 없는 레퍼런스 시편에 대하여 접속 범프의 개수에 따른 daisy chain 저항을 측정하였으며, 이를 Fig. 10에 나타내었다. Fig. 1에 나타낸 것과 같은 daisy chain 회로의 저항은 Cu via가 없을 경우 식 (1)과 같이 나타낼 수 있다.¹⁷⁾

$$R_{\text{daisy chain}} = 2R_1 + nR_c + (n-1)R_2 \quad (1)$$

식 (1)에서 $R_{\text{daisy chain}}$ 은 daisy chain의 저항, R_1 은 측정패드와 Cu/Sn 범프 사이의 배선저항, R_2 는 Cu/Sn 범프와 Cu/Sn 범프 사이에 있는 배선의 저항, R_c 는 범프 접속저항 (contact resistance)이며 n

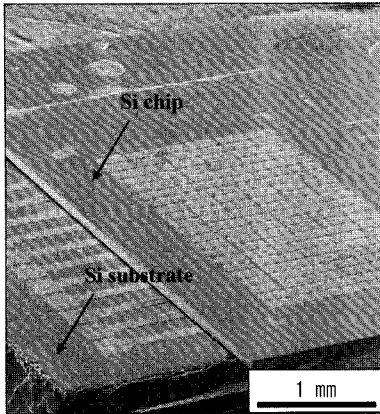


Fig. 9. SEM micrograph of stack specimen that was formed by flip chip bonding of the chip with Cu via onto Si substrate.

은 Cu/Sn 범프의 개수이다. 식 (1)은 다시 식 (2)와 같이 정리될 수 있으며, 식 (2)에서 $(R_c + R_2)$ 값이 Fig. 10에 있는 범프 개수에 따른 daisy chain의 저항 변화 ($R_{\text{daisy chain}-n}$) 그래프의 기울기와 같게 된다는 것을 알 수 있다.

$$R_{\text{daisy chain}} = (R_c + R_2)n + (2R_1 - R_2) \quad (2)$$

Cu via를 함유한 시편의 경우에는 Cu via가 없는 시편에 비해 Cu via의 저항만큼 daisy chain의 저항이 증가하며, 접속범프의 개수와 Cu via의 개수

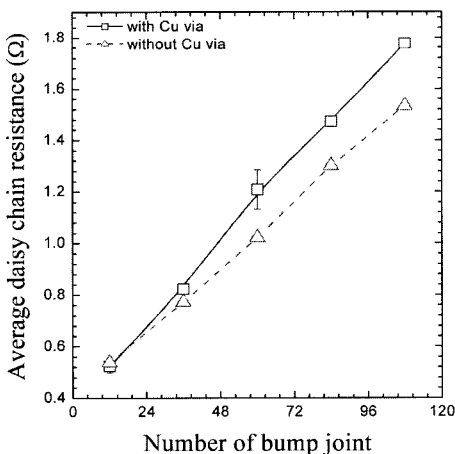


Fig. 10. Daisy chain resistance vs number of Cu/Sn stack bumps measured for specimens with and without Cu via.

가 동일하므로, 접속범프의 개수 또는 Cu via의 개수 n 에 따른 daisy chain의 저항은 식 (3)과 같이나 타낼 수 있다. 식 (3)에서 R_{via} 는 Cu via 한 개의 저항이다.

$$R_{\text{daisy chain}} = (R_c + R_2 + R_{\text{via}})n + (2R_1 - R_2) \quad (3)$$

식 (3)으로부터 Fig. 10에 나타난 Cu via 함유 시편에 대해서 측정된 범프 개수에 따른 daisy chain의 저항 변화 ($R_{\text{daisy chain}-n}$) 그래프의 기울기가 $(R_c + R_2 + R_{\text{via}})$ 와 같게 된다는 것을 알 수 있다.

본 실험에서와 같이 칩의 Cu/Sn 범프들을 기판의 Cu/Sn 범프들에 정렬하여 본딩할 경우 칩과 기판에서의 배선저항(R_2)은 본딩 조건에 무관하게 일정한 값을 갖는다. 배선저항 R_2 를 구하기 위해 Ti(0.1 μm)/Cu(3 μm) 배선 패턴의 스퍼터링 공정과 동일한 조건으로 Si 기판에 Ti(0.1 μm)/Cu(3 μm) 박막을 스퍼터 증착한 후 면저항을 측정하였으며, 그 결과 0.0104 Ω/□ 값을 얻었다. 이와 같은 면저항 값에 Cu/Sn 범프와 Cu/Sn 범프 사이에 있는 배선의 형상 (길이 50 μm, 폭 130 μm, 두께 3 μm)을 적용함으로써 배선 저항 $R_2 = 4 \text{ m}\Omega$ 을 구하였다. 4 point probe 법으로 박막의 면저항을 측정시 박막 두께가 probe간 거리의 1/2보다 작은 경우, 박막의 면저항을 이용하여 박막의 비저항과 배선 저항을 구하는 것이 가능하다.¹⁸⁾ 본 실험에서 Cu 박막의 두께는 3 μm로 probe 간의 간격 1 mm의 1/2에 비해 훨씬 작으므로, Cu 박막의 면저항을 측정하여 구한 배선저항 $R_2 = 4 \text{ m}\Omega$ 는 유효한 값으로 판단된다.

Fig. 10에 나타난 데이터에서 Cu via를 함유하지 않은 시편, 즉 레퍼런스 시편에 대해 구한 접속범프 개수에 따른 daisy chain 저항 그래프의 기울기 $(R_2 + R_c)$ 는 10.7 mΩ이며, 이 값에서 배선저항 $R_2 = 4 \text{ m}\Omega$ 을 빼줌으로써 Cu/Sn 범프의 접속저항 $R_c = 6.7 \text{ m}\Omega$ 를 구하였다. 이와 같이 Cu via가 없는 시편에서 분석한 Cu/Sn 범프의 접속저항을 이용하여 Cu via가 형성된 시편에서 Cu via의 저항을 분석하였다. Fig. 10에서 높이 90 μm, 직경 75 μm인 Cu via를 함유하고 있는 시편에서 구한 접속범프 개수에 따른 daisy chain 저항 그래프의 기울기 $(R_c + R_2 + R_{\text{via}})$ 는 13.0 mΩ이었으며, 이 값에서 배선저항 $R_2 = 4 \text{ m}\Omega$ 와 Cu/Sn 범프의 접속저항 $R_c =$

6.7 mΩ를 빼어줌으로써 Cu via의 저항 $R_{via} = 2.3$ mΩ을 구할 수 있었다.

4. 결 론

(1) 직경 75 μm, 높이 90 μm 및 150 μm 피치의 Cu via를 통한 삼차원 배선구조를 갖는 스택 시편을 deep RIE (reactive ion etching)를 이용한 via hole 형성공정, 펄스-역펄스 전기도금법에 의한 Cu via filling 공정, CMP를 이용한 Si thinning 공정, photolithography, 금속박막 스퍼터링, Cu/Sn 범프 도금공정 및 플립칩 공정을 이용하여 제작하였다.

(2) 직경 75 μm, 깊이 150 μm인 via hole에 대한 Cu filling 시, 동작주기가 10 msec 이며 2.5 mA/cm²의 전류밀도의 조건으로 펄스-역펄스 전기도금 함으로써 내부에 커다란 seam의 형성없이 거의 완전한 filling이 가능하였다.

(3) Si 기판과 Cu via 사이의 절연을 위해 건식산화법으로 형성한 0.1 μm 두께의 SiO₂ 산화막은 CMP 공정처리 후에도 Si 기판 표면에 약 150Å 두께가 잔존하고 있어 Si 기판과 배선회로 사이의 절연층으로 충분히 작용할 수 있을 것이며, 이는 Cu via를 통한 삼차원 배선 구조를 갖는 스택 시편의 저항 측정이 가능한 것으로부터 실험적으로 확인할 수 있었다.

(4) Cu via가 없는 daisy chain 시편에서 측정된 접속범프 개수에 따른 daisy chain의 저항 변화에 대한 그래프의 기울기는 Cu/Sn 범프와 Cu/Sn 범프 사이에 있는 배선 저항과 범프 접속저항의 합으로 표현되며, Cu via를 갖는 daisy chain 시편에서 측정된 접속범프 개수에 따른 daisy chain의 저항 변화에 대한 그래프의 기울기는 Cu/Sn 범프와 Cu/Sn 범프 사이에 있는 배선 저항, 범프 접속저항과 Cu via 저항의 합으로 표현된다.

(5) Cu via를 통하여 삼차원적으로 연결된 배선 구조를 가지며 Cu/Sn 범프를 통하여 기판에 플립칩 본딩된 시편에서 100 μm × 100 μm 크기의 Cu/Sn 범프 접속저항은 6.7 mΩ이었으며, 직경 75 μm, 높이 90 μm인 Cu via의 저항은 2.3 mΩ이었다.

감사의 글

본 연구는 한국과학재단의 ERC인 전자패키지

재료연구센터의 지원에 의해 이루어졌으며, 이에 감사드립니다.

참고문헌

1. Said F. Al-sarawi, Derek Abbott, and Paul D. Franzon, "A review of 3-D packaging technology", IEEE trans. on component, packaging and manufacturing technol., part B, 21 pp. 2-14 (1988).
2. M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Yamasaki, "Three-dimensional interconnect technology for ultra-compact MMICs", Solid-State Electronics. 41 pp. 1451-1455 (1997).
3. S. Sheng, A. Chandrakasan, and R. W. Brodersen, "A portable multimedia terminal", IEEE Commun. Mag., 30 pp. 64-75 (1992).
4. R. E. Terrill, "Aladdin: Packaging lessons learned", Proc. 1995 Int. Conf. Multichip Modules, (1995) pp. 7-11
5. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep. TechSearch Int.Inc. Austin, pp. 7-11 (1995).
6. K. Takahashi, T. Hiroshi, T. Yoshihiro, Y. Yasuhiro, H. Masataka, S. Tomotoshi, M. Tadahiro, S. Masahiro and B. Manabu, "Current status of research and development for three-dimensional and chip stack technology", Jpn. J. Appl. Phys., 40 pp. 3032-3037 (2001).
7. T. Matsumoto, "Three-dimensional integration technology based on wafer bonding technique using micro-bumps", Ext. Abstr. 1995 Int. Conf. Solid State Devices Mater. Osaka. Japan, pp. 1073-1074 (1995).
8. P. Ramm, "Three dimensional metallization for vertically integrated circuits", Microelectron. Eng., 37 pp. 39-47 (1997).
9. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep., Techsearch Int. Inc. Austin, TX, pp. 159-161 (1993).
10. O. Ehrmann, K. Buschick, G. Chmiel, and A. Pareds, "3-D-multichip module", Proc. 1995 Int. Conf. Multichip Modules, Denver, CO, (1995)
11. H. Kanbach, J. Wilde, F. Kriebel, and E. Meusel, "3D Si-on-Si stack package", Int. Conf. on High Density Packaging and MCMs, pp. 248-253 (1999)
12. M. Karnezos, F. Carson and R. Pendse, "3D packaging promises performance, reliability gains with small footprints and lower profiles", Chip Scale Review (2005).
13. M. Mita, T. Kumakura, S. Inoue, and Y. Hiraki, "Advanced TAB/BGA multi-chip stacked module for

- high density LSI packages”, Proc. 1994 IEEE Multi-Chip Module Conf. MCMC-94, Santa Cruz, CA., pp. 68-76 (1994).
14. K. Hatada, H. Fujimoto, and K. Matsunaga, “New film-carrier-assembly technology `transferred bump TAB”, Proc. IEEE/CHMT Int. Electron. Manufact. Technol. Symp., pp. 122-127 (1986).
 15. Seah CH, Mridha S, and Chan LH, “DC/pulse plating of copper for trench/via filling”, J. of Mater. Proc. Technol., 114 pp. 233-239 (2001)
 16. P. V. Zant, “Microchip fabrication”, 3rd ed., McGraw Hill, New York p.39. (1997)
 17. K. Y. Lee, Y. H. Lee, Y. H. Kim, and T. S. Oh, “Effect of bonding stress on the contact resistance of the Sn/Ag bump for chip-on-glass bonding using non-conductive adhesive”, J. Kor. Inst. Met. & Mater. 43 pp. 248-254 (2005).
 18. D. K. Schroder, “Semiconductor material and device characterization”, 2nd ed., John Wiley & Sons, Inc., New York, p. 10 (1998).