

논문 2005-42SP-4-17

# 협대역 응용 시스템을 위한 전처리-등화기 구조의 IIR 여파기 설계 방법

(Design of IIR Filters with Prefilter-Equalizer Structure for  
Narrowband Applications)

오 혁 준\*, 안 희 준\*\*

(Hyuk-jun Oh and Hee-june Ahn)

## 요 약

본 연구는 협대역 응용 시스템을 위한 전처리-등화기 구조의 여파기에서, 최소의 복잡도를 갖는 곱셈기 없는 디지털 IIR 여파기의 설계 방식을 제안한다. 제안하는 여파기는 순환 다항식 (cyclotomic polynomial (CP)) 여파기와 1차 내삽 다항식 (interpolated second order polynomial (IFOP))을 근간으로 하는 all-pole 등화기로 구성되며, 이 두 여파기가 동시에 혼합 정수 선형계획법(mixed integer linear programming (MILP))으로 최적 설계된다. 설계된 여파기는 최소의 복잡도를 갖는 특성을 가지고 있다. 뿐만 아니라, 이 MILP 방식은 계산 복잡도와 위상 응답의 비선형 특성을 모두 최소화하도록 설계한다. 설계 예제를 통하여 제안된 설계 방식으로 설계된 여파기는 구현 요구사항을 만족하면서 기존의 설계 방식에 비하여 복잡도면에서 월등히 우수한 특성을 보임을 확인하였다.

## Abstract

Optimal methods for designing multiplierless IIR filters with cascaded prefilter-equalizer structures are proposed for narrowband applications. Assuming that an IIR filter consists of a cyclotomic polynomial (CP) prefilter and an all-pole equalizer based on interpolated first order polynomial (IFOP), in the proposed method the prefilter and equalizer are simultaneously designed using mixed integer linear programming (MILP). The resulting filter is a cascaded filter with minimal complexity. In addition, MILP tries to minimize both computational complexity and phase response non-linearity. Design examples demonstrate that the proposed methods produce a more efficient cascaded prefilter-equalizer than existing methods.

**Keywords :** Narrowband, Cyclotomic polynomial, Prefilter, Equalizer, Interpolated first order polynomial.

## I. 서 론

디지털 신호처리 기법과 구현 기술의 발전에 따라 디지털 여파기는 현재 거의 모든 여러 통신, 신호처리 응용 시스템에서 대체를 이루고 있다. 주파수 대역을 나누어 사용하는 응용 시스템 중에서 특히 협대역 응용

시스템들은 계속하여 그 범위를 확장하여 왔다. 스펙트럼 분석기, 부대역 코딩, wavelet으로부터 근래에는 MC-CDMA, OFDM과 같은 다중 반송파 시스템, 소프트웨어 라디오 시스템, 협대역 전력선 시스템 등등 디지털 통신시스템 영역까지 크게 확대되고 있다. 하지만 이러한 협대역 응용 시스템은 요구되는 디지털 여파기의 특성이 설계하기 까다롭고 복잡하여 항상 어려운 점으로 인식되어 왔다<sup>[1]</sup>.

성능 면에서 효과적이면서도 복잡도가 적은 협대역 여파기를 설계하는 방법으로 곱셈기 없는 전처리기와 유한응답 등화기(equalizer)를 연결한 직렬 구조

\* 정회원, 광운대학교

(Kwangwoon University)

\*\* 정회원, 서울산업대학교

(Seoul National University of Technology)

접수일자: 2005년4월11일, 수정완료일: 2005년6월13일

(cascade structure)에 기초한 방법이 있다<sup>[1]-[10]</sup>. 이 구조는 전처리가 정지대역의 신호를 제거하고, 등화기는 통과대역에서의 규격을 만족하도록 설계한다. 이때 전처리는 내삽 여파기, 재귀러닝 합 (recursive running sum: RRS) 다항식<sup>[1]-[4]</sup>, Chebyshev 다항식<sup>[5]-[8]</sup>, cyclotomic 다항식 (CP)<sup>[9]-[10]</sup> 등이 사용된다. 전처리의 설계에는 임시방편적인 (ad hoc) 방법<sup>[2]-[9]</sup>이 사용되고, 등화기는 Parks-McClellan 알고리즘 또는 선형 계획법이 사용된다<sup>[10]-[13]</sup>. 기존의 연구들은 선형적 위상 특성으로 인하여 주로 FIR 여파기의 연구에 대해서만 진행되어 왔다. 하지만 실제 위상 특성은 아날로그 여파기를 같이 고려해야 한다는 점을 감안하면 굳이 FIR 여파기에만 의존해야 할 필요는 없다. 특히, 선형적 위상 특성이 필요 없는 시스템의 경우엔 더욱 그러하다. IIR 여파기는 일반적으로 그 자체 특성으로 인하여 FIR 여파기에 비하여 같은 규격을 만족하지만 더 간단하게 설계 된다. 하지만 그 최적 설계의 어려운 점으로 인하여 기피되어 지고 측면도 있었다. 본 논문에서는 최소의 복잡도를 갖고 가장 선형적인 위상 특성에 근접한 전처리-등화기 구조의 협대역 IIR 여파기를 최적 설계하는 기법을 제안한다.

기존의 방법들은 전처리 여파기와 등화기로 구성된 2단 구조의 여파기에서 전처리 여파기와 등화기를 각각 따로 최적 설계하였다. 이러한 방법은 각각이 최적으로 설계되었다 할지라도 전체적으로 동시에 최적 설계된 것이 아니므로 준-최적 응답 특성만을 가지게 되는 한계가 있다. 만약 두 여파기가 같은 최적화 조건 하에서 동시에 최적 설계된다면, 더 효과적인 응답 특성을 보이는 최적의 설계를 할 수 있을 것이다. 이런 관점에서 본 논문에서는 전처리기와 등화기를 동시에 최소 복잡도를 갖도록 최적 설계하는 방법을 제안한다. [10]에서 비슷한 시도가 있어 지만 구체적이고 자세한 내용이 언급되지는 않았으며, [10]의 내용은 일반화를 통하여 확장 가능한 여지가 있다.

본 논문에서는 1차 내삽 다항식 IFOP를 사용한 all-pole 등화기를 제안하고 이를 CP 전처리기와 동시에 최소 복잡도를 갖도록 최적 설계하는 선형계획법을 제안한다. 시스템의 복잡도를 최소화하기 위하여  $\{-1, 0, 1\}$ 의 계수만을 갖는 CP와 canonic signed digit (CSD)\*를 갖는 IFOP만으로 제한하여 설계한다.

\* CSD 상수는 2의 누승 계수의 합과 차로만 표시되는 계수.

## II. 제안하는 직렬 여파기의 선형 계획법 설계기법

일반적으로 pole과 zero를 갖는 디지털 여파기들은 모두 all zero 여파기와 all pole 형태의 단위 여파기들로 나눌 수 있다. 유한 단위 여파기 집합  $\Omega$  으로부터 단위 여파기를 선택하여 직렬구조 여파기를 설계하는 경우, 직렬 여파기의 시스템 응답 함수는

$$H(z) = k \cdot \prod_{i=1}^L B_i(z)^{l_i} \quad (1)$$

과 같이 표현할 수 있다. 이 식에서  $k$  는 일반상수이고,  $B_i(z) \in \Omega$ ,  $L$ 은  $\Omega$  공간상의 여파기의 수,  $l_i$ 는 동일한 성분 여파기의 수를 의미하는 양의 정수이다. 본 논문의 설계 목표는,  $\Omega$ 이 적절히 주어졌을 때, 시스템 응답  $H(z)$ 이 주어진 응답 규격을 만족하면서 최소의 복잡도를 갖는 여파기를 설계하는 것이다. 이 복잡도에 대한 척도로는,  $B_i(z)$ 를 구현하는데 사용되는 곱셈 연산의 수( $e_i^m$ ), 덧셈연산의 수( $e_i^a$ ) 그리고 지연 연산의 수( $e_i^d$ )를 사용하여

$$O_i = e_i^m + c_a \cdot e_i^a + c_d \cdot e_i^d \quad (2)$$

로 표현 할 수 있다. 여기서  $c_a$ 과  $c_d$  는 각 곱셈연산의 복잡도에 상대적인 덧셈 연산과 지연 연산의 복잡도에 대한 가중치이다. 이러한 설계문제를 정리하면,

$$\begin{aligned} & \text{minimize } \sum_{i=1}^L l_i \cdot O_i \quad (\text{복잡도}) \\ & \text{subject to} \end{aligned} \quad (3)$$

$$||H(\omega) - H_d(\omega)|| < \delta_p \quad (\text{통과대역})$$

$$|H(\omega)| < \delta_s \quad (\text{저지대역})$$

으로 표시된다. 이 식에서  $\delta_p$  과  $\delta_s$ 는 각각 통과대역과 저지대역의 허용오차이고,  $H_d(\omega)$ 는 기준 주파수 응답이다. 이 설계 모델은  $|H_d(\omega)|$ 의 비선형적인 특성으로 인하여, 비선형 최적화 방식을 필요로 한다. 그러나 로그함수를 이용하면, 이 문제는 MILP

$$\begin{aligned} H_{dB}(\omega) &= 20 \log |H(\omega)| \\ &= k_{dB} + \sum_{i=1}^L l_i \cdot B_{i,dB}(\omega) \end{aligned} \quad (4)$$

$$(k_{dB} = 20 \log |k|, B_{i,dB}(\omega) = 20 \log |B_i(\omega)|)$$

로 변환할 수 있다. 따라서 식 (3)의 최적화는

$$\begin{aligned} & \text{minimize} \quad \sum_{i=1}^L l_i \cdot O_i \quad (\text{복잡도}) \\ & \text{subject to} \quad (5) \\ & 20\log(H_d(\omega) - \delta_p) < H_{dB}(\omega) \\ & H_{dB}(\omega) < 20\log(H_d(\omega) + \delta_p) \quad (\text{통과대역}) \\ & H_{dB}(\omega) < 20\log\delta_s \quad (\text{저지대역}) \end{aligned}$$

로 다시 표현할 수 있다. 따라서  $L$ 이 매우 크지 않은 범위에서  $k_{dB}$ 과  $l_i$ 를 변수로 하는 MILP 방법으로 원하는 여파기를 동시에 최적 해결할 수 있다.

식 (5)로 주어지는 MILP 모델은 제한식의 일반화를 통해 다양한 응용 분야로 확장되어 적용할 수 있다. 예를 들어, 다중 캐리어 전송시스템을 들 수 있다. 이러한 다채널 시스템에서는 부전송파의 상호간섭을 최소화 하는 것이 중요하다. 이 간섭은 결국 프로토타입 여파기의 정지대역 에너지 제거율을 최대화 시키는 것으로 설계 문제가 귀결된다. 직렬연결 여파기의 전체 정지대역 에너지 제거율은 각각의 단위 여파기들의 정지대역 에너지 제거율들의 곱과 비례하게 된다. 따라서 각각의 단위 여파기들의 정지대역 에너지 감쇄율 로그 값의 합을 이용한 제한식  $\sum_{i=1}^L e_{i,dB}^B \leq \epsilon_s$ 을 식(5)에 추가함으로써 원하는 상호부전송파 간섭 제거율을 얻을 수 있는 다채널 시스템을 위한 프로토타입 여파기의 설계가 가능하다. 여기서  $e_{i,dB}^B$ 는 단위 여파기  $B_i(z)$ 의 정지대역 에너지 감쇄율의 로그 값이다.

### III. 전처리기 -등화기 구조를 갖는 연쇄 IIR 여파기의 설계 절차

전처리기의 목적인 정지대역 상의 신호 감쇄를 얻는 것은 CP를 이용한 여파기를 사용하여 훌륭하게 달성할 수 있다. 그러나 [3]-[6]에서 지적된바와 같이, 같은 목적의 다른 전처리기와 마찬가지로, CP 전처리기는 통과대역 상의 단조 감쇄(droop) 현상을 야기 시킨다. 따라서 전처리기의 후미에 위치하는 등화기는 이 감쇄를 보상하도록 설계되어야 한다. 이러한 기능을 수행하는 방법으로 위로 볼록한 모양의 통과대역 응답 특성을 갖는 다항함수  $E(z)$ 를 등화기로 사용하는 방법이 있다. 설

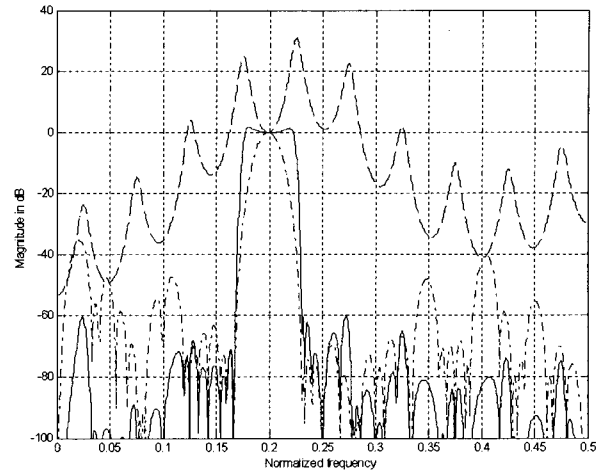


그림 1. 참고 문헌 [9]의 전처리기-등화기 구조의 대역 통과 여파기 주파수 응답: 전처리기 (일점 쇄선), 등화기 (끊어진 선), 전체 (실선)  
Fig. 1. Magnitude response of the prefilter-equalizer designed for the bandpass filter in [9].

명을 위하여, 참고문헌 [9]에서 사용된바 있는 다음의 대역통과 여파기의 설계 예를 들어 보겠다.

$$\begin{aligned} & \text{통과대역} \quad f \in [0.189, 0.211] \\ & \text{저지대역} \quad f \in [0, 0.168] \cup [0.232, 0.5] \\ & \text{허용오차} \quad \delta_{p,dB} \leq 0.25dB \quad (\text{통과대역}) \\ & \delta_{s,dB} \leq -60dB \quad (\text{저지대역}) \quad (6) \\ & (\text{단, } \delta_{p,dB} = 20\log(1 - \delta_p), \delta_{s,dB} = 20\log\delta_s) \end{aligned}$$

그림 1은 전처리기, 등화기, 그리고 전체 여파기의 주파수 응답을 보여준다. 주목할 점은 전처리기에 의한 통과대역 단조 감쇄가 약 8dB라는 점이다. 한편 설계된 등화기의 주파수 응답은 앞서 설명한 바와 같이 통과대역에서 볼록한 형태의 응답 특성을 갖고 있어서 전처리기에 의한 감쇄를 보상할 수 있다. 그림 1에서 보듯이 최종 응답은 주어진 설계 요구 사항을 만족하고 있다. 다음 절에 설명할 IFOP의 역은 이와 같은 특징을 가지고 있어 등화기용 단위 여파기로 사용하는데 적합하다.

제안된 전처리기-등화기 구조의 여파기 설계를 위한 단위 여파기 집합  $\Omega$ 은 각기 전처리기와 등화기에 해당하는 두 집합  $\Omega_1$ 과  $\Omega_2$  ( $\Omega = \Omega_1 \cup \Omega_2$ )로 분할할 수 있다.  $\Omega_1$ 의 원소들은 CP를 정리하여 얻을 수 있고,  $\Omega_2$ 의 원소는 IFOP로부터 얻을 수 있다.

#### 1. CP 전처리기

곱셈이 없는 전처리기를 설계하기 위하여,  $\{-1, 0, 1\}$

만을 계수로 사용하는 CP를 고려하면 모두 104개가 존재한다. 이 CP들의 근은 모두  $z$ -평면상의 단위원 위에 존재한다. 집합  $\Omega_1$ 는 주어진 규격을 만족하도록 합과 동시에 구현 복잡도를 줄일 수 있는 CP들만으로 구성한다. 두 개 이상의 CP로 구성된 직렬 구조의 새로운 여파기 역시 하나의 새로운 단위 CP 여파기 역할을 할 수 있다.

예를 들어  $C_5(z)$ 과  $C_{10}(z)$ 을 고려하면,

$$\begin{aligned} C_5(z)C_{10}(z) &= \left( \frac{1-z^{-5}}{1-z^{-1}} \right) \left( \frac{1+z^{-5}}{1+z^{-1}} \right) \\ &= \left( \frac{1-z^{-10}}{1-z^{-2}} \right) \end{aligned} \quad (7)$$

로 표현되므로,  $C_5(z)$ 과  $C_{10}(z)$ 의 연결조합은 두 개의 덧셈이 절약된  $(1-z^{-10})/(1-z^{-2})$ 로 구현된다. 최종적으로 전처리기  $P(z)$ 의 시스템 응답은

$$P(z) = \prod_{q=1}^Q F_q(z)^{m_q} \quad (8)$$

으로 표현된다. 이식에서  $F_q(z) \in \Omega_1$ 이고,  $m_q$ 는 양의정수,  $Q$ 는  $\Omega_1$ 의 총 원소의 개수이다.  $F_q(z)$ 의 해는 정지대역 또는 전이대역 (transition band) 안에 위치한다.

## 2. IFOP를 근간으로 하는 all-pole 등화기

IFOP는 다음 비선형 위상응답 특성을 갖는 비대칭 계수 1차 내삽 다항식으로 구성된다.

$$S(z) = (a + bz^{-1}) \quad (9)$$

( $a$ 과  $b$ 는 CSD 계수,  $b \neq 0$ )

IFOP는

$$S^I(z) = (a + bz^{-I}) \quad (10)$$

로 정의되는 다항식이다.  $S^I(z)$ 의 주파수 응답은

$$\sqrt{|b + 2a \cos I\omega|} \quad (11)$$

로 표현된다 (여기서  $I$ 는 내삽 비증치고  $b' = a^2 + b^2$ ,  $a' = ab$ 이다). 따라서 IFOP 주파수 응답의 제곱은  $b^2 - 4a^2 > 0$  이고  $a' \neq 0$ 인 경우에 주기가  $2\pi/I$ 인 삼각함수 형태를 갖는다. IFOP

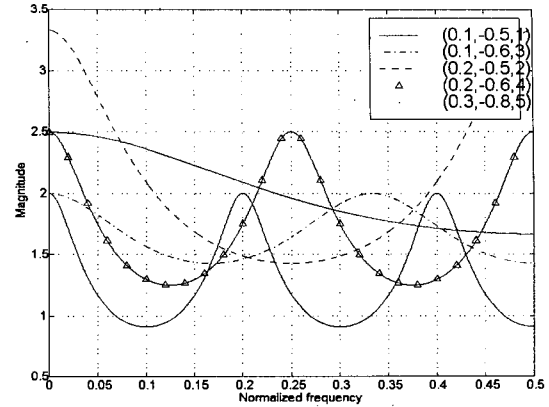


그림 2. 변수  $(a, b, I)$ 에 따른  $|S^I(\omega)|$ 의 파형  
Fig. 2. Waveform of  $|S^I(\omega)|$  for some  $(a, b, I)$  pairs.

$S^I(z)$ 의 역  $A^I(z)$ 는

$$A^I(z) = \frac{1}{S^I(z)} = \frac{1}{(a + bz^{-I})} \quad (12)$$

로 표현할 수 있다. 이 식에서 시스템 안정성을 위해  $|b| \leq |a|$  이고, 이때 이 단위 여파기의 주파수 응답은

$$|A^I(\omega)| = \frac{1}{\sqrt{|b + 2a \cos I\omega|}} \quad (13)$$

으로 주어진다. 그림 2에서 확인할 수 있는 바와 같이,  $|A^I(\omega)|$ 의 함수 형태는 주기가  $2\pi/I$ 이고 각 주기에서 하나씩의 최대 최소치를 갖는 등 삼각함수의 형태와 유사한 모양을 갖는다. 따라서 변수  $(a, b, I)$ 를 조절함으로써 통과대역 상에 위로 볼록한 특성을 갖는  $|A^I(\omega)|$ 을 항상 찾을 수 있다. 예로 그림 2의 5개  $|S^I(\omega)|$ 에서 통과대역이  $f \in [0, 0.2]$ 로 주어졌을 때,  $(a, b, I) = (0.1, -0.5, 1)$ 과  $(0.2, -0.5, 2)$ 의 두 개의 IFOP가 역수 형태  $|A^I(\omega)|$  등화기의 역할로 적합하게 쓰일 수 있음을 알 수 있다. 다음으로, 변수  $(a, b, I)$ 를 선택하는 방법을 설명한다.

$|S^I(\omega)|$ 의 통과대역에서 아래로 볼록한 특성을 유지하기 위하여,  $|S^I(\omega)|$ 는 통과 대역 상에 1개 보다 적은 극점을 갖아야 하는데, 이 특성은 변수  $I$ 의 제어를 통하여 확보할 수 있다.

관찰 1) 시스템 주파수 응답  $|S^I(\omega)|$ 은

$$1 \leq I \leq \frac{2\pi}{\omega_B} \quad (14)$$

(단,  $\omega_B$ 는 저역 여파기의 경우엔 대역폭의 두 배, 또는 일반적 통과대역의 경우엔 대역폭)인 조건하에서, 통과대역에서 하나이상의 극점을 가질 수 없다.

증명)  $|S^I(\omega)|$ 의 두 인접한 극점사이의 거리는  $2\pi/I$ 로 주어진다. 따라서  $\omega_B$ 는  $2\pi/I$ 보다 작아야 그 대역 내에 극점을 하나 이상 갖지 않는다.

$S^I(z)$ 의 근이  $z$ -평면상의 단위원에 있지 않는 것이 바람직하다. 왜냐 하면, 단위원 위에  $S^I(z)$ 의 근이 있는 경우  $S^I(z)$ 는 zero를 갖게 되어 통과대역 상에 null을 만드는 일종의 notch를 갖는 주파수 응답을 보이므로 이것은 등화기로 적합하지 않으며, 정지대역에서의 notch는 우리가 원하는 등화기에 필요한 요소가 아니기 때문이다. 이러한 조건은 안정성을 위한 조건  $|b| < |a|$ 으로부터 자동적으로 만족된다.

변수  $a$ 와  $b$ 는 CSD 계수이므로, IFOP는 덧셈기, 쉬프터, 지연기만으로 구현할 수 있다. 더욱이 IFOP의 수가 유한하므로 유한 단위 여파기 공간을 이룬다. 등화기 다항식의 집합  $\Omega_2$ 는 이 모든 IFOP들 중에서 식(14)의 조건을 만족하지 못하는 것을 제외함으로써 얻어진다. 집합  $\Omega_2$ 의 크기는 각 원소들의 여러 가지 시간상 주파수 상의 특성을 고려함으로써 더 줄일 수가 있다. 예를 들어, 여러 IFOP들이 유사한 주파수 응답을 보이는 경우 하나만을 남기고 나머지를 제외시키거나, 너무 평평한 주파수 응답을 갖는 것은 제외한다.

All-pole 등화기는 다음 식으로 표현되는 IFOP 여파기의 역들이 직렬 연결된 모양이다.

$$E(z) = \prod_{r=1}^R A^I(z)^{n_r} = \prod_{r=1}^R \frac{1}{(a_r + b_r z^{-I})^{n_r}} \quad (15)$$

이 식에서,  $(A^I(z) \in \Omega_2)$ ,  $\Omega_2$ 는 유효한 IFOP 역들의 집합이고,  $n_r$ 는 양의 정수,  $a_r$ 과  $b_r$ 는 CSD 계수, and  $R$ 는  $\Omega_2$ 의 원소의 수이다.

### 3. CP 전처리기와 all-pole 등화기의 동시 설계 전체 시스템 응답 함수 $H(z)$ 은

$$H(z) = k \cdot P(z) E(z) = k \cdot \prod_{q=1}^Q F_q(z)^{m_q} \prod_{r=1}^R A^I(z)^{n_r} \quad (16)$$

$$\begin{aligned} & \text{과 } H_{dB}(\omega) \\ & = k_{dB} + \sum_{q=1}^Q m_q F_{q,dB}(\omega) + \sum_{r=1}^R n_r A_{r,dB}^I(\omega) \\ & = k_{dB} + \sum_{q=1}^Q m_q F_{q,dB}(\omega) - \sum_{r=1}^R n_r S_{r,dB}^I(\omega) \quad (17) \end{aligned}$$

(단,  $k_{dB} = 20\log|k|$ ,  $F_{q,dB}(\omega) = 20\log|F_q(\omega)|$ ,  $S_{r,dB}^I(\omega) = 20\log|S^I(\omega)|$ .)

로 주어진다. CP와 IFOP 모두 곱셈을 사용하지 않기 때문에, 식 (5)의 계산 복잡도는

$$\sum_{q=1}^Q m_q \cdot (e_q^a + c \cdot e_q^d) + \sum_{r=1}^R n_r \cdot (e_r^a + c \cdot e_r^d) \quad (18)$$

과 같이 다시 정리할 수 있다. 이식에서  $e_q^a$  ( $e_r^a$ )과  $e_q^d$  ( $e_r^d$ )은 각 단위 여파기  $F_q(z)$  ( $S_r^I(z)$ )의 덧셈 연산과 지연 연산의 수이고,  $c$ 는 각기 덧셈과 지연의 복잡도에 따른 가중치이다. 하지만 설계할 여파기는 IIR 여파기이기 때문에, 식(18)에서 사용된 복잡도의 기준을 바로 사용할 수 없으므로 수정하여야 한다. IIR 여파기를 구현하는 canonic direct 구조<sup>[14]</sup>의 특성을 고려하면, 덧셈의 수는 동일하게 유지된다. 즉, 식 (18)을 참고하면 덧셈 연산의 수는

$$\sum_{q=1}^Q m_q e_q^a + \sum_{r=1}^R n_r e_r^a. \quad (19)$$

가 된다. 역으로, canonic direct 구조에서 지연기의 수는

$$\max(O_D, O_N) \quad (20)$$

로 정의된다. 여기서,  $O_D$  과  $O_N$  는  $H(z)$ 의 분모와 분자 다항식의 차수이다. 예를 들어  $H(z)$ 이

$$H(z) = \frac{(1+z^{-2})(1+z^{-2}+z^{-4})(1+z^{-5})}{(1+2^{-1}z^{-4})(1+2^{-3}z^{-6})} \cdot \frac{(1-z^{-10})}{(1-z^{-1})} \quad (21)$$

로 주어 졌다면,  $O_D = 21$ 과  $O_N = 11$ 이 된다. 본 논문에서 단위 여파기는 canonic-direct 형태로 구현함을 가정한다. 예를 들어, 식(21)의 시스템응답 함수  $H(z)$ 은

$$H(z) = \left( \frac{1+z^{-2}+z^{-4}}{1+2^{-1}z^{-4}} \right) \cdot \left( \frac{1+z^{-5}}{1+2^{-3}z^{-6}} \right) \cdot \left( \frac{1-z^{-10}}{1-z^{-1}} \right) \cdot (1+z^{-2}), \quad (22)$$

로 표현될 수 있다. 즉, 4개의 단위 여파기로 분해할 수 있다. 이런 직렬 여파기의 구현에 필요한 지연기의 수는 식 (20)의 경우와 약간 다르다. (21)은  $O_D = 21$  개의 지연을 필요로 하는 반면, (22)는 이보다 하나 더 많은 22개의 지연을 필요로 한다. 직렬 구조에서 지연 연산의 수는  $H(z)$ 의 zero와 pole이 어떻게 쌍을 이루었는지에 따라 달라진다. 실제적으로 모든 zero와 pole을 조사하는 것은 어렵기 때문에, 본 논문에서는 직렬 구조에서의 지연의 수는 식 (20)에 나온 방법을 사용하여 근사화 한다. 식 (19)와 식 (20)를 결합하면, 전체 복잡도는

$$\sum_{q=1}^Q m_q e_q^a + \sum_{r=1}^R n_r e_r^a + c \cdot \max(O_D, O_N) \quad (23)$$

( $c$ 는 식(18)에서 정의된 상수 값)

로 표현될 수 있다. 식 (23)으로 주어지는 전체 복잡도에 대한 식은 마지막 항인  $\max(O_D, O_N)$ 이 비선형이므로 전체 함수도 비선형이 된다. 그러나 이 항은 선형식으로 전환이 가능하다<sup>[15]</sup>.

관찰 2)  $t$ 가 양의 정수일 때 아래의 식

$$\begin{aligned} -(t - O_D) &\leq M_y \\ O_D - O_N &\leq M_{(1-y)} \\ -(t - O_N) &\leq M_{(1-y)} \\ O_N - O_D &\leq M_y \end{aligned} \quad (24)$$

(단,  $M$ 는 충분히 큰 수,  $y$ 는 0 또는 1)

을 만족하는  $t$ 의 최소치는  $Max(O_D, O_N)$  이 된다.

이제 CP 전처리기와 all-pole 등화기를 설계하는 최적화 문제를 정리하면,

$$\begin{aligned} \text{minimize} \quad & \sum_{q=1}^Q m_q e_q^a + \sum_{r=1}^R n_r e_r^a + ct \quad (\text{복잡도}) \\ \text{subject to} \quad & \end{aligned} \quad (25)$$

$$20 \log(H_d(\omega) - \delta_p) < H_{dB}(\omega)$$

$$H_{dB}(\omega) < 20 \log(H_d(\omega) + \delta_p) \quad (\text{통과대역})$$

$$H_{dB}(\omega) < 20 \log \delta_s \quad (\text{저지대역})$$

(24)의 부등식

여기서 앞의 두 제한 조건식은 식 (5)와 (17)로부터 구해진다. 식 (25)의 최적화 문제는  $k_{dB}, m_q, n_r, t, y$ 을 변수로 하는 MILP의 해를 구함으로써 전처리기와 IFOP 등화기를 동시에 최적 설계할 수 있다.

이 최적화 모델의 문제점은 위상 응답을 제어할 수 없다는 점이다. 이에 대한 보완책으로 위상 지연(group delay)에 대한 제한 조건을 추가하여, 설계하는 전체 여파기가 가장 선형 위상에 가까운 특성을 갖거나 또는 특별히 원하는 위상 특성을 갖도록 최적화 모델을 수정하였다. 이렇게 수정된 최적화 모델은 다음과 같이 정리된다.

$$\begin{aligned} \text{minimize} \quad & \sum_{q=1}^Q m_q e_q^a + \sum_{r=1}^R n_r e_r^a + ct + \lambda \epsilon \\ \text{subject to} \quad & \end{aligned} \quad (26)$$

식 (25)의 조건

$$\left| \sum_{q=1}^Q m_q G_q^{F_i}(\omega) + \sum_{r=1}^R n_r G_r^A(\omega) - G_d \right| \leq \epsilon$$

(통과대역에서의 그룹지연 조건)

여기서  $\lambda$ 는 양의 실수,  $G_d$ 는 원하는 상수 그룹 지연,  $\epsilon$ 는 허용 그룹지연 편차  $G_q^F(\omega)$ 과  $G_r^A(\omega)$ 은 각각  $F_q(z)$ 과  $A^L(z)$ 의 그룹 지연 주파수 응답이다. 따라서  $k_{dB}, m_q, n_r, t, y$ 에 추가로  $G_d$ 과  $\epsilon$ 을 변수로 사용하는 MILP문제가 된다. 식 (26)의 그룹 지연 응답 조건은 전체 여파기 응답  $H(z)$ 의 위상 응답을 제어하는데 도움을 준다.  $\lambda = 0$ 인 경우, 식 (26)의 설계 방법은 식 (25)와 같게 되고,  $\lambda > 0$ 인 경우 식(26)에 의하여 설계된 위상 특성은 전체 여파기의 차수의 증가로 말미암아 향상된다. 실제 적용에 있어서는 몇 가지  $\lambda$  값을 선택하여 적용한 후에 설계기준에 적합한 것을 선택하여 사용하면 된다. 실제로 거의 선형적인 위상특성을 얻고 싶을 때에는 전대역 통과 단위 여파기들로만 구성된 또 하나의 집합  $\Omega_3$ 를 만들어 식 (26)을  $\Omega_1, \Omega_2, \Omega_3$ 의 구성 요소에 대한 최적화 문제를 풀면 된다.

#### 4. 설계 예

이제 본문에서 제안된 방식과 기존의 방식들에 대하여 비교하기 위하여, [1], [5], [9]에서 사용된 저대역 여파기 설계와 [5], [6], [9]에서 사용된 대역 통과 여파기

에 적용해보기로 한다. 이들 문헌들에서는 부동 소수점의 계수를 갖는 여파기를 설계하여 실제 구현 시에는 훨씬 큰 복잡도를 갖게 되는 반면, 제안된 방식에서는 IFOP에 대한 시스템 변수  $(a, b)$ 는 8비트 고정소수점의 CSD계수를 선택하여 실제 구현시의 정확한 복잡도를 그대로 반영한다. 좀더 정확하게 표현하면,  $(a, b)$ 는  $\chi \cdot 2^{-p}$ 로 표현된다 (단,  $\chi \in \{-1, 0, 1\}$ 과  $p \in \{0, 1, \dots, 7\}$ ). 식 (18)의 상수  $c$ 는 0.5로 선택하였다. 각 예에서 여파기는 각기  $\lambda=0, 10, 100, 1000000$ 인 경우에 설계하고, 그 결과를 기존의 여파기들과 비교하였다. 본 논문에서 MLP문제를 풀기위한 도구로서 [16]의 소프트웨어 라이브러리를 사용하였다.

설계 예 1 (저대역 통과 여파기) 정규화 주파수응답 규격은

$$\begin{aligned} \text{통과대역 } f &\in [0, 0.021] \\ \text{저지대역 } f &\in [0.07, 0.5] \\ \text{허용오차 } \delta_{p, dB} &\leq 0.1dB \text{ (통과대역),} \\ \delta_{s, dB} &\leq -60dB \text{ (저지대역).} \end{aligned} \tag{27}$$

이 주어진 규격 하에서는, 13개의 유효한 단위 CP가 선택되었고, 그들의 결합의 일부가 최종 선택되었다. CP 전처리기를 위한 집합  $\Omega_1$ 는 총 33개의 다항식으로 구성된다 ( $Q=33$ ). 식 (14)의 조건은  $1 \leq I \leq 23$ 이 되고, 이 부등식을 만족하는  $A^I(z)$  다항식은 모두 138개가 되는데, 이 중 주파수 응답 특성이 비슷하거나 평평한 것들을 제외하고 31개의 다항식을 선택하였다 ( $R=31$ ). 설계 결과로서 4개의  $\lambda$  값에 해당하는 4개의 여파기가 설계되었다.  $\lambda=10$ 에 해당하는 여파기는:

$$\begin{aligned} P(z)E(z) &= (1+z^{-2}) \left( \frac{1+z^{-3}+z^{-6}}{1+2^{-1}z^{-13}} \right) \\ &\cdot \left( \frac{1-z^{-9}}{1-z^{-1}} \right) \cdot \left( \frac{1-z^{-12}}{1-z^{-1}} \right) \\ &\cdot \left( \frac{1-z^{-14}}{1-z^{-1}} \right) \end{aligned} \tag{28}$$

표 1은 설계된 IIR 여파기들의 복잡도를 기존 방법 중 가장 좋은 방법인 [9]와 비교하고 있다. 괄호에 표시된 곱셈기의 수는 상수  $k$ 와 같은 상수를 포함한다.

표에서 보듯이 IIR 여파기의 특성 및 제안된 방법의 우수성으로 인하여 기존 방법들에 비하여 훨씬 간단한

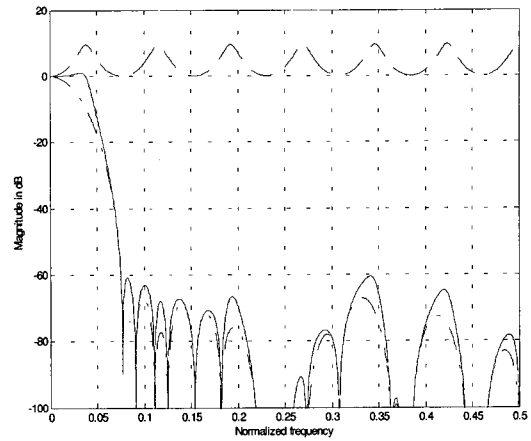


그림 3.  $\lambda=10$ 일 때, 설계 예 1의 CP 전처리기 (일점선), all-pole IFOP 등화기 (뚫어진 선) 전체 (실선) 주파수 응답  
Fig. 3. Magnitude response of the CP prefilter (dashdot line), the all pole IFOP-equalizer (dashed line), and the overall cascaded filter (solid line) in Example 1.

표 1. 제안된 여파기와 기존 최적의 FIR 여파기와의 계산 복잡도 비교 (설계 예 1)  
Table 1. Comparison among the other filters with the optimal FIR filter in Example 1.

	CP 전처리기				
	부집합	CP 전처리기와 inverse IFOP 등화기 선택 (최적화에 사용된 $\lambda$ )			
등화기 [9]	0	10	100	1,000,000	
곱셈	4	(1)	(1)	(1)	(1)
덧셈	16	9	10	13	30
지연	85	53	50	70	112
최소 $\epsilon$	0	2.754	1.121	0.865	0.858

을 알 수 있다. 더구나 기존의 방법들의 계수들이 실수임을 고려하면 제안된 방법의 효율성은 더욱 명확해진다. 주파수 크기 응답 및 그룹 지연 특성은 각각 그림 3과 4의 (가)에 잘 나타나 있다. 그룹 지연 특성은  $\lambda$ 가 증가할수록 향상되는 것을 볼 수 있으며,  $\lambda > 100$ 에서는 더 이상 괄목할만한 향상이 없음을 알 수 있다. 즉,  $\lambda > 100$ 인 값을 사용하는 것이 의미가 없음을 이야기하고 있으며, 이 여파기가 이 시스템에서 얻을 수 있는 선형 위상 특성이 좋으면서 가장 간단한 여파기라는 것을 이야기 한다.

설계 예 2 (대역 통과 여파기). 정규화 주파수응답 규격은 식 (6)에 의하여 주어진다.

15개의 유효한 단위 CP가 계산되었고, 이들의 조합

표 2. 제안된 여파기와 기존 최적의 FIR 여파기와의 계산 복잡도 비교 (설계 예 2)

Table 2. Comparison among the other filters with the optimal FIR filter in Example 2.

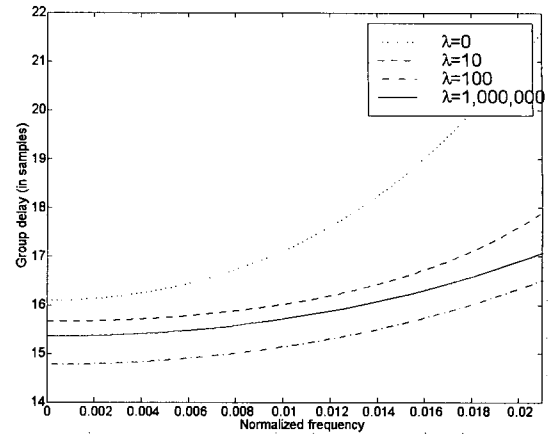
CP 전처리기 부집합 선택 등화기 의	CP 전처리기와 inverse IFOP 등화기 (최적화에 사용된 $\lambda$ )			
	0	10	100	1,000,000
곱셈	13	(1)	(1)	(1)
덧셈	49	19	25	172
지연	180	91	104	411
최소 $\varepsilon$	0	6.267	2.990	2.825
		2.401		

들 중에서 25개가 더 선택되었다. 결국 CP 전처리기에 대한 집합  $\Omega_1$ 은 40개의 다항식으로 구성되었다, 즉  $Q = 40$ . 식 (14) 조건은  $1 \leq I \leq 45$ , 모두 270  $A^I(z)$  이 조건을 만족한다. 이들 중에 69개의 다항식이 선택되었다. 즉,  $R = 69$ . 역시 서로 다른  $\lambda$  값을 갖는 4개의 여파기가 설계되었다.  $\lambda = 10$ 의 시스템 응답 함수는

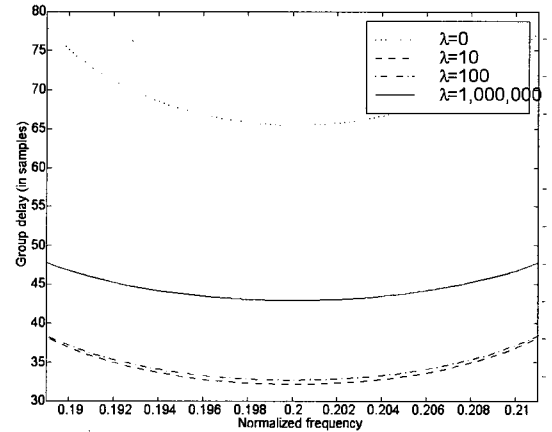
$$\begin{aligned}
 P(z)E(z) &= \left( \frac{1}{1 + 2^{-1}z^{-2}} \right)^2 \cdot \left( \frac{1 + z^{-1}}{1 + 2^{-1}z^{-2}} \right) \\
 &\cdot \left( \frac{1 + z^{-5}}{1 + 2^{-1}z^{-2}} \right) \cdot \left( \frac{1 - z^{-3} + z^{-6}}{1 + 2^{-1}z^{-2}} \right) \\
 &\cdot \left( \frac{1 - z^{-7}}{1 + 2^{-2}z^{-3}} \right) \cdot \left( \frac{1 - z^{-8}}{1 + 2^{-1}z^{-3}} \right) \\
 &\cdot \left( \frac{1 - z^{-12}}{1 + 2^{-1}z^{-3}} \right) \cdot \left( \frac{1 - z^{-13}}{1 + 2^{-1}z^{-20}} \right) \\
 &\cdot \left( \frac{1 + z^{-5} + z^{-10} + z^{-15} + z^{-20}}{1 + 2^{-1}z^{-20}} \right) \\
 &\cdot \left( \frac{1 + z^{-10} + z^{-20}}{1 + 2^{-1}z^{-20}} \right) \quad (29)
 \end{aligned}$$

이다. 설계된 IIR 여파기의 복잡도 및 특성은 표 2, 그림 1과 4의 (나)에 비교 정리되어 있다.

$\lambda = 0$ ,  $\lambda = 10$ 과  $\lambda = 100$ 의 IIR 여파기는 표 3의 최적의 기존 방법의 FIR 여파기에 비하여 덧셈기뿐만 아니라, 특히 상당히 적은 수의 지연 연산을 필요로 하는 것을 확인할 수 있다. 설계 예 1에서와 마찬가지로, 그룹 지연은  $\lambda = 100$ 인 경우  $\lambda = 1,000,000$ 과 비교하였을 때, 실용적으로 거의 차이가 없고 극한치에



(가)



(나)

그림 4. 설계된 여파기의 통과 그룹지연 응답 (가) 설계 예제 1 (나) 설계 예제 2  
Fig. 4. Group delay responses in passband of the designed filters in examples.

도달한 것으로 판단할 수 있다. 따라서  $\lambda = 100$ 이면 실제적으로 전대역 통과 단위 여파기를 사용하지 않고 얻을 수 있는 가장 선형 위상 특성에 근접한 여파기라고 할 수 있다.

#### IV. 결 론

본 논문에서는 협대역 응용 시스템을 위한 전처리기-등화기구조의 시스템에서, 최소의 복잡도를 갖도록 하는 곱셈기 없는 여파기 구현에 대한 방법론을 제안하고, 설계 예를 제시하였다. 특별히 CP 전처리기와 CSD 계수만을 갖는 all-pole IFOP 등화기에 대하여 전처리기와 등화기를 동시에 최적 설계하는 방법을 제안하였다. 설계 예는 제안된 방식이 계산 복잡도 감소에 있어서 탁월한 특성을 보임을 확인할 수 있었다.



## 참고 문헌

- [1] R. Lyons, "Interpolated narrowband lowpass FIR filters," *IEEE Signal Processing Magazine*, vol. 20, pp 50-57, Jan. 2003.
- [2] M. Wilbur, T. Davidson, and J. Reilly, "Efficient Design of Oversampled NPR GDFT Filterbanks," *IEEE Trans. Signal Processing*, vol.52, July 2004.
- [3] S. Netto, L. Barcellos, and P. Diniz, "Efficient Design of Narrowband Cosine-Modulated Filter Banks Using a Two-Stage Frequency-Response Masking Approach," *Journal of Circuits, Systems, and Computers*, vol. 12, pp. 1-12, Dec. 2003.
- [4] T. Saramaki, Y. Neuvo, and S. K. Mitra, "Design of computationally efficient interpolated FIR filters," *IEEE Trans Circuits Syst.*, vol. 35, pp. 70-88, Jan. 1988.
- [5] J. W. Adams and A. N. Willson, Jr., "Some efficient digital prefilter structure," *IEEE Trans. Circuits and Syst.* vol. 31, pp. 260-265, Mar. 1984.
- [6] J. E. Cabezas and P. S. R. Diniz, "FIR Filters using interpolated prefilters and equalizers," *IEEE Trans Circuits Syst.*, vol. 37, pp. 17-32, Jan. 1990.
- [7] K. Sivaramakrishnan, I. Linscott, and G. Tyler, "Design of Multiplierless Programmable Linear Phase Narrowband-Bandpass FIR Filters," *IEEE Int. Symp. Circuits and Systems*, vol 3, pp. 493-496, May 2004.
- [8] G. Jovanovic-Dolecek, V. Dolecek "Method for narrowband minimum phase filter design," *Electronics Letters*, vol. 37, pp 324-325, Mar. 2001.
- [9] R. J. Hartnett and G. F. Boudreaux-Bartels "On the use of cyclotomic polynomial prefilters for efficient FIR filter design," *IEEE Trans. Signal Processing* vol. 41 pp. 1766-1779 May 1993.
- [10] H. Oh and Y. Lee, "Design of Discrete Coefficient FIR and IIR Digital Filters with Prefilter-Equalizer Structure Using Linear Programming," *IEEE Trans, Circuits and Syst.*, vol. 47, pp. 562-565, June 2000.
- [11] H. Dam, K. Teo, S. Nordebo, and A. Cantoni, "The Dual Parameterization Approach to Optimal Least Square FIR Filter Design Subject to Maximum Error Constraints," *IEEE Trans. Signal Processing*, vol. 48, pp. 2314-2320, Aug. 2000.
- [12] Y. Lim, Y. Sun, and Ya Jun Yu, "Design of Discrete-Coefficient FIR Filters on Loosely Connected Parallel Machines," *IEEE Trans. Signal Processing*, vol. 50, pp. 1409-1416, June 2002..
- [13] D. Li, Y. Lim, Y. Lian, and J. Song, "A Polynomial-Time Algorithm for Designing FIR Filters With Power-of-Two Coefficients," *IEEE Trans. Signal Processing*, vol. 50, pp. 1935-1941, Aug. 2002..
- [14] A. V. Oppenheim and R. W. Schaffer, *Discrete-Time Signal Processing*, Prentice Hall Englewood NJ 1989.
- [15] W. L. Winston, *Operations Research Applications and Algorithms*, PWS-KENT, Boston, MA. 1991.
- [16] Using the CPLEX callable library and CPLEX mixed integer library, ILOG Inc. Mountain View, CA, 2005.

## 저 자 소 개



오 혁 준(정회원)  
1999년 한국과학기술원 전기 및  
전자공학과 공학박사  
1999년~2001년 미국 Stanford  
대학 박사후과정  
2001년~2004년 미국 Qualcomm사  
3GPP UMTS CSM/MSM  
개발

2004년~현재 광운대학교 전자통신공학과  
(조교수)

<주관심분야: 차세대 이동통신, 통신 소프트웨어,  
통신 모뎀 SoC 설계, 통신 임베디드 시스템  
응용>



안 희 준(정회원)  
2000년 한국과학기술원 전기 및  
전자공학과 공학박사  
2000년~2002년 (주) LG전자  
차세대단말연구소  
2002년~2004년 (주) Tmax Soft  
기술연구소, J2EE WAS  
개발 팀장

2004년~현재 서울산업대학교 제어계측공학과  
(전임강사)

<주관심분야: 통신 소프트웨어 구현, 멀티미디어  
인터넷 통신, 임베디드 시스템 응용>