

New High-Frequency Equivalent Circuit Model for QFP Package

金成鐘* · 宋尚憲†
(Sung-Jong Kim · Sang-Hun Song)

Abstract - We present a new high-frequency equivalent circuit model for 52pin QFP used in typical IC's and extract R, L, and C values of this circuit model using a 3-D E & M field simulator. Furthermore, L and C value variations as a function of pin number due to the shape differences of the leads have been fitted to 2nd order polynomials in order to extend the applicability of this model.

Key Words : QFP, Bonding Wire, Lead Frame, S-parameters, Radio Frequency

1. 서 론

오늘날 집적회로의 기술 발달에 따라 동작 주파수도 수 GHz 단위까지 증가하고 있다. 동작 주파수가 올라감에 따라 저주파에서는 고려하지 않던 집적회로 패키지의 기생 성분의 영향이 커지기 때문에 집적회로 패키지의 기생성분을 정확히 모델링 하는 것이 중요한 과제가 되었다.[1, 2] 집적회로 패키지의 전기적 특성을 알기 위해서는 패키지의 기생성분 즉, R(Resistance), L(Inductance), C(Capacitance)들의 값을 정확히 알아야 한다.[3] 본 논문에서는 일반적인 칩에 많이 사용되는 QFP(Quad Flat Pack) 패키지의 본딩와이어와 리드프레임의 등가 모델을 제시하고 등가 모델에 사용된 소자의 값을 시뮬레이션을 통해 추출하였다. 일반적인 리드프레임의 등가 회로는 각각 한 개씩의 저항, 인덕터, 커패시터 소자를 이용해서 구성 되어 진다. 하지만 이 등가회로는 RF 신호의 주파수가 올라가면 신호의 파장이 짧아지게 되고 이 파장의 길이와 패키지에서의 신호가 지나야하는 길이가 비슷해질 경우에는 정확한 모델이라고 보기가 어렵다. 고주파 신호에 대하여는 중심으로부터의 비대칭을 고려한 좀 더 세부적으로 나뉜 등가회로가 필요하다. 본 논문에서는 시뮬레이션을 통하여 5GHz까지 사용할 수 있는 접지 핀으로부터의 영향을 포함한 패키지 등가회로를 제시하였다.

2. 본 론

본 논문에서는 QFP 패키지의 등가회로를 구하기 위해 전 기신호의 경로를 따라 본딩와이어와 리드프레임으로 나누어 등가회로를 구하였다. 이는 본딩와이어와 리드프레임을 모두 같이 시뮬레이션 했을 때 발생하는 3-D 전자장 시뮬레이션 상의 mesh 문제와 시뮬레이션 시간 등을 고려한 것이다. 각각의 등가 모델을 구한 뒤 패키지의 구조에 따라 연결 하게 되면 패키지의 등가회로는 완성 된다. 등가회로를 구한 방식은 본딩와이어와 리드프레임의 기하학적 모델을 이용하여 3-D 전자장 시뮬레이션을 통해 주파수 범위 0 - 5 GHz에서의 S-parameters를 추출하고 그 S-parameters를 통하여 등가 모델이 사용된 소자의 값을 RF(Radio Frequency) 회로 시뮬레이션 프로그램을 이용하여 구하였다. 특히 리드프레임은 패키지 핀 번호에 따라 그 모양이 달라 등가 모델은 핀 번호에 따라 다른 소자 값을 가지게 된다. 그 때문에 각 핀 번호에 따른 소자 값을 그래프로 그리고 그 값을 그래프로 맞추는 과정을 통해 핀 번호에 따른 소자 값을 2차의 다항식으로 근사하였다.

2.1 와이어

2.1.1 기하학적 모델

와이어의 기생 성분을 알아보기 위하여, 지름이 25 μm 이고 길이가 2 mm인 5개의 금 와이어 중에 가운데 와이어의 S-parameters를 추출하기 위해 FDTD에 기초한 3-D 전자장 시뮬레이션을 수행 하였다.

* 교신저자, 正會員 : 中央大學校 電子電氣工學部 助教授 · 工博
E-mail : shsong@cau.ac.kr

* 學生會員 : 中央大學校 電子電氣工學部 碩士課程
接受日字 : 2005年 2月 4日
最終完了 : 2005年 5月 30日

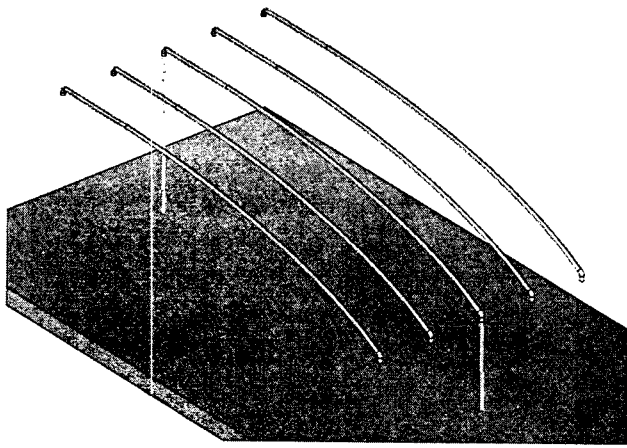


그림 1. 와이어의 기하학적 모델
Fig. 1. Geometric model of the bonding wires

2.1.2 등가회로 모델

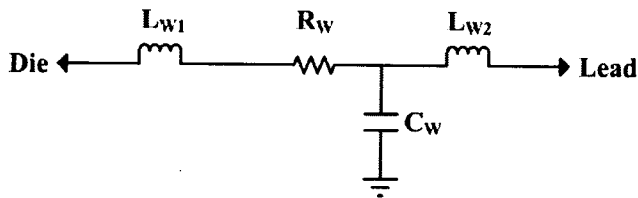


그림 2. 와이어의 등가회로 모델
Fig. 2. Equivalent circuit model of the bonding wire

본딩와이어의 구조에 따른 등가 모델을 그림 2와 같이 구성하고 전자장 3-D 시뮬레이션을 통해 구한 S-parameters로 RF 회로 시뮬레이션 프로그램을 이용해 각 소자의 값을 구하였다. 이렇게 얻은 각 소자의 값은 표 1과 같다.

표 1. 와이어 등가 모델 소자 값

Table 1. Device values in the equivalent circuit model of the bonding wire

	R _w (Ω)	L _{w1} (nH)	C _w (fF)	L _{w2} (nH)	Total L _w (nH)	Total C _w (fF)
Wires	0.17	1.4	40	1.4	2.8	40

2.2 리드프레임

3-D 시뮬레이션을 위해서는 패키지의 정확한 외부 형태를 구현하는 것이 필수적인 요소이다. 그림 3의 모습을 통하여 리드프레임의 기하학적인 모델을 완성 하였다.

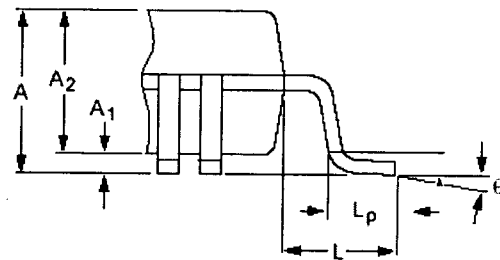
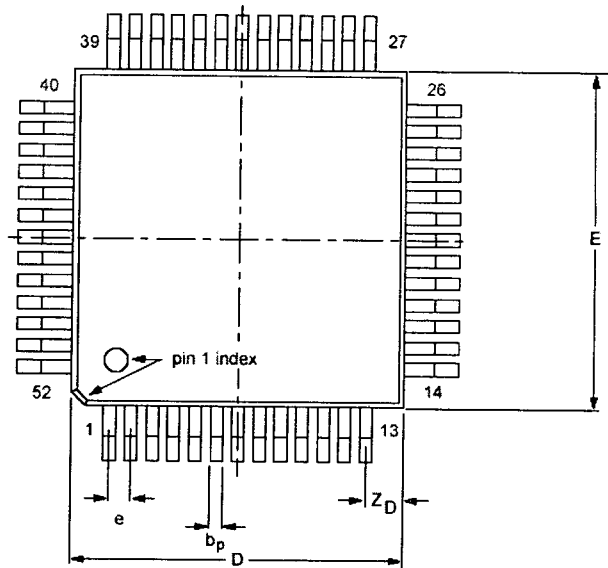


그림 3. QFP52의 외부 모습

Fig. 3. Plastic quad flat package ; 52 leads, body 10 x 10 x 2.0 mm

표 2. QFP52의 크기

Table 2. Dimensions of QFP52

Unit	A	A1	A2	bp	D	e	E	L	Lp	Z _D	θ
mm	2.25	0.25	2.0	0.35	10	0.65	10	1.6	0.88	0.95	3.5°

2.2.1 기하학적 모델

52 핀 QFP를 사용하였고 일반적으로 1번 핀은 GND로 많이 사용되기 때문에 1번 핀은 perfect conductor로 두고 2번 부터 13번 핀까지는 conductivity가 3.82×10^7 (mhos/m)인 알루미늄 금속으로 모델링 하여 전자장 3-D 시뮬레이션을 통해 S-parameters를 추출하였다.

그림 4에서 볼 수 있듯이 실제 QFP로 패키징 된 칩이 PCB 기판 위에 놓여 있을 때를 가정하고 simulation을 수행 하였다. 그림 5는 칩 내부의 lead frame 모습으로 pin 번호에 따라 그 모양이 다름을 알 수 있다. 칩 내부의 GND는 가로, 세로 길이가 모두 4 mm인 perfect conductor를 이용하여 구현하였다.

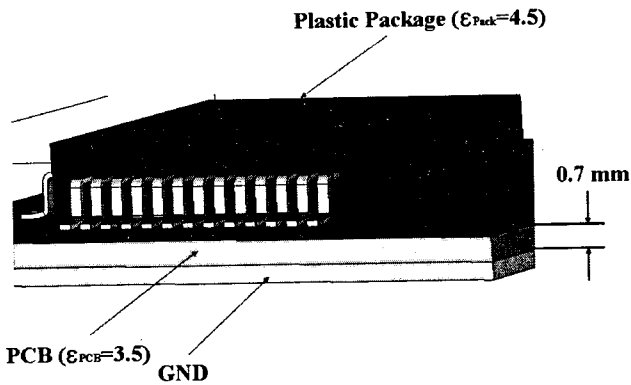


그림 4. 리드 프레임의 기하학적 모델
Fig. 4. Geometric model of the lead frames

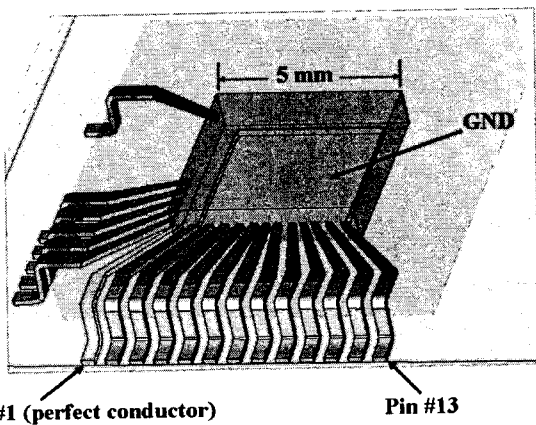


그림 5. 칩 내부에서의 리드 프레임 기하학적 모델
Fig. 5. Geometric model of the lead frames inside the chip

2.2.2 등가회로 모델

본 논문에서는 리드프레임을 통해 지나가는 고주파 RF 신호의 입장에서 리드프레임의 정확한 등가 모델을 그 구조를 고려하여 구하였다. 리드프레임간의 간섭에 의한 상호 인덕턴스는 5GHz까지의 시뮬레이션에서는 영향력이 나타나지 않아 등가모델에는 포함시키지 않았다. 고주파 RF 신호가 칩 외부에서 리드프레임으로 입력되었을 때와 반대로 칩 내부에서 리드프레임으로 RF 신호가 입력되었을 때를 각각 고려하여 구한 리드프레임의 등가 모델은 다음 그림 6과 같다.

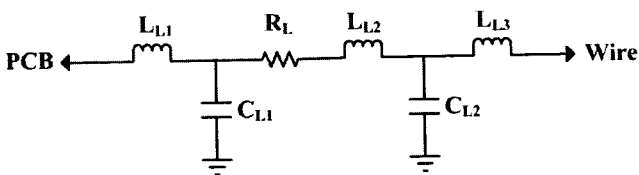


그림 6. 리드 프레임의 등가회로 모델
Fig. 6. Equivalent circuit model of the lead frame

C_{L1} 의 크기는 일반적으로 C_{L2} 보다 큰 값을 가지게 된다. 그 이유는 그림 5에서 볼 수 있듯이 리드프레임과 접지와와의 거리가 칩 외부 쪽에서의 리드프레임이 칩 내부 쪽에서의 리드프레임보다 가깝기 때문이다. 그리고 칩 외부 쪽의 리드프레임은 핀 번호와 상관없이 일정한 크기와 접지와와의 일정한 거리를 가지기 때문에 L_{L1} 과 C_{L1} 은 항상 같다고 가정하였고 칩 내부의 리드프레임은 핀 번호에 따라 크기와 모양이 다르기 때문에 L_{L2} , L_{L3} , C_{L2} 는 모두 달라진다고 가정하였다. 다음 표 3은 앞의 두 가정을 고려하여 리드프레임의 3-D 시뮬레이션을 통해 추출한 S-parameters를 가지고 RF 회로 시뮬레이션 프로그램을 이용해 구한 소자 값이다.

표 3. 리드 프레임의 등가 모델 소자 값

Table 3. Device values in the equivalent circuit model of the lead frame

	R_L (Ω)	L_{L1} (nH)	C_{L1} (fF)	L_{L2} (nH)	C_{L2} (fF)	L_{L3} (nH)	Total L_L (nH)	Total C_L (fF)
# 2	0.09	1.1	300	2.5	130	1	4.6	430
# 3	0.09	1.1	300	2.44	120	0.96	4.5	420
# 4	0.09	1.1	300	2.42	110	0.92	4.44	410
# 5	0.09	1.1	300	2.41	95	0.86	4.37	395
# 6	0.09	1.1	300	2.34	80	0.85	4.29	380
# 7	0.09	1.1	300	2.32	65	0.82	4.24	365

2.2.3 Curve Fitting

2.2.3.1 Total inductance

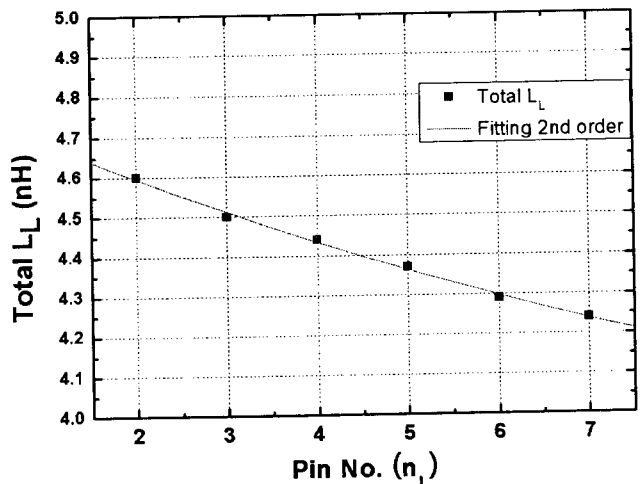


그림 7. 핀 번호에 따른 리드 프레임의 총 인덕턴스와 2차 다항식 맞춤 곡선

Fig. 7. Total inductance versus pin number and 2nd order polynomial fitting curve

그림 7은 리드프레임의 total inductance를 핀 번호에 따라 그래프로 그리고 그 점들을 맞춤 과정을 통해 구한 식의 곡선을 나타낸 그림이다. 맞춤 과정을 통해 구한 식은 2차식으로 다음 식 (1)과 같다.

$$Total L_L = 0.003n_L^2 - 0.099n_L + 4.780 \quad (1)$$

2.2.3.2 Total capacitance

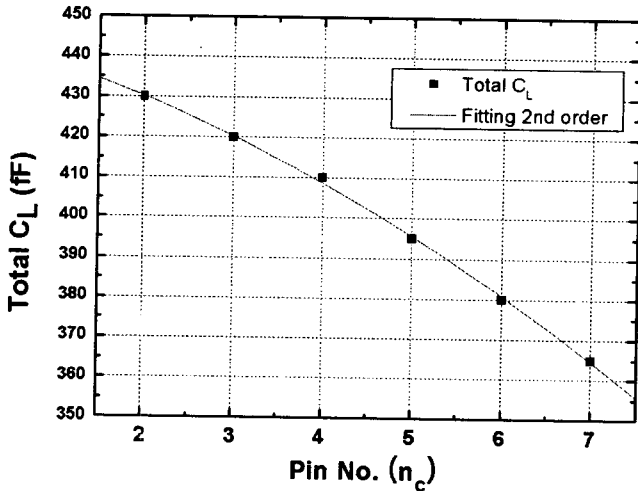


그림 8. 핀 번호에 따른 리드 프레임의 총 커패시턴스와 2차 다항식 맞춤 곡선

Fig. 8. Total capacitance versus pin number and 2nd order polynomial fitting curve

그림 8은 리드프레임의 total capacitance를 핀 번호에 따라 그래프로 그리고 그 점들을 맞춤 과정을 통해 구한 식의 곡선을 나타낸 그림이다. 맞춤 과정을 통해 구한 식은 2차식으로 다음 식 (2)과 같다.

$$Total C_L = -0.804n_C^2 - 5.910n_C + 445.214 \quad (2)$$

이 다항식은 핀의 개수가 다른 QFP에서의 기생 성분 추출에도 외삽을 통하여 적용할 수 있어 다양하게 응용될 것으로 생각한다.

4. 결 론

본 논문에서는 QFP(Quad Flat Pack) 패키지의 본딩와이어와 리드프레임의 기하학적 모델을 완성하고 3D-시뮬레이션을 통해 S-parameters를 추출한 뒤, 제시된 고주파 등가 회로 모델의 소자 값을 각각의 S-parameters를 이용하여 구하였다. 본딩와이어의 등가 모델에서는 커패시턴스는 40fF, 전체 인덕턴스 성분은 2.8nH를 가짐을 알 수 있었고 반면에 리드프레임은 칩의 핀 번호에 따라 다른 모양을 가지기 때문에 그 등가 회로 모델의 소자값도 핀 번호에 따라 달라짐을 알 수 있었고 핀 번호에 따른 total inductance와 total capacitance를 근사할 수 있는 2차 방정식을 각각 맞추었다.

감사의 글

이 논문은 한국 소프트웨어 진흥원의 IT SoC 핵심 설계 인력 양성 사업의 지원을 받아 이루어졌습니다.

참 고 문 헌

- [1] K. H. Kim, H. J. Chung, S. H. Yoon, S. W. Hwang, J. W. Park, S. W. Kim, J. H. Choi, and D. Ahn, "Full Software Analysis and Impedance Matching of Radio Frequency CMOS Integrated Circuits," IEEE Trans. on Components and Packaging Tech., Vol. 23, no. 1, pp. 183-186, March 2000.
- [2] Dean L. Monthei, "Package Electrical Modeling, Thermal Modeling, and Processing for GaAs Wireless Applications," Kluwer Academic Publishers, pp. 43-120, 1999.
- [3] Luc Martens, "High-frequency Characterization of Electronic Packaging," Kluwer Academic Publishers, 1999.

저 자 소 개



김성종(金成鐘)

2003년 2월 중앙대학교 전자전기공학부/학사, 2003년~현재: 중앙대학교 전자전기공학부 석사과정.



송상헌(宋尙憲)

1986년: 서울대학교 전자공학과(공학사).
 1988년: 미국 Princeton University(M.A.)
 1997년: 미국 Princeton University(Ph.D.)
 1997년~1999년: (주)LG반도체 책임연구원보.
 1999년~2000년: 서울시립대학교, 양자정보처리연구단 연구위원.
 2000~2001년: 고려대학교 BK21 정보처리연구단 계약교수.
 2001년~현재: 중앙대학교 전자전기공학부 부교수. <주관분야> 반도체 소자 및 시스템, 양자전자공학.