

패키지 박리 개선을 위한 플라즈마 세정 효과

Plasma Cleaning Effect for Improvement of Package Delamination

丘 庚 完* · 金 度 宇[†] · 王 鎮 錫**
(Kyung-Wan Koo · Do-Woo Kim · Jin-Suk Wang)

Abstract - The effect of plasma cleaning was examined on package delamination phenomena in the integrated circuit (IC) packaging process. Without plasma cleaning, delamination was observed for all three experimental treatments applied after the packaging step, which include bake of IC, reflow, and bake of IC followed by reflow. However, no delamination was observed when the plasma cleaning was performed before and after the wire bonding step. Plasma cleaning was found to be a critical step to improve the reliability of the package by reducing the possibility of contact failure between die pad and bonding wire.

Key Words : Wire Bonding, Delamination, Plasma Cleaning, Bake, Reflow

1. 서 론

최근에 개발되고 있는 SMD (Surface Mounted Device) Technology의 주요 장점은 패키지의 크기를 줄임으로써 PCB (Printed Circuit Board) 크기를 줄이고 또한 동일한 PCB 내에서 Chip Density를 높일 수 있으므로 비용절감 효과를 얻을 수 있다는 것이다. 그러나 기존의 PTH (Pin Through Hole) Type의 소자에서는 Soldering 공정의 온도가 약 200℃ 정도이나 SMD형 소자의 경우 Solder Reflow가 패키지의 Glass Transition 온도를 초과하는 230℃ 정도이기 때문에 신뢰성의 문제를 야기 시키고 또한 패키지의 두께가 얇기 때문에 습기의 흡수에 의한 패키지 Crack을 일으켜 소자의 신뢰성에 큰 문제가 되고 있다. 따라서 이러한 문제를 해결하기 위해 패키지의 디자인을 개선한다든지, 소자 Packing 방법 및 공정을 개선하고 있다.[1, 2, 3]

패키지 Crack 발생 원인에는 몇 가지 주요 유형이 있다. 첫 번째로 외부로부터의 수분 침투에 의한 것이다. 패키지의 보관 도중 또는 작업 시 대기 중의 수분이 패키지 내부로 스며들고 시간이 흐를수록 수분은 패키지 안쪽으로 스며들어 Die Pad의 배면에 모이게 되어 박리 (Delamination) 현상이 일어나게 되며, 다음으로는 사용자의 필요에 따라 패키지의 실장을 위해 IR Reflow 또는 VPR (Vapor Phase Reflow)을 실시하는데, 이때 높은 온도로 인해 Die Pad 아래에 있는 습기가 기화를 시작하면서 박리가 일어난다. 습

기의 기화로 인해 내부의 압력을 견디지 못하고 박리가 일어나며 확대되면 패키지 Crack을 일으킨다. 박리 및 Crack은 제품의 신뢰성에 심각한 영향을 줄 수 있다.

패키지 Crack의 종류에는 Bottom Crack, Side Crack, Top Crack 이 있다. 먼저 Bottom Crack은 패키지 Crack의 전형적인 형태이며, Die Pad의 Bottom Side와 패키지 사이에 응축된 습기가 Reflow 공정을 거치면서 기체화 되어 패키지 Crack을 발생시키게 된다. 그 다음으로 Side Crack의 과정은 Bottom Crack 과 비슷하며 Die Pad와 Lead Frame과의 높은 스트레스 및 EMC (Epoxy Molding Compound)와 Lead Frame과의 열팽창 계수의 불일치에 기인한다. Top Crack 은 보통 IC와 EMC간의 열팽창 계수의 불일치에 의해 주로 발생한다.

이러한 Crack을 방지하기 위한 방법으로는 Crack의 종류별로 EMC의 위치별 두께를 증가시키거나, Lead Frame의 디자인을 고려, 또는 낮은 스트레스성 EMC를 사용하는 방법 등이 있다.[2, 3] 본 논문에서는 패키지 제조 공정 중 Wire Bonding 전후에 플라즈마 세정을 진행하지 않은 경우와 추가 진행한 경우에 대한 패키지 박리의 발생 여부를 살펴보고, 플라즈마 세정을 진행하지 않은 경우에는 Bake와 Reflow를 실시하여 그에 대한 개선효과를 살펴보았다.

2. 실 험

2.1 시편 제작

본 실험은 GPS (Global Positioning System)수신기의 유닛으로 사용되어지는 IC에 대해 패키지 공정에서 Wire Bonding 전후에 플라즈마 세정 공정을 추가하고, 추가하지 않은 IC와의 패키지 후 신뢰성 테스트를 실시하였다. 패키지를 형성하기 위한 공정은 표 1에 나타내었다.

* 교신저자, 正 會 員 : 安城女子技能大學 專任講師
E-mail : dwkim@ans.ac.kr

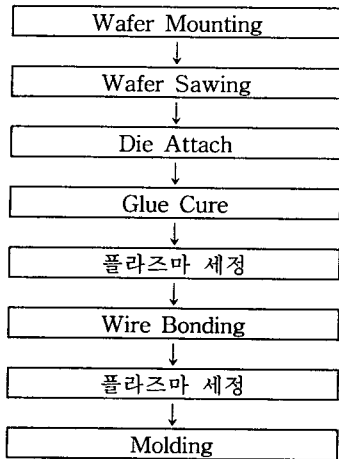
* 正 會 員 : 湖西大學校 副教授

** 正 會 員 : 忠南大學校 教授

接受日字 : 2005年 3月 17日

最終完了 : 2005年 6月 10日

표 1 패키지 공정
Table 1 Package Process



플라즈마 세정 공정을 위한 장비는 Inficon 플라즈마 세정 시스템을 사용하였으며, 이때의 각 공정 조건은 표 2에 나타내었다.

표 2 플라즈마 세정 공정 조건
Table 2 Process Condition of Plasma Cleaning

Parameters	Conditions
Process Time	10 mins
Argon Flow	20 sccm
Hydrogen Flow	10 sccm
Filament Current	190 A
Arc Current	40 A

패키지내의 수분양은 패키지 박리와 Crack에 아주 밀접한 관계를 가지고 있다. 패키지내에 수분양이 많으면 Solder Reflow시 응력이 그만큼 더 커지기 때문에 박리와 Crack이 발생할 확률이 높기 때문이다. 또한 패키지내의 습기 흡수율은 온도와 밀접한 관계가 있다. 같은 양의 습기라고 하더라도 높은 온도일수록 빨리 포화 상태에 도달하고 많은 양이 흡수된다.[4, 5]

플라즈마 세정을 실시하지 않은 조건의 IC는 각각 Bake 실시, Bake후 Reflow실시, Reflow 실시를 하여 열처리에 의한 효과를 관찰하였다.

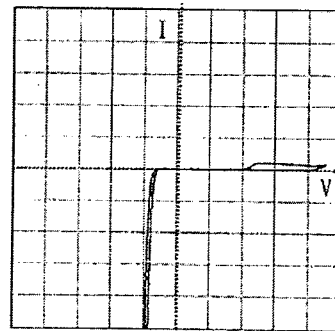
2.2 패키지 박리 측정 및 분석

본 절에서는 앞 절에서 제작된 IC를 Tektronix 371B를 사용하여 Pin별 I-V Curve를 측정하였으며, SAT (Scanning Acoustic Tomograph)를 사용하여 패키지 박리를 분석하였다. SAT는 초음파를 이용하여 패키지 내부의 Crack 또는 박리를 정확하게 알 수가 있다. 그 원리는 측정할 소자를 물속에 넣고 장비의 Probe에서 초음파 빔을 주사하여 패키지에서 반사되어 오는 신호를 수신한 뒤 그 신호

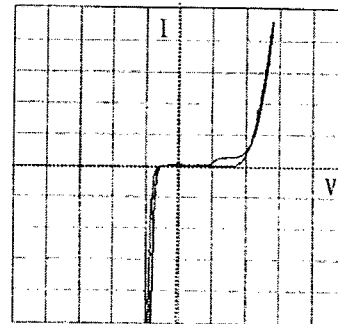
를 분석하여 패키지의 Crack 또는 박리를 분석한다. 또한 박리가 발생한 시료에 대해서는 SEM 분석을 통하여 단면을 확인하였다

3. 특성 분석

Wire Bonding 전후의 플라즈마 세정 유무에 따른 패키지 신뢰성의 영향을 살펴보기 위해 두 조건의 같은 핀에 대해 전압, 전류 특성을 비교하여 이상 유무를 판별하였다. 플라즈마 세정을 실시하지 않은 IC의 Pin쪽에서는 트랜지스터의 On-전류가 흐르지 않는 Open 현상을 나타내어 박리 및 Crack현상이 일어났음을 전기적으로 알 수 있었다. 플라즈마 세정을 실시한 조건에서는 정상적인 I-V Curve를 보였다. 그림 1에는 두 조건의 I-V Curve를 나타내었다.



(a) Plasma Cleaning Skip

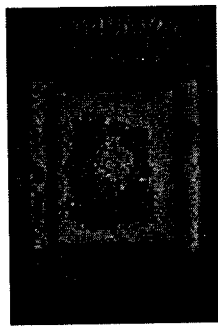


(b) Plasma Cleaning Applied

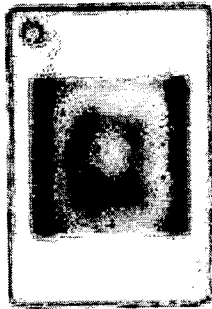
그림 1 전류-전압 측정
Fig. 1 I-V Curve

플라즈마 세정을 실시하지 않은 조건의 IC 박리 현상을 물리적으로 관찰하기 위해 SAT로 C-Scan 및 T-Scan 분석을 하였다. C-Scan은 반사에 의한 측정 방식이며, T-Scan은 투과에 의해 측정되어지는 방식이다.

플라즈마 세정을 실시하지 않은 조건에서 박리 현상을 관찰할 수 있었으며, Top 박리 및 Pad 박리 현상이 발생하였다. 그림 2에는 Top Crack이 발생한 IC에 대한 C-Scan 및 T-Scan의 SAT 분석 결과를 나타내고 있다.



(a) C-Scan



(b) T-Scan

그림 2 Top Crack Scan
Fig. 2 Top Crack Scan

그림 3에는 SAT 관찰에서 보인 박리의 발생 지역을 SEM으로 단면을 분석하였다. Bonding Wire 주변 및 Chip 표면 위에서 심각한 박리가 발생되어진 것을 알 수 있다.

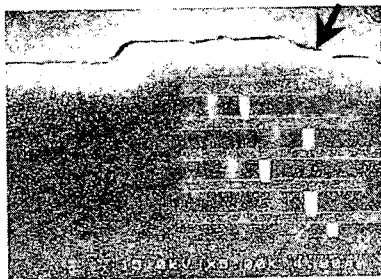
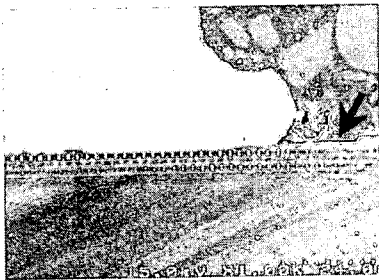


그림 3 Top박리 현상의 SEM image
Fig. 3 SEM image of Top Delamination

플라즈마 세정을 실시하지 않은 조건의 IC는 진공

Packing 상태에서 개봉하여 각각 Bake 실시 (125°C), Bake 후에 Reflow (223°C, 3회) 실시, Reflow만을 실시하여 열처리에 의한 박리의 차이를 관찰하였다. 모든 검사 시료에서는 Die Pad 박리가 발견 되었으며, Reflow만을 실시한 시료에서는 Die Pad 박리 및 Top 박리 모두 발생하였다. 이는 Bake를 진행하지 않고 Reflow만 진행한 경우에는 칩의 박리를 더욱 진행시킴을 알 수 있다. 또한 플라즈마 세정을 거치지 않고 열처리에 의한 박리 및 Crack의 개선 효과의 영향은 매우 적음을 알 수 있었다.

그림 4에서는 Die Pad 박리가 발생한 시료의 SAT사진 및 SEM 사진을 나타내었다. Pad 형성지역의 모든 부분에 박리 현상이 일어남을 알 수 있으며 Lead Frame Pad위와 EMC간 박리가 발생되어짐을 알 수 있다.

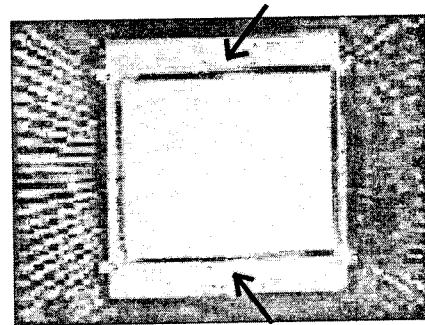


그림 4 Die Pad 박리
Fig. 4 Die Pad Delamination

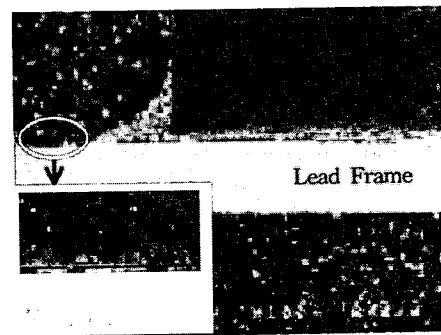


그림 5 Die Pad (Lead Frame Pad위)의 박리 SEM Image
Fig. 5 SEM Image of Die Pad Delamination
(on Lead Frame Pad)

본 실험에서 패키지 Wire Bonding 전과 후에 플라즈마 세정 공정을 추가하여 실시한 IC의 경우에는 Top 및 Die Pad 박리가 전혀 발생되지 않았다. 이는 웨이퍼의 Die Sawing시 표면 오염에 따른 Bonding Wire 인터페이스의 접촉 불량 등에 의해 발생하는 EMC와 Top 표면간의 Air Gap을 플라즈마에 의해 세정되어지는 것으로 사료된다.

패키지의 박리 현상에 대한 신뢰도를 높이고, 박리의 불량 빈도수를 낮추기 위한 방법으로 Wire Bonding 전과 후의 플라즈마 세정의 공정 추가는 박리를 개선시키기 위한 매우 효과적인 조건임을 알 수 있다.

4. 결 론

본 논문에서는 패키지 Wire Bonding 전과 후, 플라즈마 세정 공정의 진행 여부에 따른 패키지 박리 현상을 전기적, 물리적 분석을 통해 살펴보았다.

플라즈마 세정을 진행하지 않은 패키지의 경우에는 IC에 대해 Bake 실시(125℃), Bake후 Reflow 실시(223℃, 3회), Reflow만의 실시를 각각 진행하였는데, Die Pad 박리는 모두 발생하였으며, Reflow만을 진행한 경우에는 Top 박리 및 Die Pad에서 박리가 모두 발생하였다. 이에 플라즈마 세정 공정을 추가하여 진행한 경우에는 박리 현상이 전혀 발생되지 않았으며, 이는 패키지 박리 현상이 열처리에 의한 효과는 미약하지만, 플라즈마 세정의 효과가 접촉 불량에 의한 박리현상을 개선시키고 패키지 신뢰도를 향상시키는 매우 효과적인 조건임을 알 수 있었다.

참 고 문 헌

- [1] Chai TC, C. Lee, Ma YY, W. EH, Zhang XW, D. Pinjala, SS. Murthy and T. PS, "Reliability Assessment of Flip Chip on Build Up Laminate Based Multi-Chip Package," Electronic Components and Technology Conference, pp.747-752, 2002.
- [2] Richard van Gestel, Kees de Zeeuw, Leo van Gemert and Eef Bagerman, "Comparison of Delamination Effects between Temperature Cycling Test and Highly Accelerated Stress Test in Plastic Packaged Devices," IRPS, pp.177-181, 1992.
- [3] G. Subbarayan, K. Ramarkrishna and B.G. Sammakia, "The Impact of Interfacial Adhesion on PTH ans via Stress," Transactions of the ASE, vol.119, pp.260-267, 1997.
- [4] Richard van Gestel, Han Scheltekens, "3D Finite Element Simulation of the Delamination Behaviour of a PLCC Package in the Temperature Cycling Test," IRPS, pp.108-121, 1993.
- [5] Rajesh Swaminathan, Harish Bhaskaran, Peter A. Sandborn, Michael A. Deels, and Kevin R. Cochran, "Reliability Assessment of Delamination in Chip to Chip Bonded MEMS Packaging," IEEE Trans. on advanced Packaging, vol.26, no.2, May 2003.

저 자 소 개



구 경 완 (丘 庚 完)

1961년 2월 5일생. 1983년 충남대 전자공학과 졸업. 1985년 동 대학원 전자공학과 졸업(석사). 1992년 동 대학원 전자공학과 졸업(공학박). 1987-1989 현대전자(주) 선임연구원. 1989-1994 충청대 조교수. 1994-2005 영동대 부교수. 2005-현재 호서대 부교수

Tel : 041-540-5943

Fax : 041-540-5943

E-mail : alarmkoo@office.hoseo.ac.kr



김 도 우 (金 度 宇)

1968년 11월 28일생. 1991년 충남대 물리학과 졸업. 1993년 동 대학원 전자공학과 졸업(석사). 1994년-2004년 하이닉스(주) 선임연구원. 2004년 동 대학원 전자공학과 박사수료. 2004년-현재 안성여자기능대학 디지털 디자인과 전임강사

Tel : 031-650-7244

Fax : 031-650-7244

E-mail : dwkim@ans.ac.kr



왕 진 석 (王 鎭 錫)

1945년 6월 23일생. 1971년 연세대 전기공학과 졸업. 1981년 동 대학원 전기공학과 졸업(공학박). 1982년-1983년 펜실베니아 주립대 Post-Doc. 1975년-현재 충남대학교 전자공학과교수

Tel : 042-821-5664

Fax : 042-823-9544

E-mail : jswang@cnu.ac.kr