

단상 전원 고조파 제거 시스템을 위한 기준전류 생성회로에 대한 연구

論 文
54B-7-5

A Study of the Current Reference Signal Generation Circuit for Single-Phase Harmonic Elimination Systems

鄭東烈[†] · 朴鍾演^{*} · 金相勳^{*} · 崔原豪^{**}

(Dong-youl Jung, Chong-yeon Park, Sang-hun Kim, Won-ho Choi)

Abstract - This paper presents a circuit to generate the current reference signal for single-phase harmonic elimination systems. Some of conventional methods for the current reference signal generation based on neural network algorithms. It requires complex circuitry to implement. the simplest method is to use analog filters. but it is difficult to obtain good current reference signals. So, we propose the harmonic detection circuit using GIC(Generalized Impedance Converter) for the purpose of low cost, simple circuitry and high performance. Simulation and experimental results verify that the proposed circuit has better harmonic detection performance than conventional circuit.

Key Words : Harmonic Elimination System, HIC, Harmonic Detection

1. 서 론

반도체 전력변환장치는 비선형 부하로서 입력전원에 고조파를 야기시킨다. 고조파의 영향이 문제시 됨에 따라 측정 및 분석에 대한 연구가 1983년 IEEE Working Group On Power System Harmonic에서 본격적으로 이루어졌으며 이에 의하여 고조파는 전력계통의 손실을 증가시키고 통신기간의 간섭을 유발시킬수 있으며 노이즈를 발생시키기 때문에 제어기기의 오동작을 유발할 수 있는 것으로 알려져 있다. [1-4]

이러한 여러 가지 문제점을 줄이기 위한 고조파 제거 시스템에 대한 연구가 최근까지 지속되고 있는데 L(인덕터)과 C(커패시터)로 구성된 수동 필터가 구조의 간결함과 저가의 이유로 많이 사용되어 왔다. 그러나 수동필터는 부피가 크고 부하에 종속적이며 전력 시스템과의 공진을 유발할 수 있는 문제점을 가지고 있다. 이를 해결하기 위하여 여러 가지 방식의 능동 전력 필터(Active Power Filters)가 제안되었으며 이 중에서 고조파에 해당하는 보상전류를 전원측에 주입하는 방식을 가장 많이 사용하고 있다.[1-5]

이러한 능동 전력 필터의 성능에 가장 큰 영향을 미치는 것은 고조파 제거를 위한 정확한 기준 전류의 생성이며 이는 전원 전류 내에 존재하는 고조파를 정확히 검출해야함을 의미한다. 고조파 검출에 주로 사용되는 방식은 신경망 알고리즘과 같은 소프트웨어로서 구현된다[6-9]. 이 방식은 고조파의 제거 뿐만 아니라 전압과 전류의 위상차에 따른 역률까지도 별도의 추가 회로 없이 보상가능하다는 장점을 가지고 있으나 설계시 고려해야 할 사항이 비교적 까다롭고 복잡하며 비용이 높다. 기존의 방법 중 가장 단순한 방법

은 대역통과필터 혹은 대역저지필터를 이용한 고조파의 검출방법인데 수동형은 L이 갖는 기생 커패시터성분으로 인해 정확한 대역폭과 중심주파수를 얻기가 매우 어렵고 능동형은 높은 첨예도를 구현할 수 없기 때문에 고조파 검출능력이 떨어진다는 이유로 잘 사용되지 않고 있다[1][9].

본 논문에서는 대역 통과 필터를 수동형의 구조를 그대로 갖추는 대신 구현이 어려운 L을 GIC(Generalized Impedance Converter)로 대체하여 기존보다 고조파 검출능력을 높인 새로운 고조파검출회로를 제안함으로써 설계하기 쉬우며 저렴하면서도 충분한 성능을 가지는 고조파 제거 시스템을 구현하였다.

2. 본 론

2.1 기존 시스템의 동작원리

고조파 제거 시스템은 크게 기준보상신호 생성부와 보상전류를 생성하는 인버터부로 나눌수 있다. 그림 1은 가장 보편적인 방법으로 알려져 있는 병렬형 전류원 고조파 제거 시스템의 구조와 동작원리를 나타내는 것이다.

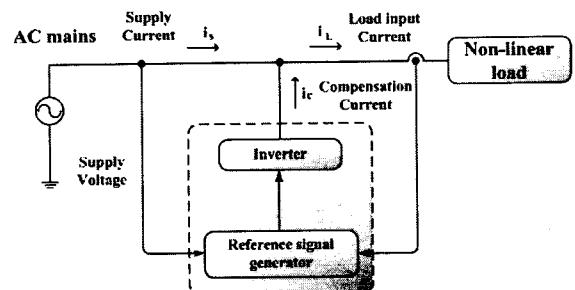


그림 1. 병렬형 전류원 고조파 제거 시스템의 구조

Fig. 1 Configuration of the typical harmonic elimination system.

[†] 교신저자, 正會員 : 江原大學 電氣工學科 工博

E-mail : youll129@hotmail.com

^{*} 正會員 : 江原大學 電氣工學科 教授 · 工博

^{**} 正會員 : 江原大學 電氣工學科 博士課程

接受日字 : 2005年 4月 2日

最終完了 : 2005年 5月 18日

비선형 부하에 의해 발생된 전류(i_L)는 기본파와 고조파성분으로 구성되며 식 (1)과 같다.

$$i_L(t) = \sum_{n=1}^{\infty} I_n \sin(n\omega t + \theta_n) \\ = I_1 \sin(\omega t + \theta_1) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \theta_n) \quad (1)$$

식 (1)에서 기본파성분을 유효전력 성분과 무효전력 성분으로 나누어 표현하면 식 (2)와 같다.

$$i_L(t) = I_1 \cos\theta_1 \sin(\omega t) + I_1 \sin\theta_1 \cos(\omega t) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \theta_n) \\ = i_p(t) + i_q(t) + i_h(t) \quad (2)$$

여기서 I_n 은 n 차 고조파 전류의 크기를 의미하고 ω 는 각주파수, θ_n 은 n 차 고조파의 위상을 의미한다. $i_p(t)$ 은 기본파성분에 대한 유효 전류이고 $i_q(t)$ 는 기본파성분에 대한 무효전류이며, $i_h(t)$ 는 모든 고조파 성분의 합이다. 고조파 제거 시스템이 발생해야 할 보상 전류(i_c)는 무효전류와 고조파 전류성분으로 식 (3)과 같다.

$$i_c(t) = i_q(t) + i_h(t) = i_L(t) - i_p(t) \quad (3)$$

식 (3)을 기초로 하여 기준보상신호를 생성해야 하며 이는 부하 전류(i_L)에서 유효전류(i_p)를 제거함으로써 가능하다. 유효전류는 식 (4)와 같다.

$$i_p(t) = I_1 \cos\theta_1 \sin(\omega t) = I_X \cdot \sin(\omega t) \quad (4)$$

여기서 $\sin(\omega t)$ 는 전원전압과 비교하여 주파수와 위상이 서로 같은 신호이다. I_X 는 $I_1 \cdot \cos\theta_1$ 으로 부하전류에서 기본파 유효전류의 크기를 의미하며 식 (5)를 이용하여 구할 수 있다.

$$I_X = \frac{1}{T} \int_0^T i_L(t) \cdot \sin(\omega t) dt \quad (5)$$

즉, 부하 전류(i_L)에 기본파와 동일한 각주파수(ω)를 갖는 $\sin(\omega t)$ 를 곱한 후 적분하면 기본파의 유효전류 성분 크기를 얻을 수 있으며 이 값(I_X)을 식 (4)에 의거하여 $\sin(\omega t)$ 와 곱하면 유효전류를 얻을 수 있다. 이와같은 기준전류 i_c 를 생성하는 방법은 그림 2와 같은 구성도로 나타낼 수 있다.

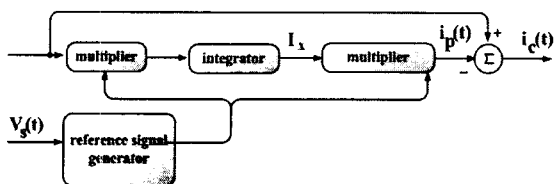


그림 2 보상 전류 생성을 위한 시스템 구성도
Fig. 2 The system configuration of a compensating current generator.

본 논문에서 제안하는 고조파 제거 시스템은 단순성과 저가를

목표로 고조파 검출부를 아날로그 회로로 구성하였다. 그러므로 검출된 고조파를 이용하여 기준전류 i_c 를 생성할 수 있는 그림 2의 구성 또한 아날로그로 구현하는 것이 목적에 맞는다. 이를 아날로그 회로로 구성하기 위해서 곱셈기가 2개, 적분기가 1개 필요하게 되는데 이것은 복잡도를 증가시키고 비용을 상승시키는 요인이 되기 때문에 본 논문에서는 식(3)에서의 $i_q(t)$ 와 $i_h(t)$ 중에 $i_h(t)$ 만을 보상하는 방법을 채택하였다. $i_h(t)$ 는 부하전류(i_L)에서 기본파($I_1 \sin(\omega t + \theta_1)$)를 제거함으로써 얻을 수 있으며 이는 대역 저지 필터로 쉽게 구현 가능하다.

2.2 제안한 고조파 제거 시스템

제안한 고조파 제거 시스템은 그림 3과 같이 고조파 검출부, 보상신호 생성부 그리고 DC-Link 전압 제어부로 구성된다.

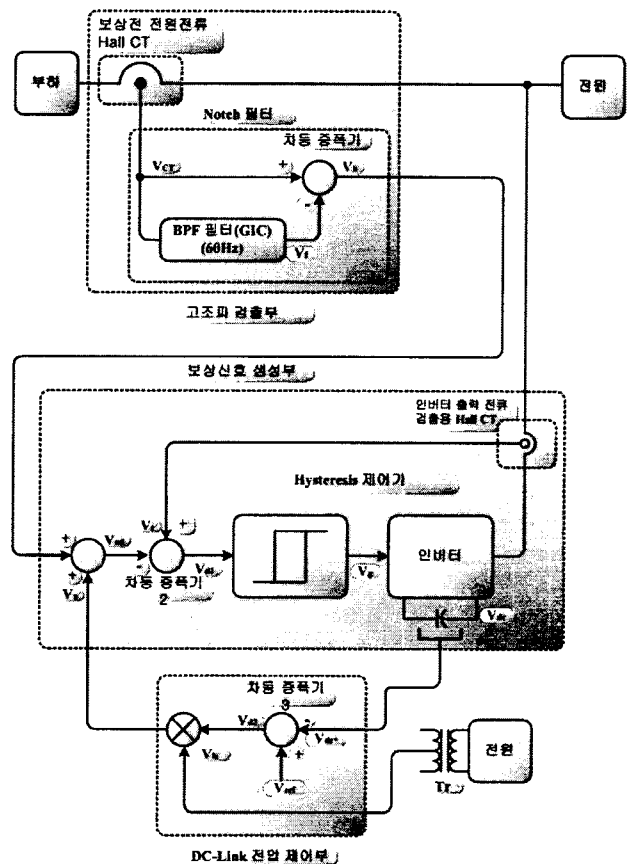


그림 3 제안한 고조파 제거 시스템의 구성
Fig. 3 Block diagram of proposed harmonic elimination system.

2.2.1 고조파 검출부

본 논문에서 제안하는 시스템은 비선형 부하로 인하여 발생하는 고조파전류(i_h)를 보상하는 것이 목적이다. 부하로 유입되는 전원전류(i_g)로부터 고조파 전류(i_h)를 검출하기 위하여 그림 4와 같은 고조파 검출부를 제안한다. 제안된 고조파 검출부는

전원 전류(i_s) 검출부와 대역 저지 필터부로 구성되어 있다.

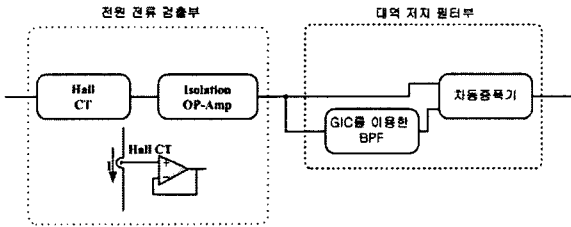


그림 4 제안하는 고조파 검출부의 구조
Fig. 4 Block diagram of proposed harmonic detection system.

그림 4의 대역 저지 필터부는 대역 통과 필터와 차동증폭 회로를 이용하여 구현하였다. 대역 통과 필터의 통과 대역을 전원 전류의 기본주파수로 설정하고 높은 첨예도를 유지시킨다면 차동 증폭 회로를 이용하여 보상전 전원 전류 검출부 출력에서 대역 통과 필터의 출력을 감산함으로써 위상의 변화가 거의 없는 고조파 성분만을 얻을 수 있다. 기존의 시스템에서 고조파 검출을 위해 사용되는 대역 통과 필터는 수동 소자만으로 구성하는 수동형과 OPAMP를 이용한 Twin-T형과 같은 능동형이 있는데 수동형은 L이 갖는 기생 커패시터성분으로 인해 정확한 대역폭과 중심주파수를 얻을 수 없었으며 기존에 사용되던 Twin-T형은 높은 첨예도를 구현할 수 없었다. 그러므로 본 논문에서는 대역 통과 필터를 수동형의 구조를 그대로 갖추는 대신 구현이 어려운 L을 GIC(Generalized Impedance Converter)로 대체하는 방식을 제안하였다.

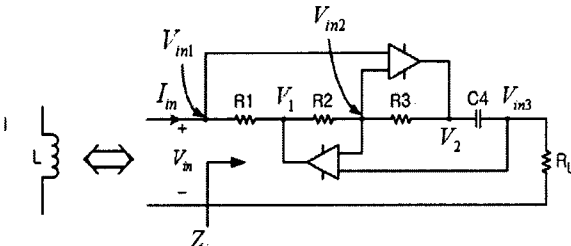


그림 5 GIC의 기본 회로
Fig. 5 Circuit diagram of the generalized impedance converter.

GIC는 연산 증폭기와 L을 제외한 수동 소자를 이용하여 L을 구현한 것으로 쉽게 정확한 L값을 얻을 수 있으며 기생성분에 의한 영향이 매우 적다. GIC의 기본회로는 그림 5와 같으며 입력에서 바라본 임피던스는 식(6)과 같다.

$$Z_e = \frac{R_1 R_3 R_L C_4}{R_2} s = L_{eq} s \quad (6)$$

즉, GIC의 임피던스는 L의 임피던스와 같은 형태로 나타나므로 GIC는 L로 대체 될 수 있다. 그림 6은 고조파 검출부의 시뮬레이션을 위한 전체 회로도이고 그림 7은 이 회로의 주파수 특성이다. GIC 필터의 공진 주파수를 60Hz로 설정하였기 때문에 60Hz만 제거된 형태의 주파수 특성을 갖는다. 따라서 GIC 필터에 의해 설정된 주파수만을 제외시키고 나머지 주파수 성분이 통과하는 대역 저지 필터를 구현할 수 있다. 제안한 대역

저지 필터와 기존의 방식인 Twin-T형 대역 저지 필터의 성능 비교를 위해 Twin-T형 대역 저지 필터를 이용한 고조파 검출부의 시뮬레이션을 수행하였다.

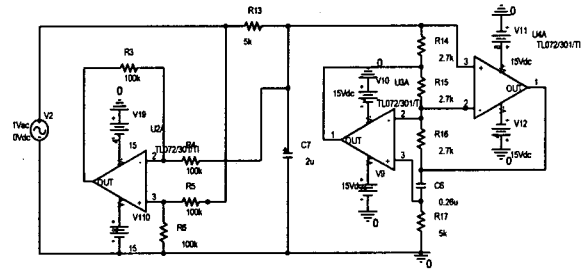


그림 6 고조파 검출부의 시뮬레이션 회로도
Fig. 6 Circuit diagram of harmonic detection system using the GIC for a simulation.

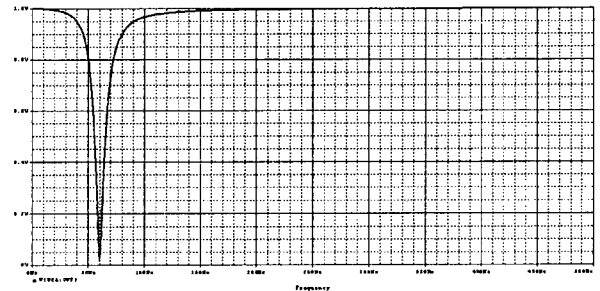


그림 7 고조파 검출부의 주파수 특성
Fig. 7 Frequency response of proposed harmonic detection system.

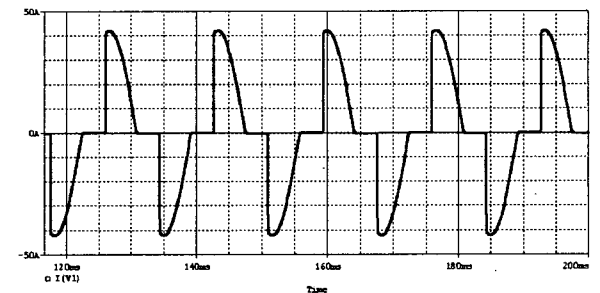


그림 8 시뮬레이션을 위한 전원 전류
Fig. 8 Waveform of source current for a simulation.

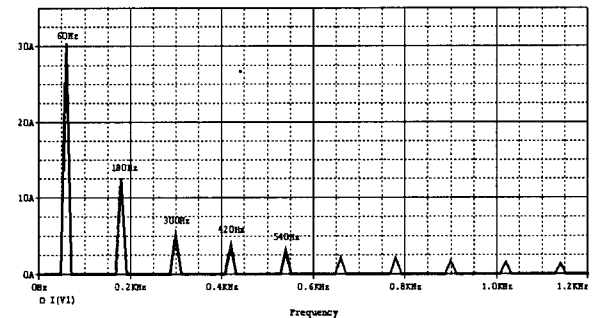


그림 9 전원 전류의 주파수 특성
Fig. 9 Spectrum of the source current.

그림 8은 전원 전류의 Peak 값이 42A인 전원 전류파형이며, 그림 9는 전원 전류의 주파수 분석 결과로 전류가 기본파와 홀수 고조파 성분으로 이루어져 있음을 알 수 있다.

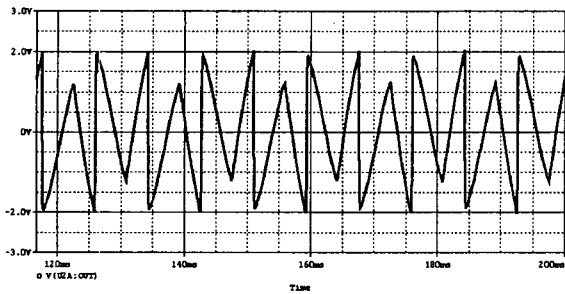


그림 10 제안한 대역 저지 필터의 출력
Fig. 10 Output waveform of proposed harmonic detection system.

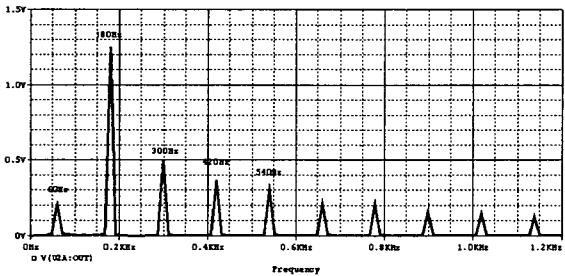


그림 11 제안한 대역 통과 필터 출력의 주파수 특성
Fig. 11 Spectrum of the output waveform using proposed system.

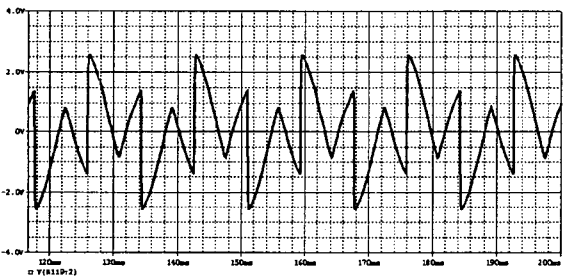


그림 12 Twin-T형 대역 저지 필터의 출력
Fig. 12 Output waveform of conventional harmonic detection system.

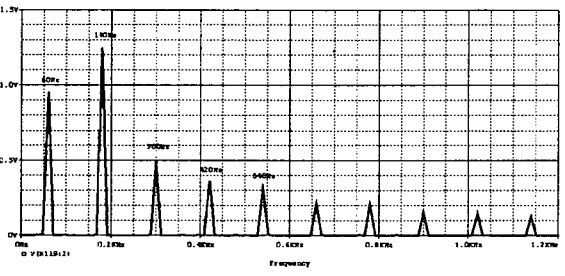


그림 13 Twin-T형 대역 저지 필터 출력 주파수 특성
Fig. 13 Spectrum of the output waveform using conventional system.

그림 10은 제안한 대역 저지 필터의 출력 전압이며 그림 11은 대역 저지 필터의 출력 전압을 주파수 분석결과이다. 그림 12와 13은 각각 Twin-T 형 대역 저지 필터의 출력 전압 및 주파수 특성이다. 제안한 대역 저지 필터보다 첨예도가 낮아 출력 전압에 60Hz 성분이 많이 포함되어 있는 것을 알 수 있다.

2.2.2 보상전류 생성부

보상전류 생성부는 히스테리시스 제어기와 인버터로 나눌 수 있다.



그림 14 보상전류 생성부의 구성도
Fig. 14 Block diagram of the compensating current generator.

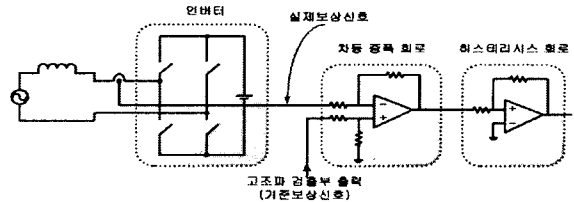


그림 15 히스테리시스 제어기 회로도
Fig. 15 Circuit diagram of the hysteresis controller.

출력전류를 제어하는 방법은 여러 가지가 있지만 본 연구에서는 가장 기본적이고 널리 쓰이는 히스테리시스 제어를 이용한 전류 제어 PWM(Current-Regulated PWM)방식을 채택하였다. 히스테리시스 제어기는 그림 14와 같으며 차동증폭기와 히스테리시스 회로로 이루어진다. 차동증폭기는 고조파 출력과 인버터에 의해 발생된 보상전류와 차를 출력하여 히스테리시스 입력에 인가한다. 그림 15는 히스테리시스 제어기의 회로도이다.

2.2.3 DC-Link 전압 제어부

그림 16은 DC-Link 전압 제어부의 구성도이며 DC-link 전압 제어부는 오차 검출부와 곱셈부로 구성되어진다. 그림 17은 DC-link 전압 제어부의 회로도를 나타내고 있다. 오류 검출부는 인버터의 커패시터 전압(V_{dc})을 전압 분배한 전압(V_c)을 검출하고 그 값과 기준전압(V_r) 과의 차를 출력한다.

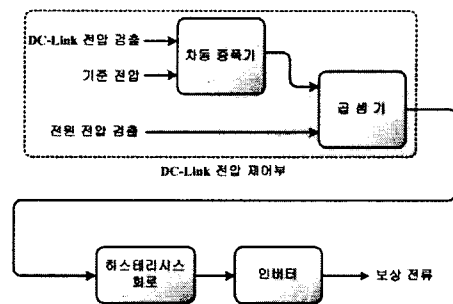


그림 16 DC-Link 전압 제어부의 구성도
Fig. 16 Block diagram of the DC-link voltage controller.

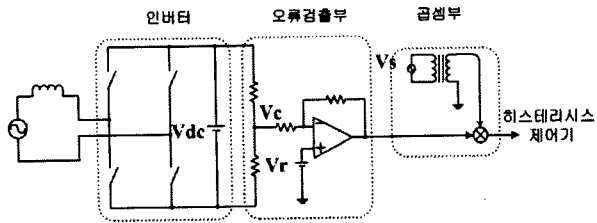


그림 17 DC-Link 전압 제어부 회로도
Fig. 17 Circuit diagram of the DC-link voltage controller.

DC-link 전압제어부의 출력은 인버터의 스위칭 D(Duty ratio)를 조절하므로 D는 식(7)과 같이 표현되어 질 수 있다.

$$D = \frac{1}{2} - \frac{1}{2} (k \cdot \sin \omega t - \alpha \cdot \sin \omega t) \quad (7)$$

k는 1과 0사이의 값으로 V_{dc} 전압에 의해 결정되며 α 는 DC-link 전압제어부의 출력에 의해 결정된다. k, α 와 V_{dc} 의 관계는 식 (8)과 같다.

$$V_{dc} = \frac{V_m}{k - \alpha} \quad (8)$$

D는 식(9)로도 표현될 수 있으며 V_m 은 전원전압의 크기 (amplitude)이며 V_{dc} 는 DC-Link 전압이다.

$$D = \frac{1}{2} - \frac{V_s}{2V_{dc}} \quad (9)$$

즉, V_{dc} 가 V_s 의 피크값 보다 작으면 D가 1이상이거나 0이인 구간이 발생하고 이 구간에서는 제어 불능 상태가 된다. 따라서 V_{dc} 는 반드시 V_s 의 peak 값 보다는 커야한다.

2.3 실험결과 및 검토

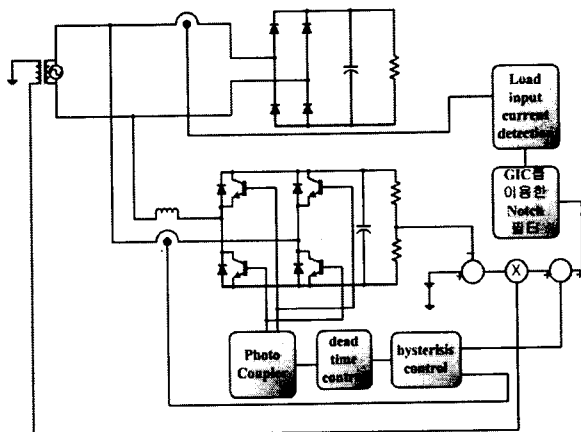


그림 18 실험을 위한 전체 회로도
Fig. 18 Block diagram of the proposed harmonics elimination system.

220Vrms/60Hz의 전원전압에 2종류의 부하를 각각 연결하여 제안한 고조파 제거 시스템의 성능을 실험하였다. 부하로는 전파정류 후 저항과 커패시터를 연결한 부하A(약 380Watt)와 전파정류 후 저항과 인덕터를 연결한 부하B(약 400Watt)를 제작하여 실험에 사용하였다. 그림 18에 실험을 위한 전체 회로도를 표시하였다. 그림 18에서 인버터에서 사용한 IGBT는 페어차일드사의 G60N90이며 인버터의 출력 L은 80mH로 사용하였다.

그림 19는 고조파 제거 시스템을 적용시키기 전 부하A로 유입되는 전원 전류의 파형이며 그림 20은 부하A에 대한 고조파 검출부의 출력이다.

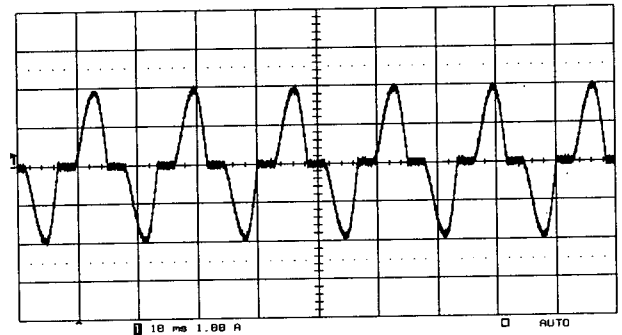


그림 19 부하A 입력 전류 파형(1A/div, 10ms/div)
Fig. 19 Input current with a load A. (1A/div, 10ms/div)

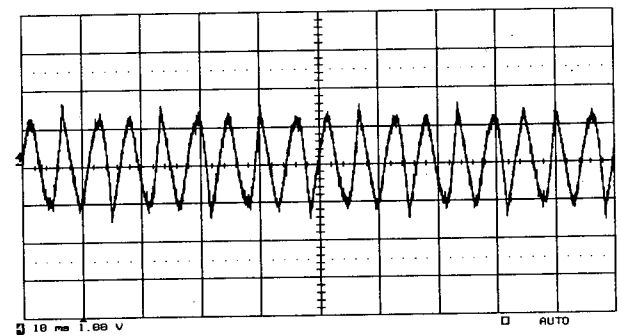


그림 20 부하A에 대한 고조파 검출부의 출력(1V/div, 10ms/div)
Fig. 20 Output waveform of the harmonic detection system with capacitive load. (1V/div, 10ms/div)

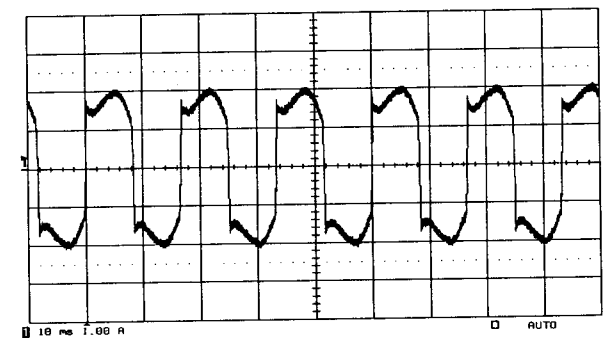


그림 21 부하B 입력 전류 파형(1A/div, 10ms/div)
Fig. 21 Input current with a load B. (1A/div, 10ms/div)

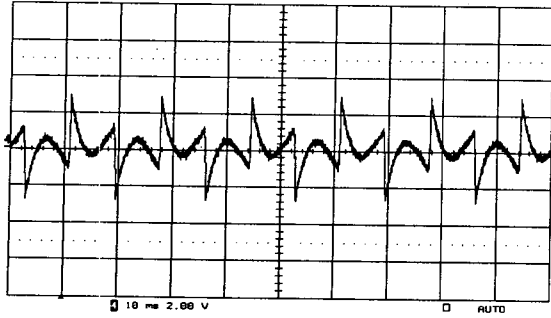


그림 22 부하B에 대한 고조파 검출부의 출력(1V/div, 10ms/div)
 Fig.22 Output waveform of the harmonic detection system with inductive load. (1V/div, 10ms/div)

그림 21은 부하B의 경우 고조파 제거 시스템을 적용시키기 전 비선형 부하로 유입되는 전원 전류의 파형이며 그림 22는 고조파 검출부의 출력이다.

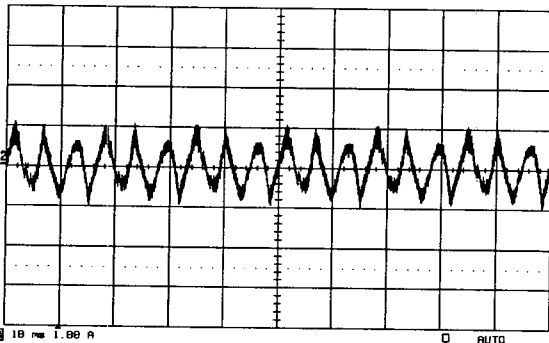


그림 23 부하A에 대한 고조파 제거 시스템의 출력 전류 (1A/div, 10ms/div)
 Fig. 23 Compensating current of the proposed harmonic elimination system with capacitive load.(1A/div, 10ms/div)

그림 23은 그림 20에 의해 고조파 제거 시스템의 인버터에서 생성된 출력 전류로서 전원 전류 고조파와 위상차가 180도이며 크기는 같다. 이 전류가 전원측에 유입되어 그림 24에서와 같이 전원측 전류의 파형으로 고조파 성분이 제거되었다.

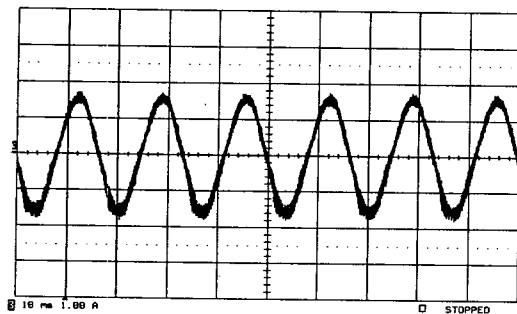


그림 24 부하A에 대한 보상후 전원측 전류 파형 (1A/div, 10ms/div)
 Fig. 24 The source current after compensation with capacitive load.

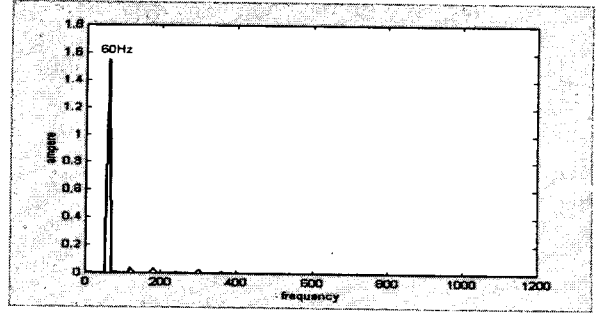


그림 25 부하A에 대한 보상후 전원측 전류의 주파수 특성
 Fig. 25 Spectrum of the source current after compensation with capacitive load.

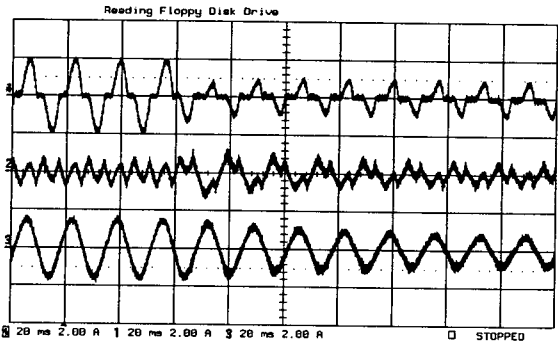


그림 26 부하A에서 부하 변동에 따른 고조파 제거 시스템의 응답특성 (2A/div, 20ms/div)
 Fig. 26 The transition response of the proposed system.

그림 25는 보상된 전원측 전류 파형인 그림24의 결과를 주파수 분석한 것이다. 고조파가 제거되었음을 확인할 수 있다.그림 26은 정상상태에서 부하의 전류가 갑작스런 변동을 일으켰을때의 특성을 나타내고 있다. 순간적인 부하 변동시에도 정상적인 응답특성을 보임으로서 본 논문에서 제안한 방식의 제어부의 응답속도가 과도상태에 대처할 만큼 충분히 빠르다는 것을 알 수 있다. 그림 27은 그림 22에 의해 고조파 제거 시스템의 인버터에서 생성된 출력 전류이며 그림 28은 고조파가 제거된 전원전류의 파형이다. 그림 29는 그림 28을 주파수 분석한 것으로서 고조파가 제거되었음을 확인할 수 있다.

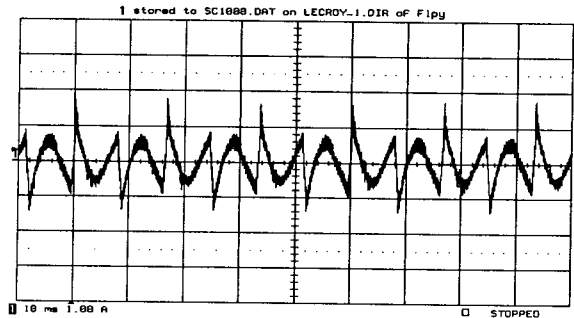


그림 27 부하B에 대한 고조파 제거 시스템의 출력 전류 (1A/div, 10ms/div)
 Fig. 27 Compensating current of the proposed harmonic elimination system with inductive load.(1A/div, 10ms/div)

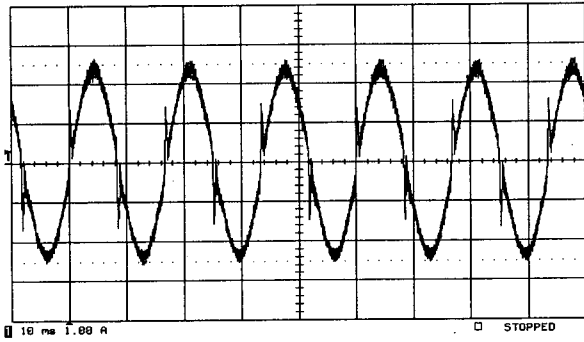


그림 28 부하B에 대한 보상후 전원측 전류
 Fig. 28 The source current after compensation with inductive load.

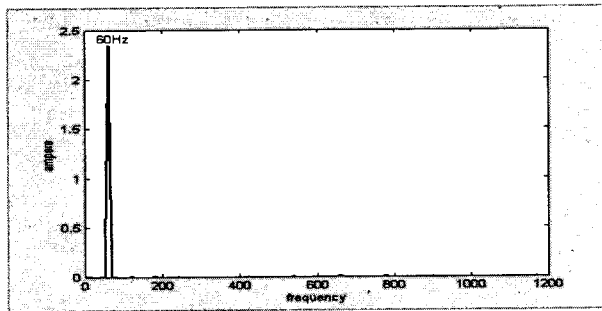


그림 29 부하B에 대한 보상후 전원측 전류의 주파수 특성
 Fig. 29 Spectrum of the source current after compensation with inductive load.

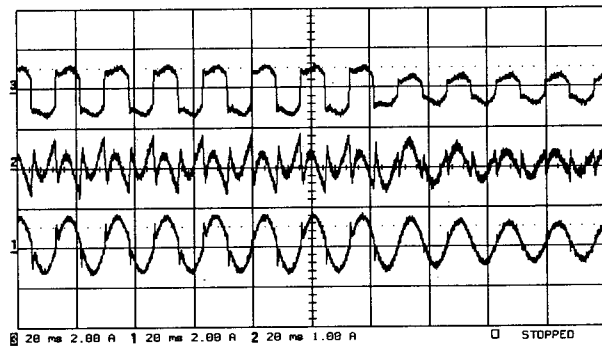


그림 30 부하B에서 부하 변동에 따른 고조파 제거 시스템의 응답특성
 Fig. 30 The transition response of the proposed system.

그림 30은 정상상태에서 부하의 전류가 갑작스런 변동을 일으켰을때의 특성을 나타내고 있으며 부하A의 결과와 마찬가지로 정상적인 응답특성을 보임으로서 본 논문에서 제안한 방식의 제어부의 응답속도가 과도상태에 대처할 만큼 충분히 빠르다는 것을 알 수 있다. 단상 전파 정류기 말단에 저항과 커패시터를 연결한 경우(부하A)의 보상전 전원 전류와 단상 전파 정류기 말단에 저항과 인덕터 그리고 커패시터를 연결한 경우(부하B)의 보상전 전원 전류는 기본파 성분 및 홀수 고조파 성분들로 이루어져 있으며 이들 성분의 크기에 의해 THD가 결정된다. 표 1과 2는 각각 부하A와 부하B에 대한 전원측 전류의 보상전과 후의

특성을 나타내고 있다. 제안한 능동전력 필터로 전원측 전류를 보상한 후에는 부하 A의 경우 THD가 7.19%로 부하 B의 경우 3.46%로 줄었다. 가장 장애를 많이 일으키는 것으로 알려진 3 고조파는 부하 A의 경우 3.92%로 부하 B의 경우 1.42%로 줄었다. 고조파의 제거로 인하여 역을 또한 약간씩 개선되었음을 알 수 있다.

표 1. 부하A에 대한 전원측 전류의 보상전과 후의 특성
 Table 1. The comparison of the harmonic current before compensation and after with capacitive load

부하 A 전류 피크값	THD	3rd	5rd	7rd	9rd	PF	
1.6A	보상전 (%)	60.22	56.88	14.87	10.91	5.19	0.8194
	보상후 (%)	7.19	3.92	2.91	1.83	1.77	0.9676
1A	보상전 (%)	67.12	61.92	20.38	12.13	8.01	0.7941
	보상후 (%)	8.62	4.33	2.67	1.81	0.82	0.9411

표 2. 부하B에 대한 전원측 전류의 보상전과 후의 특성
 Table 2 The comparison of the harmonic current before compensation and after with inductive load

부하 B 전류 피크값	THD	3rd	5rd	7rd	9rd	PF	
1.9A	보상전 (%)	23.5	9.8	6.0	5.97	4.62	0.8927
	보상후 (%)	3.46	1.42	1.18	0.59	0.37	0.9442
0.6A	보상전 (%)	13.2	9.3	5.1	5.3	3.4	0.92
	보상후 (%)	5.00	1.40	1.09	1.07	0.86	0.9355

실험결과 본 논문에서 제안된 고조파 검출회로는 충분한 응답속도와 정밀도를 가지며 기존의 Twin-T 회로보다 고조파 검출 능력이 우수함을 확인 하였다. 또한, 본 논문에서 제안한 고조파 검출회로를 적용하여 제작한 고조파 제거 시스템이 충분히 고조파를 제거할 수 있음을 확인 하였다.

3. 결 론

제안된 고조파 검출부를 포함한 제어부를 아날로그 방식으로 사용하여 설계가 쉽고 비용이 적게 드는 고조파 제거 시스템을 구현하였다. 제안한 고조파 제거 시스템은 고조파 검출부, 전류 제어 PWM부, DC- Link 전압 제어부로 구성되어 있으며 고조파 검출부에서 기존의 아날로그 방식이 가지는 단점을 GIC를 통해 극복하였다. 제안된 고조파 검출회로는 기존의 회로보다 고조파 검출능력이 우수하며 설계하기 쉽고 저렴하다. 2종류의 부하 조건에서 제안된 방식의 고조파 제거 시스템에 대한 실험을 통하여 성능의 우수성을 확인하였다.

감사의 글

본 논문은 산업자원부 전력기술기초연구사업(기초전력연구소 주관)의 지역거점 핵심과제 연구비 지원에 의하여 연구되었음.

참 고 문 헌

- [1] Bakhshai, A.R.; Karimi, H.; Saedifard, M.; "A new adaptive harmonic extraction scheme for single-phase active power filters", Circuits and Systems, 2003. ISCAS '03. pp.268 - 271 vol.3 , May 2003.
- [2] M. E. Amoli and T. Florence, "Voltage and current harmonic content of a utility system -A summary of 1120 test measurement," IEEE Trans, Power Delivery, vol. 5, pp. 1552-1557, July. 1990.
- [3] A. C. Liew, " excessive neutral currents in three-phase fluorescent lighting circuits, " IEEE Trans. Ind. Applicat., vol. 25, pp. 776-782, Aug. 1989.
- [4] T. M. Gruz, " A survey of neutral currents in three-phase computer power systems. " IEEE Trans. Ind. Applicat., vol. 26, pp. 719-725, Aug. 1990.
- [5] Serena, S., Chongming Qiao, Smedley, K.M., "A single-phase active power filter with double-edge integration control", Industrial Electronics Society, 2001. IECON '01. The 27th Annual Conference of the IEEE, Vol 2, pp.949-953, 29. Nov.-2 Dec. 2001.
- [6] J.S. Tepper, J. W. Dixon, G. Venegas, and L. Moran, "A simple frequency independant method for calculating the reactive and harmonic current in a nonlinear load", IEEE Trans. Ind. Electron., Vol 43, pp.647-654, Dec, 1996.
- [7] S. D. Round and D.M.E. Ingram, "An Evaluation of Techniques for determining active filter compensation currents in unbalanced systems," EPE97 Trondheim, Vol. 4, pp. 767-772.
- [8] C.Y.Hsu and H.Y.Wu, "A new single-phase active power filter with reduced energy-storage capacity," IEE Proc. Electron Power Applicat. Vol. 143, No. 1, pp 25-30, Jan. 1996.
- [9] H.Karimi et al. "An Adaptive filter for synchronous Extraction of Harmonics and Distortions", Accepted and will be published in IEEE Trans. on Power Energy Systems.

저 자 소 개



정 동 열 (鄭 東 烈)

1973년 11월 29일생. 1998년 2월 강원대학교 전기공학과 졸. 2000년 2월 강원대학 대학원 졸(석사). 2004년 8월 강원대학 대학원 졸(박사)



박 종 연 (朴 鍾 演)

1951년 2월 23일생. 1973년 고려대학교 전자공학과 졸. 1980년 경북대 대학원 졸(석사). 1984년 경북대 대학원 졸(박사). 1973~1977년 KIST 연구원. 1977~1984년 울산 공대 조교수, 부교수. 1984년~현재 강원대학교 전기전자정보통신공학부 교수



김 상 훈 (金 相 勳)

1987년 서울대 전기공학과 졸. 1989년 서울대 대학원 졸(석사). 1994년 서울대 대학원 졸(박사). 1994.8 ~1995.11 대우 고등기술 연구원 선임연구원. 1995.12 ~ 1997.2 대우 중공업 철도 차량 연구소 선임연구원, 1997년 3월 ~ 현재 강원대학교 전기전자정보통신공학부 부교수



최 원 호 (崔 原 豪)

1977년 1월 2일생. 2002년 2월 강원대학교 전기공학과 졸. 2004년 2월 강원대학 대학원 졸(석사). 2004년 3월 ~ 현재 강원대학 대학원 박사 과정