



Co/Ni 복합 실리사이드 제조 온도에 따른 측벽 스페이서 물질 반응 안정성 연구

송오성*, 김상엽, 정영순

서울시립대학교 신소재공학과

Reaction Stability of Co/Ni Composite Silicide on Side-wall Spacer with Silicidation Temperatures

Ohsung Song*, Sangyeob Kim, Youngsoon Jung

Dept. of Materials Science and Engineering, University of Seoul, Cheonnong-dong,
 Tongdaemun, Seoul 130-743, Korea

(Received 20 May 2005 ; accepted 17 June 2005)

Abstract

We investigate the reaction stability of cobalt and nickel with side-wall materials of SiO_2 and Si_3N_4 . We deposited 15 nm-Co and 15 nm-Ni on $\text{SiO}_2(200 \text{ nm})/\text{p-type Si}(100)$ and $\text{Si}_3\text{N}_4(70 \text{ nm})/\text{p-type Si}(100)$. The samples were annealed at the temperatures of 700~1100°C for 40 seconds with a rapid thermal annealer. The sheet resistance, shape, and composition of the residual materials were investigated with a 4-points probe, a field emission scanning electron microscopy, and an AES depth profiling, respectively. Samples of annealed above 1000°C showed the agglomeration of residual metals with maze shape and revealed extremely high sheet resistance. The Auger depth profiling showed that the SiO_2 substrates had no residual metallic scums after H_2SO_4 cleaning while Si_3N_4 substrates showed some metallic residuals. Therefore, the SiO_2 spacer may be appropriate than Si_3N_4 for newly proposed Co/Ni composite silicide process.

Keywords : Cobalt nickel silicide, Composite silicide, Side-wall material, SiO_2 , Si_3N_4

1. 서 론

반도체 소자의 고집적, 고속도화 추세에 따라 반도체 소자의 크기가 지속적으로 감소하고 소자의 최소선폭이 100 nm 이하로 줄어들면서 저항 증가가 최소화되어 고속 동작이 가능하면서, 공정시 식각 선택성을 가진 실리사이드 물질에 관한 연구가 필요하게 되었다.

특히 MOSFET(metal-oxide semiconductor filed effect transistor)의 소오스, 드레인과 게이트 상부를 마스크 공정 없이 동시에 선택적으로 실리사이드화하는 살리사이드(salicide)공정이 개발되어 대부분의 CMOS공정에 채택되고 있고, 최근에는 나노급 미

세소자에 적합한 실리사이드 물질의 개발을 요구한다^{1,2)}.

최근 집적도가 증가한 최소선폭 100 nm급 CMOS 소자에 탑재하기 위한 실리사이드는 약 15 nm 두께 정도로 얇고, 공정 중 열에 의한 잔류 스트레스가 적으며, 전기적으로 응집현상이 없어 저 저항을 유지하고, 후속 열처리 공정에도 안정한 상을 유지할 수 있는 특성이 요구한다.

이러한 목적을 달성하기 위한 기존의 고집적 소자용 실리사이드 물질로는 CoSi_2 와 NiSi 가 있다. CoSi_2 는 현재 가장 보편적으로 사용되는 실리사이드 물질이고 면저항이 10~15 $\mu\Omega \cdot \text{cm}$ 로 우수한 물질로서 면저항의 선폭 의존성이 없는 장점은 있으나, Co의 불균일한 확산반응으로 균일한 실리사이드 두께를 얻는데 기술적인 어려움이 있었다. 특

*Corresponding author. E-mail : songos@uos.ac.kr

히, 자연산화막이 있는 경우 실리사이드 반응이 일어나기 어려워져 과도한 클리닝 공정이 필요하고, CoSi₂형성 시 상대적으로 많은 양의 Si를 소모하기 때문에 shallow junction transistor와 같은 차세대 디바이스를 위해서는 적합하지 않은 단점이 있었다^{3,6)}.

비교적 최근에 개발된 니켈모노실리사이드는 선평이 0.1 μm 이하에서도 면저항이 커지는 현상이 없고, Ni과 Si이 1:1로 반응하기 때문에 1:2로 반응하는 기존 disilicide 재료에 비해 상대적으로 얇은 실리사이드의 제조가 가능하며 이로 인하여 도펀트의 재분포 현상을 감소시킬 수 있는 장점이 있다. 반면에 700°C 이상에서는 고저항의 NiSi₂로 상변화를 일으켜 공정시의 온도 제한범위가 있는 치명적인 단점이 있었다^{7,8)}.

전술한 기존 실리사이드 중에서도 각 단상실리사이드의 장점만을 취합할 수 있는 합금형, 적층형 구조로부터 개선된 열적 안정성을 가진 복합실리사이드의 제조가 가능하다. 최근에 송오성 등⁹⁾은 나노 두께의 Co와 Ni의 적층형 또는 합금박막으로부터 고온까지 저 저항이 유지되며 얇은 두께를 구현하는 복합실리사이드의 개발을 통해 기존 단상 실리사이드보다 고온에서 안정한 실리사이드를 구현 할 수 있었다.

그러나 새로 제안된 실리사이드가 양산공정으로 채택되기 위해서는 전 후 공정의 접합도가 확인되어야 한다. 예를 들어, 게이트 양측 면에 절연막질을 기판 전면에 증착하고 건식 식각하여 게이트 양측 면에 측벽(side-wall)을 만드는 살리사이드 공정에서, 실제로 증착한 금속이 열처리 과정에서 실리사이드가 형성되어야 하는 게이트와 소스/드레인부 뿐만 아니라 실리콘 절연물 측벽 스페이서에도 반응을 하여 예기치 못한 반응 부산물을 형성할 가능성이 존재한다. 실제로, 티타늄실리사이드의 경우 살리사이드화 공정 중 측벽물질과 반응을 하여 전도성의 TiO_x나 TiSi_x 등의 화합물을 생성시키고 이어서 미반응 금속 층의 선택적 에칭시 이들이 제대로 제거되지 않아 게이트와 소스/드레인부가 전기적으로 short를 일으키기도 하는 것으로 알려졌으며¹⁰⁾, 안영숙 등¹¹⁾은 니켈실리사이드의 경우에 750°C 이상의 실리사이드화 처리시 수십 nm의 NiO_x 반응층이 형성되어 절연특성을 저하시킬 가능성을 보고한 바 있다.

따라서 제안한 바와 같이 새로운 코발트 니켈 복합실리사이드를 채용하여 살리사이드공정을 진행할 경우에는 기존의 공정에 사용되는 측벽 물질 또는 필드 지역의 절연층인 SiO₂ 혹은 Si₃N₄와의 잔류금

속과의 반응성의 확인이 필요하다.

본 연구에서는 SiO₂와 Si₃N₄가 각각 측벽 스페이서 또는 필드 지역의 절연층으로 채용된 경우를 상정하고, 기판전면에 SiO₂와 Si₃N₄를 각각 성막하고 15 nm-Co/15 nm-Ni를 증착시킨 후 패속열처리 온도를 700~1100°C까지 변화시키면서 이때 CoNi/SiO₂와 CoNi/Si₃N₄ 간의 계면 반응을 조사함으로써 제안된 코발트 니켈 복합실리사이드 공정 개발을 위한 기초 연구를 수행하였다.

2. 실험방법

실험에 사용된 기판은 직경 100 mm의 p-type (100) 실리콘으로, 기판 전면에 SiO₂막은 1000°C에서 H₂ gas 6.75 slpm, O₂ gas 4.5 slpm의 속도로 흘러주면서 열산화하여 200 nm 두께의 SiO₂막을 성장시켜 준비하였다. 또한 Si₃N₄막은 785°C에서 Si₂Cl₂와 NH₄ gas를 사용하여 LPCVD(low pressure chemical vapor deposition) 방법을 사용하여 70 nm 두께의 Si₃N₄막을 성장시켜 준비하였다. 완성된 각 박막의 두께는 Ellipsometer로 확인하였다.

이후의 실험과정을 그림 1에 간단하게 나타낸 바와 같이, 절연층이 생성된 각 기판에 열증착기를 사용하여 15 nm-Co와 15 nm-Ni을 순차적으로 연속하여 증착하였다. 금속 층이 적층으로 증착된 시편은 패속열처리를 사용하여 700, 800, 900, 1000, 그리고 1100°C의 온도에서 40초간 열처리 하였고, 열처리 직후의 여러 후속 분석 후에 시편의 잔류 금속을 제거하기 위하여 80°C의 30% H₂SO₄ 용액에 10분간 산처리 하였다.

각각의 시편은 공정을 진행하면서 온도에 따라 면저항의 변화를 살펴보기 위해 사점저항측정기를

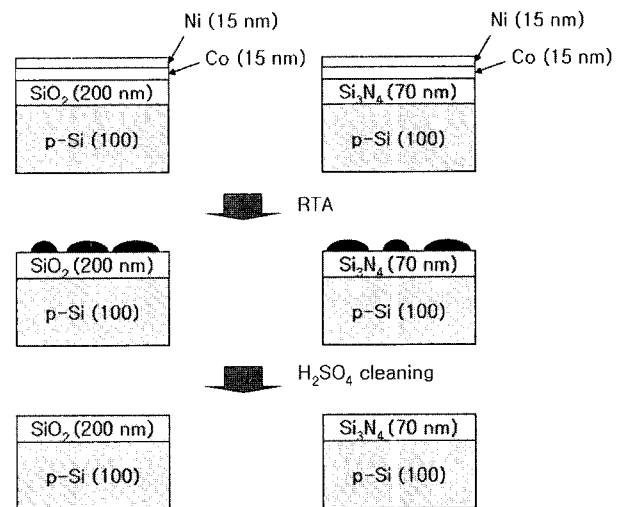


Fig. 1. Illustration of the experimental process.

사용하여 면저항을 측정하였다. 또한 열처리 후 산처리 전후의 잔류금속 이미지와 스킴의 정도를 FE-SEM을 사용하여 살펴보았다. 산처리가 완료된 시편에 대해서 잔류금속이 절연층과의 반응정도를 두께에 따라 알아보기 위해 AES depth profiling을 실시하였다. 측정에 사용된 AES(Auger electron spectroscopy)는 Perkin-Elmer사로서 각 어닐링 온도에 따라 Co, Ni, Si, O, N의 조성변화를 표면부로부터 측정하여 비교하였다. 이때의 스퍼터링 레이트는 SiO₂를 기준으로 7 nm/min.로 하여 모든 시편에 대해 동일하게 측정하였다.

3. 결과 및 고찰

3.1 면저항 측정 결과

SiO₂와 Si₃N₄ 두 기판에 열처리 온도를 달리하여 제조한 시편의 면저항 측정값은 표 1에 나타내었다. 700°C 온도에서 열처리한 시편의 경우 Si₃N₄ 기판에 Co/Ni를 증착하여 열처리한 시편의 다소 낮은 면저항 값을 보이는 것을 확인할 수 있었다. 이는 Si₃N₄ 위의 잔류금속이 컷음이 잘되어 전도성 금속 채널을 잘 형성하였기 때문이라고 생각된다.

800°C 이상의 고온에서 열처리한 시편의 경우 Co/

Table 1. Sheet resistance of the metals on Co/Ni/SiO₂ and Co/Ni/Si₃N₄ at a given silicidation temperature

	As-depo.	700°C	800°C	900°C	1000°C	1100°C
SiO ₂	10.2 Ω/sq.	19.4 Ω/sq.	-	-	-	-
Si ₃ N ₄	10.6 Ω/sq.	8.1 Ω/sq.	-	-	-	-

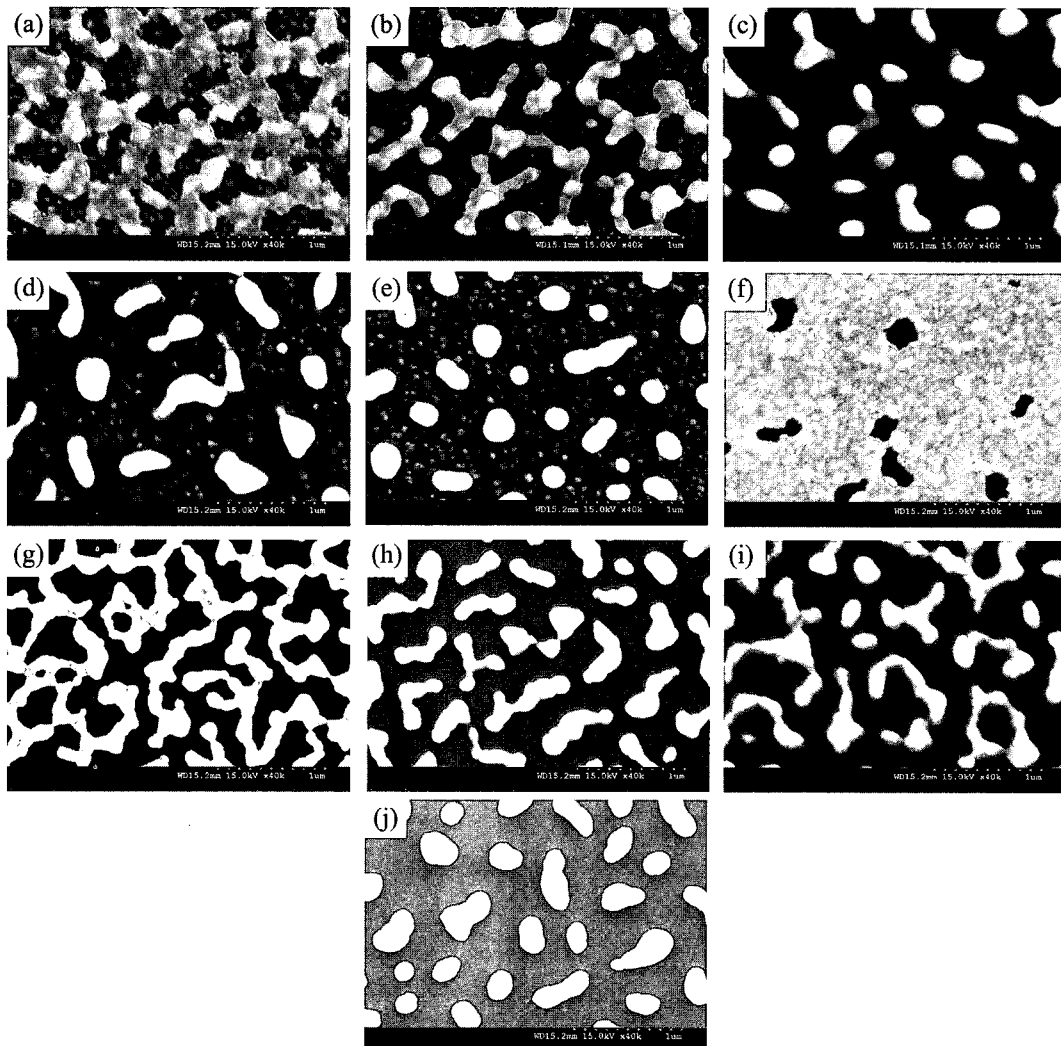


Fig. 2. FE-SEM images of (a)~(e) Co/Ni/SiO₂ and (f)~(j) Co/Ni/Si₃N₄ specimen. Each samples annealed by RTA with temperatures of (a)·(f) 700°C, (b)·(g) 800°C, (c)·(h) 900°C, (d)·(i) 1000°C, and (e)·(j) 1100°C.

Ni이 금속층의 응집에 의해 사점저항측정기의 탐침이 금속 층에 연결되지 못했다고 판단하였다.

3.2 FE-SEM 분석 결과

그림 2에는 FE-SEM으로 측정된 기판별 온도별 표면 이미지를 나타내었다. 그림 2(a)~(e)에는 기판이 SiO₂일 경우 Co/Ni을 증착한 후 700~1100°C로 40초간 열처리한 경우의 이미지를 나타내었다. 밝게 보이는 부분이 Co/Ni의 합금이고 어둡게 보이는 부분이 하부 기판인 SiO₂이다. 열처리 온도가 높아짐에 따라 Co/Ni은 서로 응집되어 처리온도가 높아질수록 미로형에서 고립된 형태로 변화하게 된다. 계속 온도가 높아지면서 퍼져있던 Co/Ni이 1000°C 이상에서는 거의 구형의 형태로 변화되는 것을 보이고 있다. 이러한 특성 때문에 전기저항이 800°C 이상에서는 측정이 안 된 것으로 판단하였다.

그림 2(f)~(j)는 기판이 Si₃N₄일 경우 Co/Ni을 증착후 같은 방법으로 열처리한 경우의 이미지이다. 이미지에서 밝게 보이는 부분이 증착된 Co/Ni이고 어두운 부분이 하부 기판인 Si₃N₄이다. FE-SEM 이미지로부터 Co/Ni은 SiO₂가 절연층인 경우에서 보다 작은 응집을 확인할 수 있었으며, 그 이유는 젖음성(wetting) 정도가 Si₃N₄보다 나빠서 젖음 각이 큰 구형의 응집이 쉽게 발생한다고 할 수 있었다. 따라서 젖음 성이 상대적으로 우수한 Si₃N₄ 기판에서는 상대적으로 잔류금속과의 반응이 진행될 유효 면적과 확률이 크다고 예상하였다.

그림 3에는 열처리 된 시편을 반도체공정에서 통상적으로 금속을 제거하기 위한 공정인 H₂SO₄:DI = 1:3 용액으로 80°C에서 10 min.간 크리닝한 후의

잔류금속의 표면 형상을 열처리 온도에 따라 FE-SEM으로 측정된 결과를 나타내었다. (a), (d)는 700°C, (b), (e)는 900°C, 그리고 (c), (f)는 1100°C에서 각각 열처리한 시편이다.

그림 3의 (a)~(c)는 기판이 SiO₂일 경우로 표면에 금속이 응집되었던 흔적인 스컴이 보이고 있지만, 금속이 실제로 남아 있는지는 확인이 불가능하였다. (d)~(f)는 기판이 Si₃N₄일 경우의 표면 형상을 나타내는데, SiO₂와는 다르게 비교적 잔류금속의 형상이 보이지 않고 있다. 처리 온도가 올라갈수록 SiO₂ 기판에는 스컴이 점점 더 많이 남았고 Si₃N₄에는 잔류금속의 스컴이 전자현미경으로는 보이지 않았다.

따라서 SiO₂를 스페이서로 채용하는 경우 기존의 황산처리 외에 표면에 생성된 스컴을 제거하기 위한 새로운 습식 클리닝 공정이 수반될 필요가 있었다.

3.3 AES depth profiling 결과

SiO₂와 Si₃N₄ 기판에 Co/Ni을 증착하고 700~1100°C에서 열처리 한 후 H₂SO₄:DI(1:3) 용액으로 산처리하여 잔류 금속을 제거한 시편의 AES depth profiling한 결과를 그림 4에 나타내었다. (a)와 (c)는 하부 기판이 SiO₂일 경우로 700°C와 1100°C에서 측정된 결과를 나타내고 있다. 표면에서부터 약 30 nm 정도의 두께까지 금속성분은 거의 검출되지 않아 비록 전자현미경에서 스컴이 관찰되었지만, 이 스컴은 SiO₂ 절연층 내부로의 확산은 일어나지 않았다고 판단하였다.

그림 4(b)와 (d)는 하부 기판이 Si₃N₄일 경우로 동일하게 700°C와 1100°C일 때의 표면으로부터 각 원

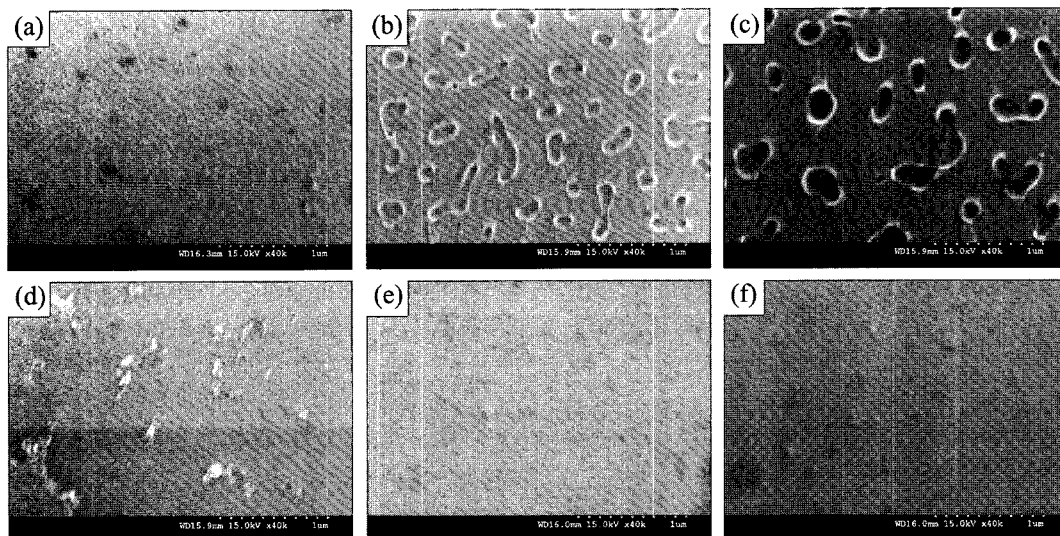


Fig. 3. FE-SEM images of (a)~(c) Co/Ni/SiO₂ and (d)~(f) Co/Ni/Si₃N₄ specimen cleaned by H₂SO₄-80°C 10 min. Each samples annealed by RTA with temperature of (a)·(b) 700°C, (b)·(e) 900°C, and (c)·(f) 1100°C.

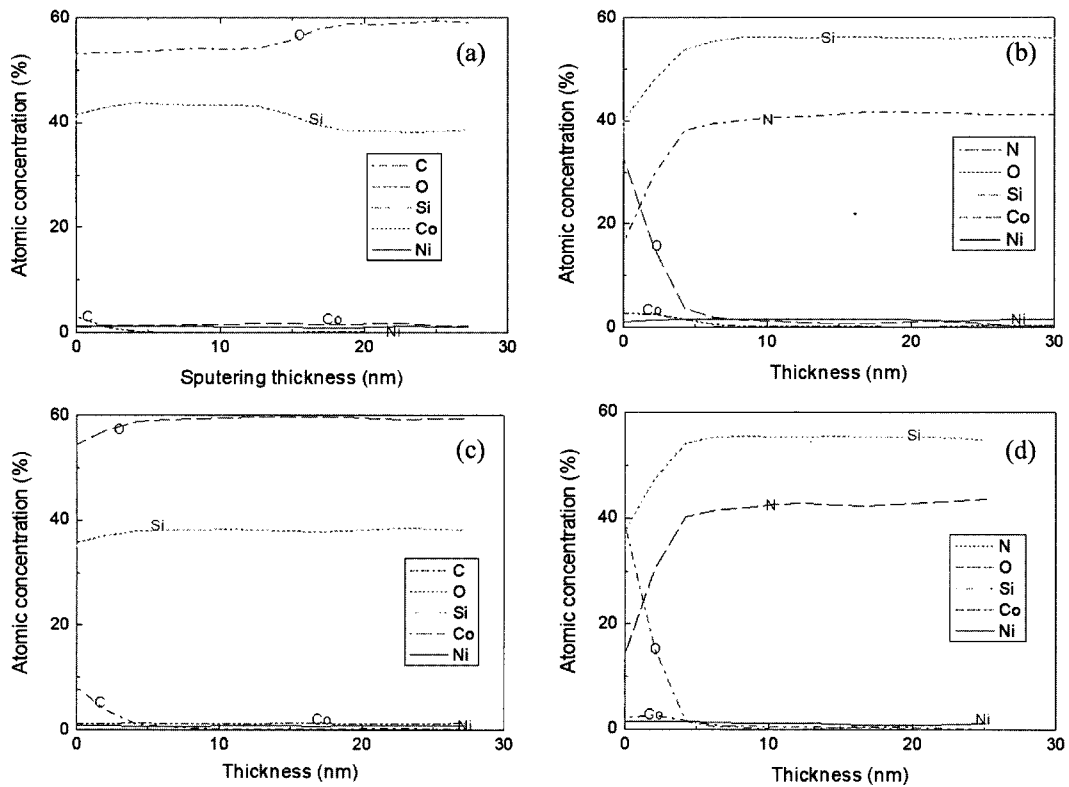


Fig. 4. Auger depth profiling of (a), (c) CoNi/SiO₂ and (b), (d) CoNi/Si₃N₄ with RTA temperatures of (a)·(b) 700°C, and (c)·(d) 1100°C.

소의 정량적인 분석을 나타내고 있다. SiO₂를 하부 기판으로 한 경우와 다르게 표면부에 약 5 nm 부근까지 각 성분의 변화가 있음을 알 수 있다. 또한 미량이지만 표면부에 황산이 일어나 약 7 nm (sputtering rate = 7 nm/min.) 부근까지 금속이 남아 있는것을 확인할 수 있었다. 이것으로 Si₃N₄는 SiO₂와는 다르게 하부 절연 필드나 스페이서로 사용하였을 경우 표면부에 약간의 잔류 금속이 남아 소자의 브리지현상이 일어날 가능성이 있음을 알 수 있다.

따라서, 앞서의 미세 구조사진과 비교하여 SiO₂에 남은 스컴은 내부로까지 침투하지 못한 것이며 반면 Si₃N₄는 표면부로부터 약 7 nm까지 금속과 반응 부산물을 형성하였음을 있어서 SiO₂인 경우 스컴을 확실하게 제거하는 습식공정이 수반된다면 새로운 코발트-니켈 복합실리사이드를 위한 스페이서 물질로는 SiO₂를 채용하는 것이 유리하다고 예측되었다.

4. 결 론

Co/Ni 복합실리사이드를 이용하여 CMOS 소자를 제조하는 살리사이드 공정에서 측벽물질에 따른 반응성을 확인하기 위해 SiO₂, Si₃N₄ 위에 Co/Ni을 각

각 15 nm를 증착하여 열처리 온도를 변화시켜 살펴보았다.

미세구조를 확인한 결과 RTA 온도가 증가할수록 미로형의 응집현상이 증가하였고, 통상의 황산 클리닝 후에도 SiO₂ 기판에는 폴리머성 스컴이 잔존하였다. AES depth profiling 분석결과 SiO₂ 기판의 스컴은 내부까지 반응하지 못하였으나, Si₃N₄ 기판은 약 7 nm 정도의 반응 부산물이 형성되었다. 따라서 새로운 Co/Ni 복합실리사이드에서는 스페이스 재료로서 SiO₂가 더 유리할 수 있음을 확인하였다.

감사의 글

본 연구는 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참고문헌

1. J. Prokop, C. E. Zybilla, S. Veprek, Thin Solid Films, 359 (2000) 39.
2. The International Technology RoadMap for Semiconductor, Front End Process, SIA, 2003 Edition (2003).
3. S. L. Hsia, T. Y. Tan, P. Smith, G. E. Seebauer,

- D. E. Batchelor, J. Electrochem. Soc., 146 (1999) 4240.
4. J. B. Lasky, J. S. Nakos, O. J. Cain, P. J. Geiss, IEEE Trans. Electron Devices, 38 (1991) 262.
5. R. T. Tung, MRS Symp. Proc., 427 (1996) 481.
6. M. L. A. Dass, D. B. Fraser, C. S. Wei, Appl. Phys. Lett., 58 (1991) 1308.
7. S. P. Murarka, J. Electrochem. Soc., 129 (1982) 293.
8. B. A. Julies, D. Knoesen, R. Pretorius, D. Adams, Thin Solids Films, 347 (1999) 201.
9. O. S. Song, S. H. Cheong, Y. S. Jung, J. Kor. Inst. Met. & Mater., 43 (2005) 137.
10. S. B. Herner, V. Krishnamoorthy, A. Naman, K. S. Jones, H. J. Gossmann, R. T. Tung, Thin Solids Films, 302 (1997) 127.
11. Y. S. Ahn, O. S. Song, Kor. J. Mater. Res., 11 (2001) 71.