

결합 접지 구조를 이용한 새로운 5-단 저역 통과 여파기

A New Type of 5-Pole Low Pass Filter Using Defected Ground Structure

임종식 · 김철수* · 안 달 · 정용채** · 남상욱*** · 김광수****

Jong-Sik Lim · Chul-Soo Kim* · Dal Ahn · Yong-Chae Jeong** · Sangwook Nam*** · Kwangsoo Kim****

요 약

본 논문에서는 결합 접지 구조(Defected Ground Structure, DGS)를 이용하여 설계한, 전송 선로의 폭이 매우 넓어진 새로운 형태의 5-단 저역 통과 여파기(5-pole Low Pass Filters, LPF)를 제시한다. 이를 위하여 종래에 제시되었던 3-단 DGS LPF 설계 방법을 임의의 N-단 LPF 설계에도 적용할 수 있도록 일반화 시키고($N \geq 5$), 한 예로써 5-단 LPF를 설계 및 측정 결과가 제시된다. LPF 원형 회로로부터 필요한 소자값들을 갖는 서로 다른 크기의 DGS를 결정하기 위하여, 매우 정확한 인덕턴스 값을 예측해 주는 곡선 맞춤(curve-fitting) 방법도 제시되었다. 제안하는 5-단 LPF는 병렬 캐패시턴스 구현을 위해 개방 스텐브 대신 선풍이 크게 보상된 낮은 임피던스의 전송 선로를 갖는다. 따라서 개방 스텐브를 사용할 때 필수적으로 요구되는 T-나 Cross-불연속 결합 소자가 없고, 또한 기존의 LPF에서 직렬 인덕턴스 때문에 필요했던 높은 임피던스 전송 선로가 없다.

Abstract

In this paper, a new type of 5-pole low pass filter(LPF) having defected ground structure(DGS) and very wide transmission line elements is proposed. The previously presented design method of 3-stage LPF using DGS is generalized to design N-pole LPFs for $N \geq 5$. As an example, a 5-pole LPF having DGS is designed and measured. The accurate curve-fitting method to determine the series inductors in the prototype filter, and ultimately the size of DGS is described. The proposed 5-pole LPF has transmission line elements with a very low impedance to realize the required shunt capacitance instead of open stubs. Therefore, open stub, Tee-junction, Cross-junction, and high impedance line are not required for the proposed LPF, while they all have been essential in conventional LPFs.

Key words : Periodic Structure, DGS, LPF

I. 서 론

전송 선로에 임의의 주기 구조를 결합시키면 기본적으로 저역 통과 여파기(Low Pass Filters: LPF)의 특성을 얻을 수 있다는 사실이 잘 알려져 있다. 여러 가지 마이크로파 회로나 전송 선로에 응용된 평면형

주기 구조로는 photonic bandgap(PBG) structure, 결합 접지 구조(Defected Ground Structure: DGS) 등이 있다^{[1]-[4]}. 그동안 PBG는 대표적인 평면형 전송 선로용 주기 구조로 인식되어 왔지만, 다수의 PBG 패턴이 구현되어야 하기 때문에 크기가 크고, 단위 소자의 정의가 불분명하기 때문에 등가 회로 모델링이

「이 논문은 순천향대학교 차세대 BIT 무선부품연구센터를 통한 지역산업기술혁신사업(RRC)의 지원에 의한 것임.」

순천향대학교 정보기술공학부(Division of Information Technology Engineering, Soonchunhyang University)

*삼성종합기술원(Samsung Advanced Institute of Technology)

**전북대학교 전자정보공학부(Division of Electronics and Information Engineering, Chonbuk National University)

***서울대학교 전기컴퓨터공학부(School of Electrical Engineering and Computer Science, Seoul National University)

****대구경북과학기술연구원(Daegu Gyeongbuk Institute of Science & Technology)

· 논문 번호 : 20050324-036

· 수정완료일자 : 2005년 5월 25일

어려워서 마이크로파 회로 응용에서는 매우 불리하다는 단점이 있었다. 이에 비하여 DGS는 단위 소자의 정의와 등가 회로 모델링이 가능하고, 불과 두세 개의 주기적 배열만으로도 원하는 주기 구조의 특성을 얻을 수 있으며, 설계 및 구현이 간단하다는 장점이 있다. 따라서 마이크로파 회로 설계시 매우 우수한 응용 능력을 지니고 있어서 지금까지 여파기, 전력 분배기, 커플러, 증폭기, 체배기 등 많은 회로에 응용되어 왔다^{[5]~[11]}.

그림 1은 접지면에 아령 모양(dumb-bell shaped)의 DGS를 지니는 마이크로스트립 선로와, 전자기적 시뮬레이션(electromagnetic(EM) simulation)을 통하여 얻은 S-파라미터를 보여주고 있다. 두 개의 사각형 결합 영역과 두 사각형을 연결하는 슬롯은 각각 등가적으로 부가된 인덕턴스(inductance, L)와 캐패시턴스(capacitance, C)를 갖는다. 따라서 L-C가 병렬로 연결되어 있기 때문에 어떤 특정 주파수에서 공진 특성을 보이게 된다. 이로 인하여 DGS를 갖는 마이크로스트립 선로는 광대역의 전달 특성을 갖는 게 아니라 어느 특정한 주파수에서의 통과 및 차단 대역을 갖는다. 또한 부가적인 L-C 성분 때문에 통과 대역에서는 원래의 마이크로스트립 선로보다 전기적 길이가 더 늘어난 효과를 갖는 전파 지연 특성을 보이게 된다^{[2],[4],[8]}.

한편, DGS를 이용한 3단 LPF 설계 방법이 이미 제시된 적이 있다^{[5],[12]}. 이미 발표된 3단 LPF에서는 원형 여파기(prototype filter)의 두 개의 직렬 인덕턴스 값이 같으므로 동일한 크기의 DGS 패턴 2개가 사용되었다. 두 인덕턴스 사이의 병렬 캐패시턴스를 구현하기 위해서 종래에는 티(Tee)형 또는 십자형(cross) 불연속 접합 소자와 개방형 스텐브(stub)를 사용하거나, 또는 선평을 크게 넓혀 스텐브가 없는 LPF 구현 방법이 제시되어 있다. 후자의 LPF는 Tee형 또는 십자형 불연속 접합 소자와 개방형 스텐브가 없고, 높은 임피던스를 갖는 가느다란 선로도 없다. 오히려 선평이 매우 넓어져서 대전력 취급이 가능하고, 매우 급격한 차단 특성 및 소형화의 장점이 있었다.

본 논문에서는 참고문헌 [12]에서 제시한 방법을 일반화시켜 N-단 LPF(DGSLPF, $N \geq 5$)로 일반화시키기 위하여, 서로 다른 크기의 DGS를 사용하여 설계

하는 방법을 제시한다. 이를 위하여 DGS 등가 회로를 모델링하고, LPF 원형 회로로부터 필요한 인덕턴스를 구현해 주는 DGS의 크기를 곡선 맞춤법을 이용하여 구하고, 최종적으로 DGS를 이용하여 LPF를 설계하는 방법을 제시한다.

본 논문에서는 제시하는 설계 방법의 타당성을 보이기 위하여 예로써 5단-DGSLPF를 설계, 제작하고 측정한 결과를 제시한다. 제시하는 5단-DGSLPF는 전송 선로 소자의 선평이 기존의 설계보다 훨씬 넓고, 기존의 LPF 설계에서 필요했던 높은 임피던스 선로가 없다. 그리고 원형 여파기 회로상의 직렬 인덕턴스는 DGS로 구현되는 한편, 기존의 스텐브 대신 선평이 크게 보강된 전송 선로로 병렬 캐패시턴스를 구현한다. 따라서 개방형 스텐브가 불필요하며, 스텐브 연결을 위한 Tee나 십자형 불연속 접합 소자도 없다.

II. DGS 패턴과 등가회로 소자를 위한 모델링^[12]

그림 1은 접지면에 아령 모양의 DGS를 지니는 마이크로스트립 선로와 S-파라미터이다. DGS를 구성하는 결합 영역은 사각형뿐만 아니라 원형, 팔각형, 뿔이형 등 다른 기하학적 구조도 가능한데, 그림 1에서는 편의상 정사각형이 사용되었다. 특정 주파수에서의 공진 현상을 보이는 S-파라미터로 인하여, 표준형 마이크로스트립 선로에 DGS가 결합함으로써 등가의 인덕턴스-캐패시턴스(L-C) 성분이 부가되었음을 직관적으로 알 수 있다. 사각형의 결합영역과 연결 슬롯은 각각 등가의 인덕턴스와 캐패시턴스를 가지므로 L-C 공진 회로가 구성되는 것이다.

그림 1에서처럼 단위 DGS에 의한 공진 주파수(ω_0)와 3 dB 차단주파수($\omega_{c,3dB}$)가 매우 선명하게 나타난다. 이런 특성은 전형적인 L-C 병렬 공진회로에서 나타나므로, 잘 알려진 L-C 병렬 공진회로의 특성을 통하여 DGS의 L-C 등가회로 소자값들을 구할 수 있다. 그림 2(a)는 DGS의 등가회로를 표현한 것이다. 이와 유사한 특성을 갖는 1-단 버터워스(butterworth) 원형 LPF 회로를 그림 2(b)에 나타냈다^[13]. $\omega_{c,3dB}$ 에서 두 회로의 리액턴스 값이 같아야 하므로 식 (1)~(3)을 이용하면 등가 L-C 값을 결정할 수 있다.

여기에서 $\omega'(=1)$, $g(=2)$, $Z_0(=50 \Omega)$ 는 각각 정규화

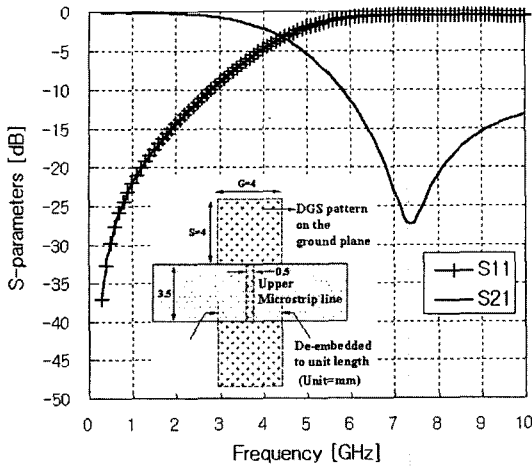


그림 1. 아령 모양의 DGS를 지나는 마이크로스트립 선로와 EM 시뮬레이션에 의한 S-파라미터($\epsilon_r=3.48$, 기판 두께=30 mils)
 Fig. 1. A microstrip line with a dumb-bell shaped DGS pattern and S-parameters by EM simulation. ($\epsilon_r=3.48$, substrate thickness=30 mils).

$$X_{LC} = \frac{1}{\omega_o C_{k1} \left(\frac{\omega_o}{\omega} - \frac{\omega}{\omega_o} \right)} \quad (1)$$

$$X_L = \omega' Z_o g_1 \quad (2)$$

$$X_{LC} |_{\omega = \omega_c, 3dB} = X_L |_{\omega' = 1} \quad (3)$$

된 3 dB 차단주파수, 1단 버터워스 원형 LPF의 소자 값, 단자 임피던스이고, $\omega_o = 1/\sqrt{L_{k1} C_{k1}}$ 이다. 제시된 모델링 과정을 통하여 구한 DGS의 L_{k1} , C_{k1} 은 각각 2.2832 nH, 0.2026 pF이다. 그림 3은 EM 시뮬레이션 결과와 L-C 병렬 회로의 회로 시뮬레이션 특성이 매우 잘 일치함을 보여주고 있다. 따라서 등가회로 모델링 방법과 등가 소자 값이 타당함을 보여준다.

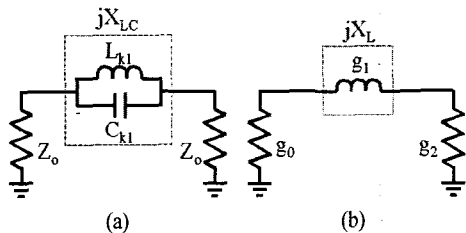


그림 2. (a) 단위 DGS를 지나는 마이크로스트립 선로의 등가회로, (b) 1단 버터워스 원형 LPF
 Fig. 2. (a) Equivalent circuit of the microstrip line with unit DGS, (b) Butterworth prototype of one-pole LPF.

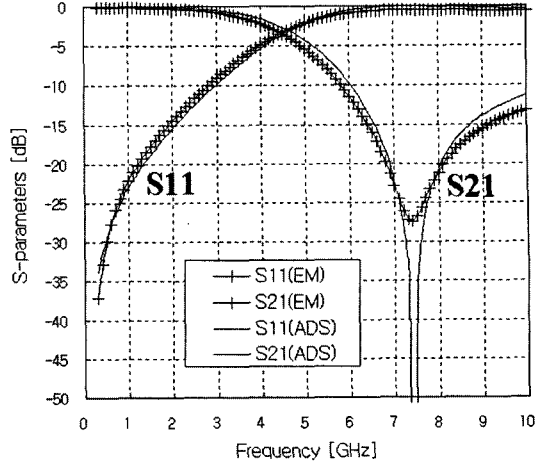


그림 3. EM 시뮬레이션 결과와 잘 일치하는 등가 L-C 회로의 S-파라미터
 Fig. 3. S-parameters of the equivalent L-C network with EM simulation results agreed.

이것은 단위 소자에 대한 정의가 가능하고 등가 회로 모델링이 용이하다는 DGS의 장점을 보여주는 증거이기도 하다.

III. DGS를 이용한 5단-LPF의 설계

3-1 원형 LPF 회로와 DGS 활용

이 절에서는 DGS를 이용하여 5단 LPF를 설계하는 방법을 기술하고자 한다. 그림 4는 5-단 LPF의 원형 회로(prototype circuit)이다. 여기에서 $g(i=0, 1, 2, 3, 4, 5, 6)$ 는 어느 주어진 리플 값에 대한 체비세프 원형 여파기의 정규화된 소자값들이다^[13]. 여파기 설계 이론에 의하면, 원형 LPF를 집중 소자 LPF로 변환하기 위하여 식 (4)~(6)의 임피던스와 주파수 스케일링 규칙을 적용하여 L_1, C_2, L_3, C_4, L_5 의 값을 결정할 수 있다. 여기서 ω_c 는 LPF의 차단 주파수이다.

$$L_1 = \frac{g_1 Z_o}{\omega_c} = \frac{g_5 Z_o}{\omega_c} = L_5 \quad (4)$$

$$L_3 = \frac{g_3 Z_o}{\omega_c} \quad (5)$$

$$C_2 = \frac{g_2}{Z_o \omega_c} = \frac{g_4}{Z_o \omega_c} = C_4 \quad (6)$$

그림 1의 DGS를 L_1 대신 사용하기 위해서는 그림 5의 등가성이 ω_c 에서 만족되어야 하므로 식 (7)처럼

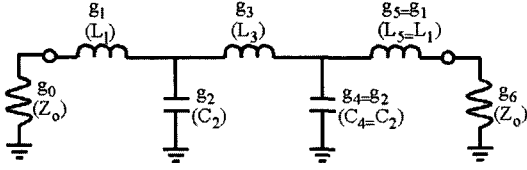


그림 4. 5-단 체비셰프 원형 LPF
Fig. 4. A 5-pole Chebyshev prototype LPF.

두 리액턴스의 값이 같아야 한다. 식 (4)와 (7)로부터 설계될 LPF의 ω_c (차단 주파수)를 구할 수 있는데, 식 (8)과 같다. 위에서 그림 1에 나타난 DGS의 등가 L_{k1} , C_{k1} 이 각각 2.2832 nH, 0.2026 pF였으므로 LPF의 ω_c 는 2.366 GHz이다. 이제 식 (4)~(6)을 이용하면 주파수 및 임피던스 변환된 L_1 , C_2 , L_3 , C_4 , L_5 를 구할 수 있는데, 0.01 dB 리플을 갖는 5-단 체비셰프 LPF인 경우에 대하여 표 1에 정리하였다.

원형 LPF 회로에 있는 세개의 인덕터를 DGS의 L-C 병렬 등가회로로 교체하면 그림 6과 같은 새로운 원형 LPF 회로가 된다. L_5 와 L_1 이 같으므로 L_{k5} - C_{k5} 병렬 공진기는 L_{k1} - C_{k1} 병렬 공진기와 같다. 또한, 편리한 표기를 위하여 $C_2=C_4=C_{k2}$ 로 나타내었다.

$$\frac{1}{\omega_c L_1} = -\left(\omega_c C_{k1} - \frac{1}{\omega_c L_{k1}}\right) \quad (7)$$

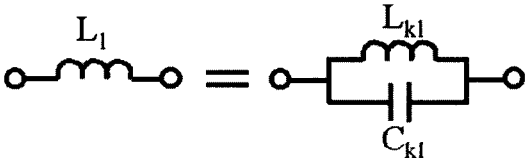


그림 5. 직렬 인덕터와 L-C 공진 회로의 등가성
Fig. 5. Equality of a series inductor to a L-C parallel circuit.

표 1. 0.01 dB 리플 5-단 체비셰프 LPF의 원형 회로소자값과 변환된 회로소자값
Table 1. Prototype elements of the 5-pole chebyshev LPF with 0.01 dB ripple and transformed elements.

Prototype elements	Element values	Scaled elements	Scaled Element values	Final elements	Final element values
g_0	1	Z_0	50 (Ω)		
g_1	0.7563	L_1	2.5433 (nH)	$L_{k1} - C_{k1}$	2.2832 (nH) - 0.2026 (pF)
g_2	1.3049	C_2	1.7552 (pF)	C_{k2}	1.7552 (pF)
g_3	1.5773	L_3	5.3041 (nH)	$L_{k3} - C_{k3}$	4.2862 (nH) - 0.2026 (pF)
g_4	1.3049	$C_4 = C_2$	1.7552 (pF)	C_{k2}	1.7552 (pF)
g_5	0.7563	$L_5 = L_1$	2.5433 (nH)	$L_{k1} - C_{k1}$	2.2832 (nH) - 0.2026 (pF)
g_6	1	Z_0	50 (Ω)		

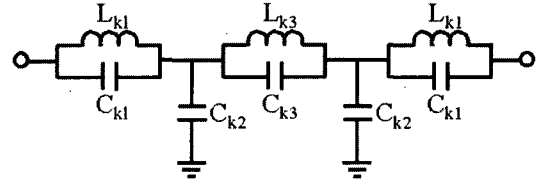


그림 6. L-C 공진 회로를 이용한 수정된 원형 5단 LPF
Fig. 6. Modified 5-pole prototype LPF using L-C resonator.

$$\omega_c = -\frac{L_{k1} \omega_0^2}{2g_1 Z_0} + \sqrt{\frac{\omega_0^4}{4} \left(\frac{L_{k1}}{g_1 Z_0}\right)^2 + \omega_0^2} \quad (8)$$

3-2 L_3 용 DGS의 결정

그런데 L_3 가 L_1 과 다르므로 새로운 크기의 DGS가 사용되어야 한다는 점이 중요하다. L_3 에 대하여 DGS 등가회로($L_{k3} - C_{k3}$)와의 관계식을 다시 써보면 식 (9)와 같다. 이미 위에서 ω_c 와 L_3 를 구했으므로 $L_{k3} - C_{k3}$ 에 해당하는 DGS(이하 “DGS3”)의 크기를 결정하면 된다.

$$\frac{1}{\omega_c L_3} = -\left(\omega_c C_{k3} - \frac{1}{\omega_c L_{k3}}\right) \quad (9)$$

DGS 등가회로에서 인덕터는 주로 사각형의 결함 면적의 외곽선에 기인하고, 캐패시터는 주로 연결 슬롯에 기인하는데, 이것은 그림 7을 통하여도 증명된다. 연결 슬롯의 크기를 그림 1에 보인 것처럼 0.5 mm×3.5 mm로 고정하고, 정사각형 결함 영역의 치수($G=S$)를 변화시키면 그림 7에 보인 바와 같이 등가 L-C의 추이를 얻을 수 있다. 그림 7에 따르면, 등가의 L 은 결함 영역 치수에 직접적으로 비례하는 반면, 등가의 C 는 거의 일정하다. 이것은 DGS에 의

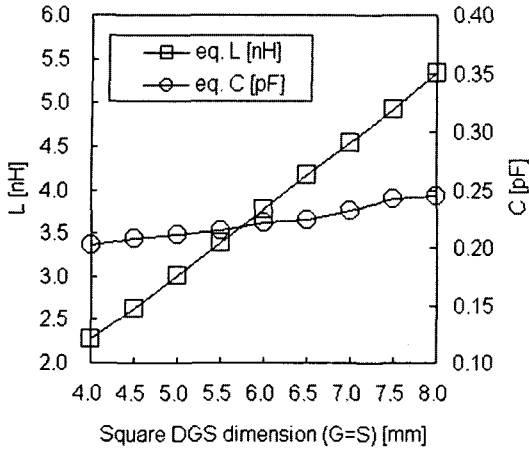


그림 7. 연결슬롯 치수를 0.5 mm×3.5 mm로 고정했을 때 정사각형 DGS 치수에 따른 등가 L-C 값의 변화

Fig. 7. Equivalent L-C values vs the dimension(G=S) of DGS for the fixed connecting slot(0.5 mm ×3.5 mm).

하여 부가되는 등가의 L이 등가의 C보다 더욱 우세함을 의미하기도 한다.

연결 슬롯의 치수를 고정하면 등가의 C가 거의 일정하므로, C_{k3} 를 C_{k1} 과 같다고 가정해도 괜찮다는 것을 알 수 있다. 따라서 문제를 단순화시키기 위하여 DGS3의 연결 슬롯의 크기를 0.5 mm×3.5 mm로 같게 하면, $C_{k3}=C_{k1}$ 이므로 식 (9)에서 L_{k3} 만 미지수가 된다. 따라서 식 (10)을 통하여 $L_{k3}(=4.2862 \text{ nH})$ 를 구할 수 있다.

필요한 $L_k(i=1, 3)$ 에 해당하는 DGS의 크기를 곡선 맞춤법을 통하여 효과적으로 찾을 수 있다. 그림 8은 연결 슬롯의 크기를 0.5 mm×3.5 mm로 같게 했을 때 정사각형 결합 영역의 치수에 따른 등가의 L-C를 곡선맞춤법을 통하여 얻은 L-C와 함께 나타낸 것이다. 이 그림의 결과는 위에서 얻은 등가회로 결정법에 의한 L-C가 곡선맞춤법에 의한 L-C와 각각 0.1%, 0.25%의 오차 이내에서 매우 정확하게 일치함을 알려 준다. 이것은 필요한 L_k 에 해당하는 DGS의 크기를 결정하는 데 있어서 매우 중요한 역할을 한다. 따라서 LPF 설계 과정에 있어서 DGS3를 결정할 수 있다.

그림 8에서 4.2862 nH를 얻기 위한 G=S는 6.66 mm가 된다. 그리고 G=S=6.66 mm일 때 곡선맞춤법에 의

한 등가의 C는 0.228 pF이다. 이제 C_{k3} 가 처음의 고정 값인 0.2026 pF에서 새로운 실제값인 0.228 pF로 변했으므로 동일한 리액턴스(jX_{LC})를 갖도록 하기 위하여 L_{k3} 가 4.2862 nH에서 4.1855 nH 값으로 미세하게 수정된다. C_{k3} 가 크게 차이가 없기 때문에 새로운 L_{k3} 도 처음과 별로 차이가 없음을 알 수 있다. 이제 다시 그림 8을 이용하면, 4.1855 nH에 해당하는 G=S는 6.55 mm이고, 이 때의 등가 C는 0.227 pF이다. C가 변하지 않으므로 이제 더 이상의 반복은 필요하지 않다.

그러나 실제로는 병렬 캐패시턴스(C_{k2}) 구현을 위

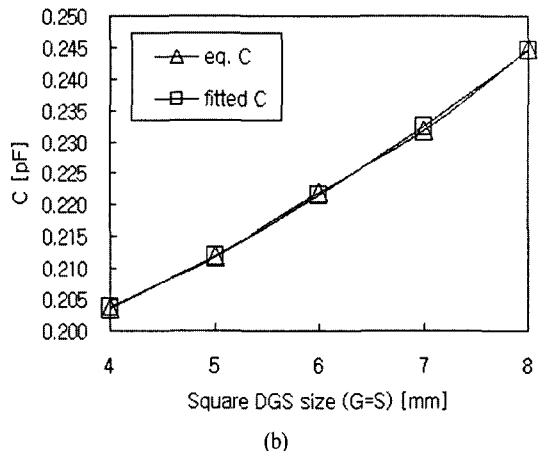
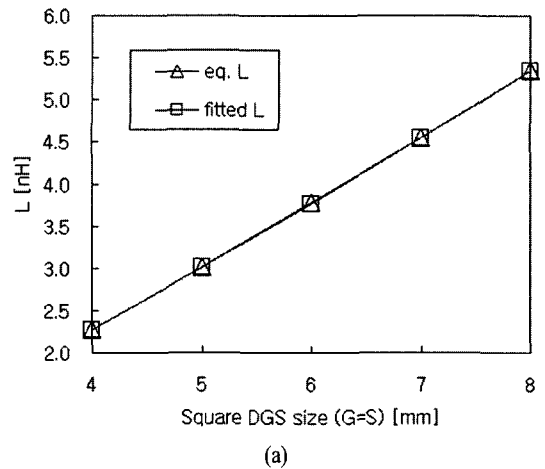


그림 8. 연결슬롯 치수를 0.5 mm×3.5 mm로 고정했을 때 DGS 치수에 따른 (a) 등가 L과 곡선 맞춤된 L, (b) 등가 C와 곡선 맞춤된 C

Fig. 8. (a) Equivalent L and curve-fitted L values and (b) equivalent C and curve-fitted C values vs the dimension(G=S) of DGS for the fixed connecting slot(0.5 mm ×3.5 mm).

하여 삽입하는 DGS 사이의 두꺼운 전송 선로가 소량이나마 등가의 인덕턴스 성분을 가지므로 이것을 고려하면 DGS3의 치수가 다시 변경된다. 다음 절에서는 수정된 DGS3의 치수 결정과 병렬 캐패시턴스 구현에 대하여 자세하게 기술한다.

$$L_{k3} = \frac{1}{\frac{1}{L_3} + \omega_c^2 C_{k3}} \quad (10)$$

3-3 병렬 캐패시터(C_{k2})의 구현

지금까지의 기술된 내용에 의하여 예상되는 LPF의 레이아웃은 그림 9와 같다. 첫 번째 DGS 패턴은 그림 1에 표시된 것과 같은 치수를 갖는다. 이제 LPF의 설계를 완성하기 위하여 병렬 캐패시턴스($C_{k2}=C_{k4}=1.7552$ pF)를 결정하는 문제가 남아 있다. 이것은 DGS 패턴 사이에 적정한 거리(D)를 결정함으로써 해결된다. 이 과정에서 위에서 얻은 DGS3의 크기가 수정될 것이다.

우선 제시하는 LPF의 중요한 특징인 “스터브와 불연속 접합 소자가 없는 LPF”가 되도록 하기 위하여 마이크로스트립 선로의 폭을 용량성으로(캐패시티브하게) 보상해 줄 필요가 있다. 그래서 본 논문에서는 처음부터 선로의 폭을 크게 넓혀서 그림 1에 표시된 대로 3.5 mm로 고정하였다. 전송 선로 이론에 의하면, 낮은 임피던스를 지니는 선로는 등가적으로 용량성 소자를 갖는다^[14]. 그래서 적절한 D 를 결정하면 이로써 바로 LPF에서 필요한 병렬 캐패시턴스를 구현할 수 있다.

특성 임피던스가 Z_0 이고, 길이가 l 인 전송 선로의

등가 캐패시턴스(C)는 식 (11)과 같다. 동시에 식 (12)로 표현되는 약간의 기생 인덕턴스(L)를 갖는다. LPF의 ω_c 인 2.366 GHz에서 1.7552 pF의 캐패시턴스를 갖는 3.5 mm 선폭의 전송 선로의 길이(l)는 10.6 mm로 계산된다. 동시에 이 선로는 $L_a=0.78$ nH의 기생 인덕턴스를 갖는다. 이 때 l 은 두 DGS 패턴의 중심 사이의 거리가 된다.

이제 DGS3의 크기를 수정할 수 있다. 병렬 캐패시턴스용 전송 선로가 기생 인덕턴스(L_a)를 가지므로, 식 (10)은 식 (13)과 같이 수정되어야 한다. 결과적으로 필요한 인덕턴스는 $L_3 - 2L_a=3.7441$ nH가 되는데, 식 (13)을 이용하면 새로운 L_{k3} 는 3.2066 nH이다. 이제 그림 8을 이용하면 최종적으로 필요한 $G_3=S_3$ 는 5.25 mm가 되고, D 는 5.35 mm가 된다.

$$C = \frac{1}{\omega Z_0} \sin\left(\frac{2\pi l}{\lambda_g}\right) \quad (11)$$

$$L_a = \frac{Z_0}{2\omega} \sin\left(\frac{2\pi l}{\lambda_g}\right) \quad (12)$$

$$L_{k3} \approx \frac{1}{\left(\frac{1}{L_3 - 2L_a}\right) + \omega_c^2 C_{k3}} \quad (13)$$

설계된 LPF는 매우 넓은 선폭을 가지고 있으며, 기존의 LPF에서 보이는 개방형 스텐브가 없고, 매우 높거나 낮은 임피던스를 지니는 전송 선로 간의 계단형 접합이 없다. 따라서 스텐브 연결을 위해서 요구되는 Tee- 또는 십자형 접합 소자가 없다. 선폭이 매우 넓어졌으므로 제작 오차에 대해서도 덜 민감하며, 동시에 전력 취급 능력에 있어서도 매우 유리함을 충분히 예측할 수 있다.

IV. 5단-DGSLPF의 성능

이제 5단-DGSLPF의 전기적 특성을 살펴보도록 하자. L-C로만 구성된 이상적인 여파기를 ADS로 계산한 S-파라미터, 그림 9의 레이아웃을 Ensemble로 계산한 S-파라미터, 그리고 실제로 제작하여 측정된 S-파라미터가 그림 10에 함께 그려져 있다. 사소한 불일치가 존재하지만, 전체적으로 측정된 성능은 예측된 특성과 잘 일치하고 있다. 가벼운 불일치는 미약하나마 존재하는 DGS간의 상호간섭이나, 병렬 캐패시턴스를 대신하는 넓은 전송선로의 길이가 반파장이 되는 주파수에서의 특성 때문이다. DGS간의

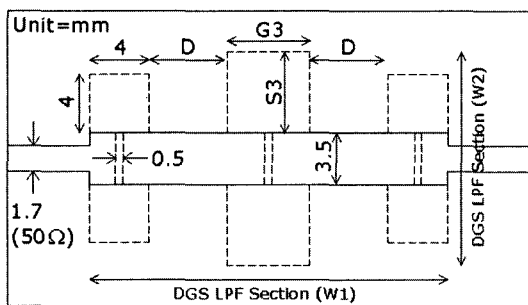


그림 9. 5단 LPF의 레이아웃. C_{k2} 를 위하여 적합한 D 가 결정되어야 한다.

Fig. 9. Layout of the 5-pole LPF. Proper D should be determined to realize C_{k2} .

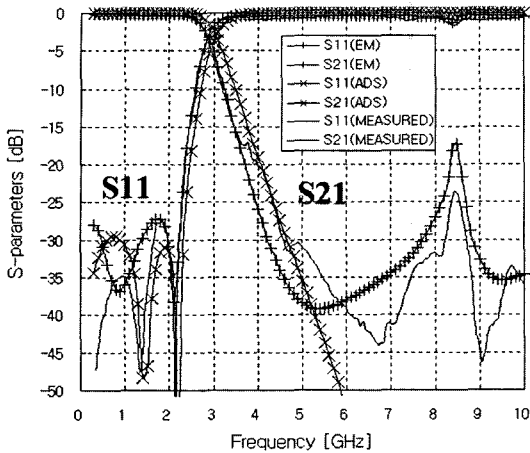


그림 10. 5-단 DGSLPF의 S-파라미터 성능
Fig. 10. Performances of the 5-pole DGSLPF.

상호간섭은 L-C 회로로만 구성된 집중소자 LPF에서는 보이지 않는 것이므로 설계과정에서 고려하기가 다소 어렵지만, 그럼에도 불구하고 매우 잘 일치하는 결과를 보여주고 있다. 8.5 GHz에서 S_{21} 이 극부적으로 peak 현상을 보이는 것은 병렬 캐패시턴스 구현을 위하여 결정한 길이(l)가 8.5 GHz에서 반파장에 해당하기 때문으로 이해된다. 그러나 peak의 대역폭이 매우 좁기 때문에 의미 있는 전달 특성이라고 할 수는 없다.

설계된 DGSLPF는 차단 특성의 기울기가 매우 급격하고 입력 반사계수가 우수하다. 기존의 설계에 의한 여파기에서 이 정도의 입력 반사 계수와 차단 기울기를 얻기 위해서는 단수(N)가 매우 커져야 한다. 그러나 N 이 커질수록 여파기의 삽입 손실과 반사 손실이 커지므로, 제시된 DGSLPF가 갖는 특성이 매우 우수한 것이라 하겠다. 한편 그림 10은 제시한 LPF의 하모닉 차단이 매우 넓은 대역에서 이루어지고 있음을 보여주고 있기도 하다.

V. 맺음말

본 논문에서는 아령형 DGS와 용량성으로 선풍이 넓게 보상된 마이크로스트립을 이용하여 스테르브나 높은 임피던스를 지닌 가느다란 전송 선로가 없는 N -단 LPF 설계 방법을 제시하였다. 기존에 제시된 3-단-DGSLPF 설계 방법을 N -단 LPF 설계로 일반화시

키기 위하여, 크기가 다른 DGS 패턴들을 사용하여 5단 LPF 설계를 예로써 제시하였다. 주어진 DGS의 크기와 특성에 따른 등가의 L-C를 모델링하여 LPF의 차단 주파수를 계산하는 방법을 제시하였으며, 원형 LPF 소자값으로부터 스케일링된 인덕턴스를 구현하기 위하여 DGS의 크기를 결정하는 방법을 곡선맞춤법을 통하여 제시하였다. 또한 병렬 캐패시턴스를 구현하기 위하여 전송선로의 등가 L-C를 계산하고 이것을 DGS의 크기와 DGS 사이의 전송선로의 길이를 결정하는데 반영하였다.

제안된 5단 LPF는 개방 스테르브나 Tee-형 또는 십자형 불연속 소자가 없다. 또한 계단형 임피던스 선로를 지니는 LPF 설계 방법에서와 같은 높고 낮은 임피던스 선로의 급격한 접합이 없다. 오히려 선풍을 처음부터 크게 키워서 용량성으로 보상하였기 때문에 전력 취급 능력이 매우 좋다고 할 수 있다.

제시한 설계 방법은 다음의 과정들을 통하여 그 타당성이 검증되었다. 1) DGS의 L-C 등가 회로를 모델링하여 이를 이용한 lumped-element LPF를 설계하여 ADS에서 그 특성을 시뮬레이션하고, 2) 결정된 LPF 레이아웃을 이용하여 EM 시뮬레이션하고, 3) 실제 제작하여 측정된 특성을 비교하였다. 미약한 차이는 있지만 측정 결과가 예측 성능과 매우 잘 일치하기 때문에, 제시한 DGSLPF 설계 방법은 매우 유용한 방법이 될 것으로 기대된다.

본 논문에서는 N -단 DGSLPF의 예로써 5단 여파기를 제시하였다. 그러나 N 이 5보다 큰 경우라고 하여도 본 논문에서 제시한 방법은 그대로 적용이 가능하다. 또한 본 논문에서 제시한 DGSLPF 설계 방법은 마이크로스트립 LPF 뿐만 아니라 동일한 구조가 CPW에서도 적용이 가능하므로 CPW에서의 DGS LPF 설계에도 유용하게 사용될 것으로 기대된다.

참고 문헌

[1] V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D photonic bandgap structure for microstrip lines", *IEEE Microwave Guide Wave Lett.* vol. 8, no. 2, pp. 69-71, Feb. 1998.
[2] F. R. Yang, K. P. Ma, Y. Qian, and T. Itoh, "A

- uniplanar compact *photonic-bandgap*(uc-pbg) structure and its applications for microwave circuits", *IEEE Trans. Microwave Theory Tech.*, vol. 47, no. 8, pp. 1509-1514, Aug. 1999.
- [3] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A novel 1-d periodic defected ground structure for planar circuits", *IEEE Microwave Guide Wave Lett.*, vol. 10, no. 4, pp. 131-133, Apr. 2000.
- [4] T. Y. Yun, K. Chang, "Uniplanar one-dimensional photonic-bandgap structures and resonators", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 3, pp. 549-553, Mar. 2001.
- [5] D. Ahn, J. S. Park, C. S. Kim, J. Kim, Y. Qian, and T. Itoh, "A design of the low-pass filter using the novel microstrip defected ground structure", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 1, pp. 86-93, Jan. 2001.
- [6] J. S. Lim, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "Design of 10 dB 90° branch line coupler using microstrip line with defected ground structure", *IEE Electronics Lett.*, vol. 36, no. 21, pp. 1784-1785, Oct. 2000.
- [7] J. S. Lim, S. W. Lee, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "A 4:1 unequal wilkinson power divider", *IEEE Microwave and Wireless Components Lett.*, vol. 11, no. 3, pp. 124-126, Mar. 2001.
- [8] J. S. Lim, J. S. Park, Y. T. Lee, D. Ahn, and S. Nam, "Application of defected ground structure in reducing the size of amplifiers", *IEEE Microwave and Wireless Component Letters*, vol. 12, no. 7, pp. 261-263, Jul. 2002.
- [9] Y. T. Lee, J. S. Lim, J. S. Park, D. Ahn, and S. Nam, "A novel phase noise reduction technique in oscillators using defected ground structure", *IEEE Microwave and Wireless Component Letters*, vol. 12, no. 2, pp. 39-41, Feb. 2002.
- [10] Jong-Sik Lim, Yong-Chae Jeong, Dal Ahn, and Sangwook Nam, "Improvement in performance of power amplifiers by defected ground structure", *IEICE Trans. Electron*, vol. E87-C, no. 1, pp. 52-59, Jan. 2004.
- [11] Yong-Chae Jeong, Jong-Sik Lim, "A novel frequency doubler using feedforward technique and defected ground structure", *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 12, pp. 557-559, Dec. 2004.
- [12] J. S. Lim, C. S. Kim, Y. T. Lee, D. Ahn, and S. Nam, "A new type of low pass filter with defected ground structure", *32nd European Microwave Conference Proceedings*, pp. 32-36, Sep. 2002.
- [13] G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*, Artech House, Dedham, 1980.
- [14] A. Sweet, *MIC & MMIC Amplifier and Oscillator Circuit Desing*, Artech House, Boston, 1990.

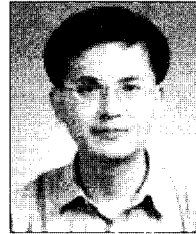
임 중 식



1991년 2월: 서강대학교 전자공학과 (공학사)
1993년 2월: 서강대학교 전자공학과 (공학석사)
2003년 2월: 서울대학교 전기컴퓨터공학부 (공학박사)
1993년 2월~1999년 3월: 한국전자통신연구원 위성통신기술연구단, 무선방송기술연구소 선임연구원

2003년 3월~2003년 7월: 서울대학교 BK21 정보기술사업단 박사후 연구원
2003년 7월~2004년 9월: 특허청 특허심사관
2004년 9월~2005년 2월: 한국전자통신연구원 디지털방송통신구단 전파기술연구그룹 선임연구원
2005년 3월~현재: 순천향대학교 정보기술공학부 교수
[주 관심분야] 초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용 등

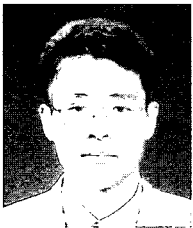
정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)
1991년 2월: 서강대학교 전자공학과 (공학석사)
1996년 8월: 서강대학교 전자공학과 (공학박사)
1991년 2월~1998년 2월: 삼성전자

정보통신본부 선임연구원
1998년 3월~현재: 전북대학교 전자정보공학부 부교수 및 전북대학교 IDEC WG 책임교수
[주 관심분야] RF 및 Microwave 회로 해석 및 설계 등

김 철 수



2002년 2월: 순천향대학교 전자공학과 (공학박사)
2001년 10월~2003년 2월: 한국전자통신연구원 원천기술연구소 연구원
2003년 3월~2004년 2월: 순천향대학교 차세대 BIT 무선부품연구센터 연구원

2004년 3월~2005년 2월: University of California at Los Angeles 박사후 연구원
2005년 3월~현재: 삼성종합기술원 전문연구원
[주 관심분야] RF, 마이크로파 수동 회로 설계 및 수동소자 모델링 등

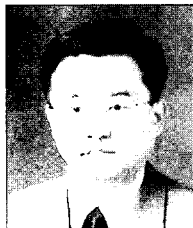
남 상 욱



1981년 2월: 서울대학교 전자공학과 (공학사)
1983년 8월: 한국과학기술원 전기전자공학과 (공학석사)
1989년 5월: University of Texas at Austin 전기공학과 (공학박사)
1990년~현재: 서울대학교 전기공

학부 교수
[주 관심분야] 전자파 수치 해석, 안테나 및 초고주파 회로 설계 등

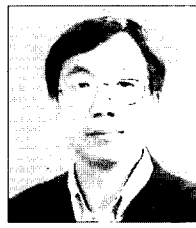
안 달



1984년 2월: 서강대학교 전자공학과 (공학사)
1986년 2월: 서강대학교 전자공학과 (공학석사)
1990년 8월: 서강대학교 전자공학과 (공학박사)
1990년 8월~1992년 2월: 한국전자통신연구원 선임연구원

1992년 3월~현재: 순천향대학교 정보기술공학부 교수
[주 관심분야] RF, 마이크로파 수동소자 해석 및 설계 등

김 광 수



1981년 2월: 서강대학교 전자공학과 (공학사)
1983년 2월: 서강대학교 전자공학과 (공학석사)
1993년 2월: 서강대학교 전자공학과 (공학박사)
1983년 2월~1998년 12월: 한국전자통신연구원 책임연구원

1999년 1월~2005년 4월: 정보통신연구진흥원 책임연구원
2005년 4월~현재: 대구경북과학기술연구원 책임연구원
[주 관심분야] 반도체 소자의 초고주파 회로 응용 등