

열적으로 강인한 Molybdenium 게이트-PMOS Capacitor의 분석

Analysis of PMOS Capacitor with Thermally Robust Molybdenium Gate

이정민^{1,a}, 서현상¹, 홍신남¹
(Jeong-Min Lee^{1,a}, Hyun-Sang Seo¹, and Shin-Nam Hong¹)

Abstract

In this paper, we report the properties of Mo metal employed as PMOS gate electrode. Mo on SiO₂ was observed to be stable up to 900 °C by analyzing the interface with XRD. C-V measurement was performed on the fabricated MOS capacitor with Mo gate on SiO₂. The stability of EOT and work-function was verified by comparing the C-V curves measured before and after annealing at 600, 700, 800, and 900 °C. C-V hysteresis curve was performed to identify the effect of fixed charge. Gate-injection and substrate-injection of carrier were performed to study the characteristics of Mo-SiO₂ and SiO₂-Si interface. Sheet resistance of Mo metal gate obtained from 4-point probe was less than 10 Ω/□ that was much lower than that of polysilicon.

Key Words : Mo, Metal gate, Work-function, Gate-injection, Sheet resistance

1. 서론

IC(Integrated Circuit)가 고집적화되고 고속화됨에 따라 소자 하나 하나의 크기, 즉 게이트 길이가 작아져야 하며 상수인자(scaling factor)에 따라 절연막의 두께 또한 10 Å 이하로 얇아져야 한다. 게이트 길이가 지속적으로 감소함에 따라 그동안 문제 되지 않았던 폴리 공핍 현상, 게이트 누설전류, 붕소침투, DIBL(Drain-Induced Barrier Lowering), 협폭 효과, fringing field에 의한 코너 공핍 현상 등이 나타나게 되었다. 특히 폴리 공핍 현상이 나타나게 되면 게이트 공핍층에서 전압강하가 발생하기 때문에 채널을 유기하는데 필요한 전압은 더욱 높아져 결국 문턱전압을 상승시킨다[1]. 이런 이유 때문에 최근 금속 게이트에 대한 연구가 활발히 진행되고 있다[2,3].

그림 1은 폴리 공핍에 대한 에너지 대역도와 폴

리 공핍이 일어났을 때의 C-V (capacitance - voltage) 곡선을 나타낸다. E_C는 전도대 에너지 준위, E_V는 가전자대 에너지준위, E_{F, Gate}와 E_{F, Si}는 각각 게이트와 기판에서의 페르미 준위이다. 폴리 공핍이 일어나면 용량값이 그림 1(b)에서 보는 바와 같이 감소하게 되는데, 그 이유는 게이트 절연막의 물리적인 두께는 일정하지만 전기적인 두께는 약 3-5 Å 정도 증가하기 때문이다. 폴리 공핍을 방지하려면 폴리 실리콘을 약 1.87×10²⁰ cm⁻³ 이상 도핑시켜야 된다. 그러나 폴리 실리콘은 p+ 도핑일 경우와 n+ 도핑일 경우에 각각 6×10¹⁹ cm⁻³, 1×10²⁰ cm⁻³일 때 포화되기 때문에 폴리 공핍이 발생하지 못하게 충분히 크게 도핑시킬 수가 없다[4]. 이에 반해 금속 게이트는 일반적으로 10²² cm⁻³ 이상의 높은 반송자 농도를 갖고 있기 때문에 폴리 공핍 현상을 해결할 수 있다. 따라서 폴리 실리콘을 금속 게이트로 대체하려는 연구가 진행 중이다[5-8].

금속이 폴리 실리콘을 대체하기 위해서는 다음과 같은 몇 가지 조건을 만족해야 한다. 첫째, 금속 게이트는 폴리 실리콘을 대체해야 하기 때문에 기존 폴리 실리콘과 유사한 크기의 일함수를 가져야 한다. nMOS에 적합한 일함수는 약 4.0 eV이며 pMOS에 적합한 일함수는 약 5.0 eV이다. 둘째, 금

1. 한국항공대학교 항공전자공학과
(경기도 고양시 화전동 200-1)
a. Corresponding Author : min011@hanmail.net
접수일자 : 2005. 4. 12
1차 심사 : 2005. 5. 20
심사완료 : 2005. 6. 3

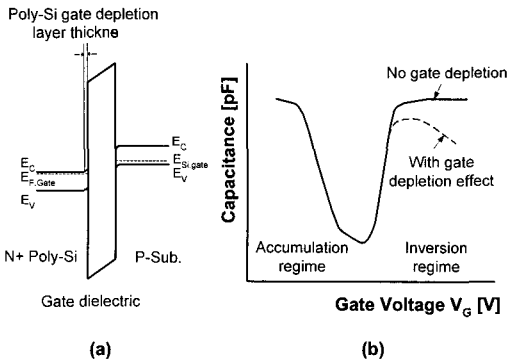


그림 1. (a) 폴리 공핍 현상 (b) 폴리 공핍 현상에 따른 C-V 곡선.

Fig. 1. (a) Poly-depletion effect (b) C-V curve with poly-depletion effect.

속 게이트는 게이트 절연막과 화학적 반응을 하지 않아야 하며, 열적으로 안정해야 한다. 예를 들어 Ta와 같은 금속은 산소와의 친화력이 크기 때문에 SiO₂와 쉽게 반응하여 게이트 절연막의 두께를 크게 감소시켜 소자의 전기적 특성을 크게 변화시키므로 게이트 금속으로는 적합하지 않다[2].

본 연구에서는 Mo과 SiO₂를 각각 게이트와 절연막으로 하여 MOS 커패시터를 제작 하였다. 이렇게 제작된 MOS 커패시터의 열적·화학적 안정성은 급속 열처리(RTA)를 수행한 후 여러 실험을 수행하여 증명하였다.

2. 실험

MOS 커패시터를 제작하기 위해 (100) n-형 실리콘 기판 위에 3500 Å의 필드 산화막과 100 Å의 게이트 산화막을 각각 습식과 건식 열산화법으로 성장시켰다. 순도 99.95 %의 Mo 타겟을 3×10⁻⁹ torr의 기본 압력(base pressure)에서 스퍼터링을 수행하여 500 Å의 금속 게이트 전극을 증착시킨 후 lift-off 방법을 이용하여 100×100 μm² 패턴으로 MOS 커패시터를 제작하였다. 그 후에 급속 게이트의 산화를 방지하기 위해 Mo 위에 Ru을 스퍼터링 하였다.

제작된 MOS 커패시터의 C-V 특성을 측정하기 위해 HP 4280 LCR meter(1MHz)를 사용하였다. 측정된 C-V 곡선과 NCSU (North Carolina State University) Quantum model을 사용하여 평탄 전

압(flat-band voltage)과 유효 산화막의 두께를 얻어 내었다[9]. Mo의 일함수는 이렇게 얻어진 데이터를 이용하여 계산할 수 있었다[10]. 4점 탐침기로 시편의 면저항을 측정하였고 파장이 1.54056 Å인 Cu-Kα의 X-ray diffraction 분석을 통하여 금속 게이트와 게이트 절연막 사이의 계면 특성을 분석하였다.

이후에 시편을 Ar 분위기에서 각각 600, 700, 800, 그리고 900 °C에서 10초간 급속 열처리를 실행한 후 앞의 방법과 동일하게 전기적 특성과 재료적 특성을 반복하여 측정하였다. 또한 계면의 전기적인 특성을 알아보기 위하여 약 150초 동안 게이트 주입을 수행하고 C-V 측정을 실시하였다.

3. 결과 및 고찰

그림 2는 급속 열처리 온도에 따른 Mo 게이트 물질의 C-V 곡선을 나타낸 것이다. 이 곡선과 NCSU Quantum Model을 이용하여 일함수와 절연막의 두께를 각각 구하였으며 이를 그림 3에 나타내었다.

그림 2에서 보면 온도가 증가할 때 축적상태의 용량 값이 약간 작아지는 것을 볼 수 있는데 그 이유는 절연막의 두께가 약간 증가하였기 때문이다. 실제로 그림 3에서 보면 절연막의 두께가 급속 열처리가 진행됨에 따라 약 8.4 Å 증가하였다. 절연막의 두께가 이렇게 증가한 이유는 SiO₂-Si 계면을 통한 산소의 확산에 의한다고 현재 보고되고 있다[12]. 또한 이 그림에서 온도에 따른 일함수의 변화량은 약 0.11 eV로 아주 작은 것을 확인할 수 있다. 이 일함수의 변화량은 매우 작기 때문에 온도가 900 °C까지 증가함에 따라 일함수가 거의 변하지 않는다고 할 수 있으며, 결국 본 실험에서 사용된 Mo 게이트 물질은 900 °C까지 안정적인 물질임을 알 수 있다.

Mo-SiO₂ 계면층의 온도에 따른 화학적 안정성을 살펴보기 위하여 열처리 전의 시편과 900 °C에서 급속 열처리를 수행한 시편의 XRD (X-Ray Diffraction) 결과를 비교하여 그림 4에 나타내었다. 그림 4에서 열처리 전의 시편과 900 °C에서 열처리를 수행한 시편의 XRD 결과를 살펴 보면 측정 한계 내에서 Mo과 Si 피크(peak) 이외의 주목할 만한 다른 피크는 나타나지 않는 것을 알 수가 있다. 이는 급속 열처리를 900 °C에서 10초 동안 수행하여도 Mo-SiO₂ 계면에 새로운 결합구조가

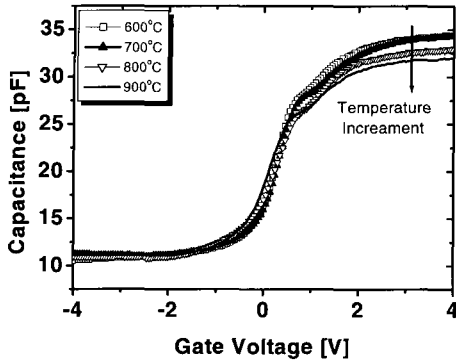


그림 2. 열처리 온도에 따른 C-V 곡선.
Fig. 2. C-V curves along the annealing temperature.

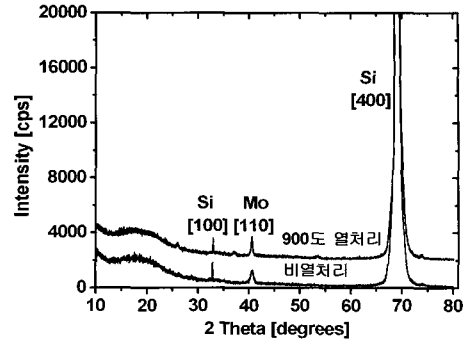


그림 4. 열처리 전과 900 °C 열처리 이후의 XRD 결과.
Fig. 4. XRD data for no-annealed sample and 900 °C annealed sample.

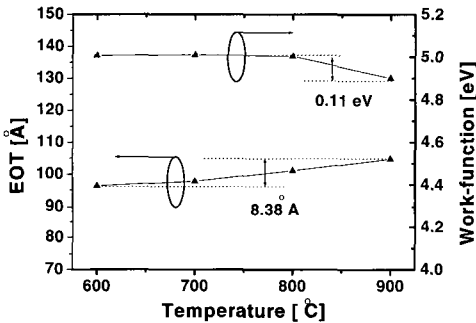


그림 3. 열처리 온도에 따른 EOT(유효산화막)와 일함수의 변화.
Fig. 3. Variation of EOT and work-function along the temperature.

발생하지 않았다는 것을 증명하는데, 이는 Mo-SiO₂ 계면이 900 °C에서 다른 결합구조를 만들지 않고 화학적으로 안정하다는 것을 의미한다. 또한 이 결과는 그림 3의 실험 결과와도 일치한다.

절연막의 질(quality)과 Mo-SiO₂ 계면의 전기적 특성을 통한 안정성을 분석하기 위해 C-V 히스테리시스(C-V hysteresis)와 게이트 주입(gate - injection)을 수행하였다. 그림 5는 절연막이 고정 전하의 영향을 받는지 받지 않는지를 분석하기 위한 C-V 히스테리시스를 측정된 결과이며, 그림 6(a), (b)는 반송자 주입을 통해 Mo-SiO₂ 계면과 SiO₂ -Si 계면의 전기적 특성을 각각 알아보기 위한 게이트 주입, 기판 주입의 실험 결과이다.

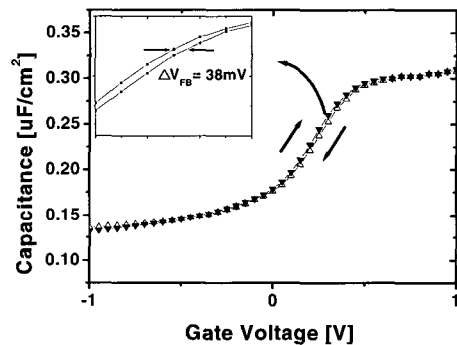
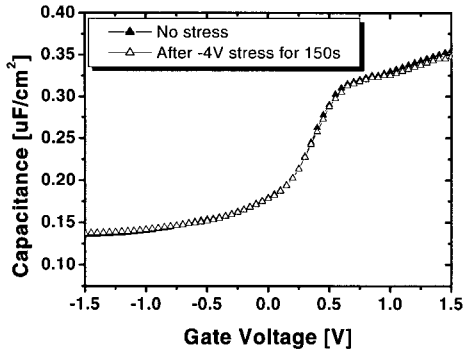


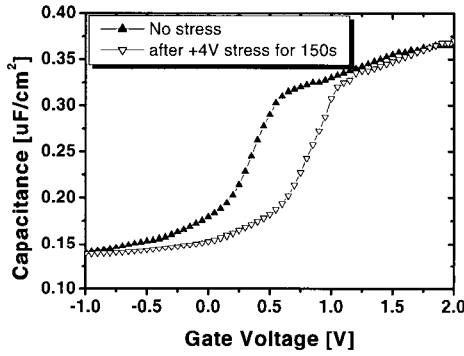
그림 5. C-V 히스테리시스 곡선.
Fig. 5. C-V hysteresis curves.

그림 5에 나타난 C-V 히스테리시스 곡선을 측정할 때의 전압은 -2 V에서부터 0.05 V씩 증가하여 +2 V까지, 그리고 바로 +2 V에서 다시 -2 V까지 0.05 V씩 감소하여 인가하였다. 그러나 그림에는 -1 V에서 +1 V의 게이트 전압에 대한 C-V 곡선을 나타내었다. -2 V에서 +2 V로 게이트 전압을 증가하며 측정된 C-V 곡선의 평탄전압과 +2 V에서 -2 V로 감소하며 측정된 평탄전압의 차이는 38 mV로 매우 작았다. 이는 본 실험에 쓰인 절연막이 고정전하의 영향을 거의 받지 않는 좋은 절연막임을 증명한다[10].

그림 6(a)의 실험에서는 게이트에 -4 V의 스트레스(stress)를, 그림 6(b)의 실험에서는 게이트에 +4 V의 스트레스(stress)를, 150초 동안 가하여 계



(a)



(b)

그림 6. (a) 게이트 주입 후 C-V 곡선, (b) 기판 주입 후 C-V 곡선.

Fig. 6. (a) C-V curves after gate-injection, (b) C-V curves after substrate-injection.

이트 주입과 기판 주입을 수행한 후 -2 V에서 +2 V의 C-V 측정을 다시 수행하여 게이트-절연막 계면과 절연막-기판 계면의 전기적 특성을 알아보았다[11].

다음 식을 이용하면 게이트 주입이나 기판 주입으로 인한 C-V 곡선의 수평적 이동의 원인이 주로 고정전하에 의한 것임을 설명할 수 있다[10].

$$V_{FB} = \Phi_{MS} \pm Q_f / C_{acc} \quad (1)$$

식 (1)에서 V_{FB} 는 평탄전압, Φ_{MS} 는 금속과 기판(Si)의 일함수 차이, Q_f 는 절연막 내 고정전하, C_{acc}

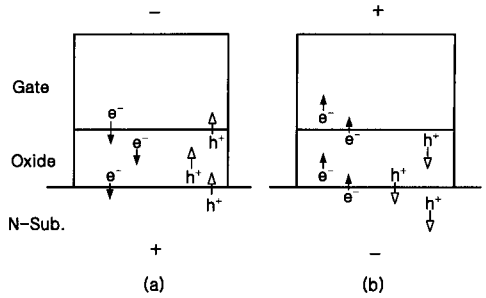


그림 7. (a) 게이트 주입, (b) 기판 주입.

Fig. 7. (a) Gate-injection, (b) Substrate-injection.

는 축척모드에서의 용량값을 각각 나타낸다. 식 (1)과 참고 문헌[10]을 보면 pMOS의 C-V 곡선이 오른쪽(+x축 방향)으로 이동하는 이유는 절연막 내의 음전하가, 왼쪽(-x축 방향)으로 이동하는 이유는 절연막 내의 양전하가 각각 영향을 주기 때문이라는 것을 알 수 있다. 실제로 C-V곡선이 +x 방향으로 이동했다면 평탄 전압은 양의 방향으로 증가할 것이다. 식 (1)에서 보면 평탄 전압이 +x 방향으로 증가하기 위해서는 고정전하가 음의 고정전하가 되어야 한다. 반대로 -x 방향으로 C-V 곡선이 이동했다면 평탄 전압은 음의 방향으로 증가할 것이며, 이를 만족시키기 위해서는 고정전하는 반드시 양의 고정전하가 되어야 한다. 본 실험에서는 계면의 전기적 특성과 안정성을 분석하기 위해 게이트 주입 후 나타나는 C-V 곡선의 이동을 이용하였다. 그림 7(a)와 같은 조건 하의 실험에서 게이트에 -4 V의 전압을 150초 동안 가해주어 게이트를 통해 절연막으로 반송자(전자)를 주입하였다. 만일 게이트에서 절연막으로 반송자(전자)가 주입 된다면 C-V 곡선은 +x 방향으로 이동할 것이다. 그러나 그림 6(a)를 보면 스트레스를 주기 전·후의 곡선이 일치함을 보여주고 있다. 이는 Mo-SiO₂ 계면이 우수하여 반송자(전자)가 게이트에서 절연막으로 거의 주입될 수 없음을 보여준다. 그림 7에서 게이트에 정공을 표시하지 않은 이유는 본 실험에서 사용된 게이트가 금속이기 때문이다. 즉, 금속은 전자로 채워져 있기 때문에 정공은 거의 존재하지 않는다. 이와는 반대로 게이트에 +4 V의 전압을 가한 후 측정한 C-V 곡선을 그림 6(b)에 나타내었다. 그림 6(b)의 C-V 곡선을 보면 150초 동안 스트레스를 가한 이후의 C-V 곡선이 상당히 많이 이동하였다. 이는 평탄전압이 상당히

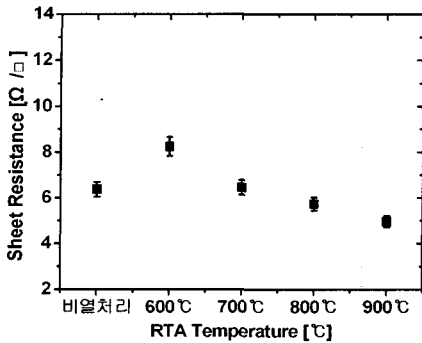


그림 8. 열처리 온도에 따른 면저항의 변화.

Fig. 8. Change of sheet resistance with the annealing temperature.

많이 변했다는 것을 의미한다. 이 현상의 원인은 그림 7(a)의 게이트 주입과는 달리 기판에서 주입되는 반송자의 영향에 의한 C-V 곡선의 이동임을 알 수 있다. 본 실험 결과 Mo-SiO₂ 계면은 주어진 조건에서 SiO₂-Si 계면과는 다르게 반송자의 터널링이 거의 없어 전기적으로 안정한 계면을 형성함을 확인하였다.

온도에 따른 Mo 게이트의 면저항 측정 결과를 그림 8에 나타내었다. 폴리 실리콘의 면저항이 80 Ω/□에서 수백 Ω/□를 나타내는 반면에 Mo의 면저항은 그림 8에서 보는 바와 같이 10 Ω/□ 미만의 작은 면저항을 나타내었다. 그림 8에서 알 수 있는 바와 같이 600 °C로 급속 열처리함에 따라 면저항이 약간 증가하였으나 열처리 온도가 600 °C 이상으로 증가하면 면저항이 오히려 감소하였다. 이 현상의 원인으로는 Mo 게이트의 grain size가 증가하여 grain boundary 밀도가 감소하였기 때문이다.

4. 결 론

본 논문에서는 폴리 실리콘 게이트를 대체할 수 있는 Mo 게이트에 대하여 여러 가지 안정성을 검증하였다. 열처리 온도에 따른 EOT의 변화량은 약 8.4 Å로 작았으며, 일함수는 4.9~5.0 eV로써 pMOS에 적합한 안정한 게이트 물질임을 알 수 있었다. XRD 분석을 통해 화학적 안정성을 확인했으며 고정 전하의 영향을 알아보기 위해서 히스테리시스를 측정했다. 또한 계면의 전기적 특성을 알

아보기 위하여 스트레스를 가해 C-V 측정하였다. 이 모든 실험 결과에 의하면 Mo 게이트는 pMOS에 적합한 물질임을 알 수 있었으며 앞으로 폴리 실리콘을 대체할 유력한 금속 물질임을 확인할 수 있었다.

감사의 글

이 논문은 2005년도 한국학술진흥재단의 지원에 의하여 연구되었음(R05-2004-000-11226-0).

참고 문헌

- [1] C. H. Choi, P. R. Chidambaram, R. Khamankar, C. F. Machala, Z. Yu, and R. W. Dutton, "Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS", *IEEE Trans. on Electron Dev.*, Vol. 49, No. 7, p. 1227, 2002.
- [2] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss, and V. Misra, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices", *IEDM*, p. 467, 2001.
- [3] H. Iwai and S. I. Ohmi, "Problems and solutions for downsizing CMOS below 0.1 μm", *ICE2000 Proc.*, p. 11, 2000.
- [4] Y. C. Yeo, T. J. King, and C. Hu, "Metal-dielectric band alignment and its implications for metal gate complementary metal-oxide-semiconductor technology", *J. Appl. Phys.*, Vol. 92, No. 12, p. 15, 2002.
- [5] V. Misra, G. P. Heuss, and H. Zhong "Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrodes with SiO₂ and ZrO₂", *Appl. Phys. Lett.*, Vol. 78, No. 26, p. 4166, 2001.
- [6] R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using Mo gate for CMOS devices", *IEEE Electron Device Lett.*, Vol. 23, No. 1, p. 49, 2002.
- [7] Q. Lu, Y. C. Yeo, P. Ranade, H. Takeuchi, R. J. King, and C. Hu, "Dual-metal gate technology for deep-submicron CMOS tran-

- sistors", Symposium on VLSI Technology Digest of Technical Papers, p. 72, 2000.
- [8] Y. S. Suh, G. Heuss, H. Zhong, S. N. Hong, and V. Misra, "Electrical characteristics of TaSixNy gate electrodes", Symposium on VLSI Technology Digest of Technical Papers, p. 47, 2001.
- [9] J. R. Hauser et al, "SRC working paper", 1997.
- [10] G. D. Wilk, R. M. Wallace, and J. M. Anthony "High-k gate dielectrics: Current status and materials properties considerations", Applied Physics Review, Vol. 89, No. 10, p. 5243, 2001.
- [11] W. Y. Loh, B. J. Cho, and M. S. Joo, "Analysis of trapping and breakdown mechanism in High-k dielectrics with metal gate electrode using carrier separation", IEDM, p. 927, 2003.
- [12] H. Y. Yu, H. F. Lim, and J. H. Chen "Robust HfN metal gate electrode for advanced MOS devices application", Symposium on VLSI Technology Digest of Technical Papers, p. 151, 2003.