

논문 2005-42SD-6-8

5.8GHz/5.2GHz/2.4GHz 무선 랜 응용을 위한 선형 이득 CMOS LC VCO의 설계

(Design of CMOS LC VCO with Linearized Gain for
5.8GHz/5.2GHz/2.4GHz WLAN Applications)

안 태 원*, 문 용**

(Tae-Won Ahn and Yong Moon)

요 약

삼중 대역 무선 랜 응용을 위한 CMOS LC VCO를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. 저잡음 특성을 얻기 위하여 VCO 코어는 PMOS 트랜지스터로 구성하였으며 인덕터와 캐패시터를 선택적으로 스위칭하는 기법을 적용하여 5.8GHz 대역 (5.725~5.825GHz), 5.2GHz 대역 (5.150~5.325GHz), 그리고 2.4GHz 대역 (2.412~2.484GHz)에서 동작 가능한 것을 확인하였다. 또한 MOS 변역터(varactor)에 다중 바이어스를 적용하고 최적화하여 캐패시턴스의 선형 특성을 개선함으로써 VCO의 이득을 선형화하고 PLL의 안정도를 크게 개선하였다. VCO 코어의 소모 전류는 2mA, 면적은 570 μ m \times 600 μ m이며, 3가지 주파수 대역 모두 1MHz 오프셋에서 -110dBc/Hz 이하의 잡음 특성이 가능함을 확인하였다.

Abstract

CMOS LC VCO for tri-band wireless LAN applications was designed in 1.8V 0.18 μ m CMOS process. PMOS transistors were chosen for VCO core to reduce flicker noise. The possible operation was verified for 5.8GHz band (5.725~5.825GHz), 5.2GHz band (5.150~5.325GHz), and 2.4GHz band (2.412~2.484GHz) using the switchable L-C resonators. To linearize its frequency-voltage gain (K_{vco}), optimized multiple MOS varactor biasing technique was used for capacitance linearization and PLL stability improvement. VCO core consumed 2mA current and 570 μ m \times 600 μ m die area. The phase noise was lower than -110dBc/Hz at 1MHz offset for tri-band frequencies.

Keywords : CMOS, VCO, WLAN, multiband, MOS varactor

I. 서 론

현재까지의 무선 랜 규격은 사무실과 가정의 무선 데이터 통신 서비스를 제공하기 위해 많은 발전을 거듭하여 왔다. 현재 국내에서도 안정된 서비스를 제공하고

있는 IEEE 802.11b 의 경우 ISM 2.4GHz 대역(2.412~2.484GHz)에서 최대 11Mbps 의 데이터 전송을 지원하고 있으며 광대역의 고속 데이터 전송의 필요에 따라 규격화되기 시작한 IEEE 802.11a 의 경우 하위 U-NII

표 1. WLAN 규격 개요
Table 1. WLAN standards overview.

규격	데이터 전송률 [Mbps]	변조방식	주파수 대역 [GHz]	밴드
IEEE 801.11a	6~54	OFDM	5.150~5.325 5.725~5.825	U-NII
IEEE 801.11b	1~11	CCK	2.412~2.484	ISM
IEEE 801.11g	1~11 6~54	CCK OFDM	2.412~2.484	ISM

* 정희원, 동양공업전문대학 전기전자통신공학부 (Dept. of Electronics, Dongyang Technical College)

** 정희원, 송실대학교 정보통신전자공학부 (School of Electronic Engineering, Soongsil University)

※ 본 연구는 정보통신부 정보통신 기초기술 연구지원 사업으로 수행되었으며, CAD 툴은 IDEC의 지원을 받았습니다.

접수일자: 2005년3월31일, 수정완료일: 2005년5월12일

5.2GHz 대역(5.150~5.325GHz) 및 상위 U-NII 5.8GHz 대역(5.725~5.825GHz)에서 최대 54Mbps의 데이터 전송을 지원하는 것을 요구하고 있다. 한편 2.4GHz 대역에서 최대 54Mbps의 데이터 전송을 지원하는 IEEE 802.11g 또한 규격화되어 있는 상황이다^[1].

표 1과 같이 정리된 다양한 규격은 시장 원리에 의해 아직까지도 하나의 규격으로 통합되지 못했으며 앞으로도 한동안은 전 세계적으로 여러 가지 규격의 제품군이 상존하게 될 것으로 예측되고 있다.

또한 무선 랜의 사용 증가에 따라 사용 장소나 환경 또는 필요 데이터 전송률 등에 따라서 802.11a와 802.11b/g를 선택적으로 사용할 필요가 증가할 것이다. 따라서, 앞으로의 무선 랜용 송수신기는 하나의 시스템에서 3가지 이상의 규격을 지원할 필요가 증가하며, 또한 이를 저가격으로 구현할 필요도 커지고 있다.

이같은 상황에서 5.8GHz 대역(5.725~5.825GHz), 5.2GHz 대역(5.150~5.325GHz), 그리고 2.4GHz 대역(2.412~2.484GHz)을 단일 칩에서 동시에 지원할 수 있는 수요는 계속 증가할 것이고 이를 위한 핵심을 이루는 구성 블록은 필요한 대역에 따른 주파수를 생성하는 VCO(Voltage Controlled Oscillator)라고 할 수 있다^[2]. 물론 3가지 대역의 주파수를 생성하기 위해서는 각각의 대역에 맞는 3개의 VCO를 각각 따로 설계하는 것도 가능하겠지만 가격 대 성능 비를 최적화하기 위해서는 하나의 VCO를 사용하면서 다중 밴드를 지원하도록 설계하는 것이 바람직하다^{[3]-[5]}.

VCO를 집적회로로 구현함에 있어서 MOS 공정은 바이폴라 공정에 비해 저잡음 특성이 우수하며 다른 블록과의 통합성 면에서도 우월하기 때문에 활발한 연구가 진행되어 왔다^[6]. 특히 CMOS 공정에서 1/f 잡음을 개선하기 위해서는 PMOS 트랜지스터가 NMOS 트랜지스터보다 유리한 것으로 확인되고 있다^[7].

본 논문에서는 다중 대역을 지원할 수 있는 LC VCO를 0.18 μ m CMOS 공정에서 설계하였다. 저잡음 특성을 얻기 위하여 VCO 코어는 PMOS만으로 구성하였으며 코일과 캐패시터를 선택적으로 스위칭하는 기법을 적용하여 5.8GHz 대역(5.725~5.825GHz), 5.2GHz 대역(5.150~5.325GHz), 그리고 2.4GHz 대역(2.412~2.484GHz)에서 동작 가능한 것을 확인하였다. 또한 MOS 버랙터(varactor)에 다중 바이어스를 적용하고 최적화하여 캐패시턴스의 선형 특성을 개선함으로써 VCO의 이득을 선형화하고 PLL(Phase Locked Loop)의 안정도를 크게 개선시키도록 설계하였다.

II. VCO 구조의 선택

최적의 VCO 구조를 선택하기 위해 CMOS 공정으로 구현 가능한 여러 가지 VCO를 조사하고 이를 비교하여 구조 결정을 진행하였다. 그림 1은 CMOS 공정으로 구현 가능한 6가지 VCO 구조를 보여준다. N-core 교차쌍(a, b), P-core 교차쌍(c, d), 그리고 NP-core 교차쌍(e, f)으로 각각 바이어스 전류가 있는 구조(a, c, e)와 바이어스 전류가 없는 구조(b, d, f)로 나눌 수 있다.

NP-core는 VCO 출력 진폭이 N-core 나 P-core 보다 2배 크므로 일단 전력 소모 면에서는 유리하고, 출력 파형의 대칭성이 우수한 장점이 있다. 하지만 전원 전압 쪽과 접지 쪽 모두에 일정 전압 이상이 요구되므로 저전압 동작에 불리하고 제어 전압의 범위에 제한이

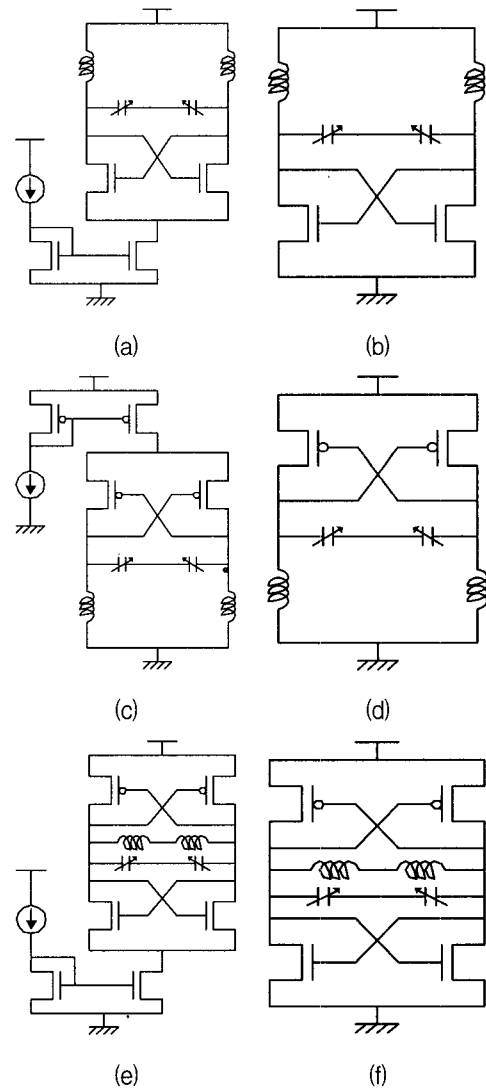


그림 1. CMOS 공정으로 구현 가능한 6가지 VCO구조
Fig. 1. Six VCO topologies in CMOS process.

따르는 단점이 있다^[7].

P-core는 N-core에 비해 위상 잡음 면에서 유리하다. 이것은 SiO₂ 게이트 산화막을 갖는 0.18μm CMOS 공정에서 PMOS 트랜지스터가 NMOS 트랜지스터에 비해 10dB 정도 낮은 1/f 잡음을 갖고 핫 캐리어에 의한 잡음 또한 작기 때문이다.

최근 발표된 연구에 의하면 바이어스 전류가 없는 구조가 바이어스 전류가 있는 구조에 비해서 위상 잡음이 작다^[7]. 바이어스 전류가 없는 구조는 제어 전압의 범위에서도 유리한 점이 있다. 하지만 바이어스 전류가 없는 구조는 전원 전압의 변동에 의한 VCO 주파수 변이가 생길 위험이 있는 단점이 있다.

본 논문에서 설계하고자 하는 VCO는 1.8V의 저전원 전압을 사용하며, 제어전압의 범위가 넓어야 하고 전원 전압의 변동에 대한 민감도 및 위상 잡음을 낮추는 것을 목표로 하였다. 따라서 위에서 제시된 바와 같은 비교 관점에서 바이어스 전류가 있는 P-core를 기본 구조로 선택하였다.

또한 이 같은 기본 구조에 그림 2와 같이 L-C 스위칭 기법을 적용하여 2.4GHz 대역, 5.2GHz 대역, 그리고

5.8GHz 대역의 주파수를 선택적으로 생성하는 것이 가능하도록 설계하였다. 표 2에 정리된 바와 같이 인덕터(L) 스위칭으로 2.4GHz 대역과 5.2GHz/5.8GHz 대역을 선택하고, 캐패시터(C) 스위칭으로 5.2GHz대역과 5.8GHz 대역을 선택하도록 설계하였다.

그림 2에서 VCO 코어를 구성하며 L-C 기생 저항 성분을 상쇄하는 부저항(negative resistor) 역할을 하는 MP2, MP3 트랜지스터 쌍은 초기 루프 이득이 발진이 일어나기에 충분한 크기의 값을 확보해야 한다. 위상 잡음을 줄이기 위해서는 VCO 코어에 흐르는 바이어스 전류를 공급하는 MP1 트랜지스터의 크기를 가능한 크게 한다. 이것은 제어전압의 최대값을 충분히 확보하기 위한 이유도 있다. 또한 MP0 트랜지스터의 크기는 작게 하여 기준 전류의 크기는 작게 하는 것이 위상 잡음을 낮추는데 유리하다.

설계에 사용된 인덕터의 L값은 식 (1)을 이용하여 구할 수 있으며, 주파수 변동에 따른 인덕터 값의 특성을 분석하였고 그 결과를 그림 3에서 나타내었다^[8].

$$L = \frac{1}{\omega} \frac{Im(Y21)}{Re^2(Y21) + Im^2(Y21)} \quad (1)$$

설계에 사용한 캐패시터의 값은 식 (2)를 이용하여 구했으며 주파수 변동에 따른 특성은 그림 4에서 나타내었다^[8]. 그림 4(a)는 캐피시터의 면적 변화에 따른 MIM(Metal-Insulator-Metal) 캐패시터의 캐패시턴스이며 그림 4(b)는 핑거 개수에 따른 MOS 버랙터의 캐패시턴스를 나타낸다. 핑거 한개의 W=10μm, L=0.4μm이므로 finger=10인 경우 MOS 버랙터의 면적은 40μm²이

표 2. L-C 스위칭에 의한 대역 선택
Table 2. Band selection with L-C switching.

Vsw0	Vsw1	유효 L, C	주파수 대역[GHz]
HIGH	LOW	L0, L1, Cv	5.725~5.825
HIGH	HIGH	L0, L1, Cv, C0, C1	5.150~5.325
LOW	LOW	L0, L1, L2, L3, Cv	2.412~2.484

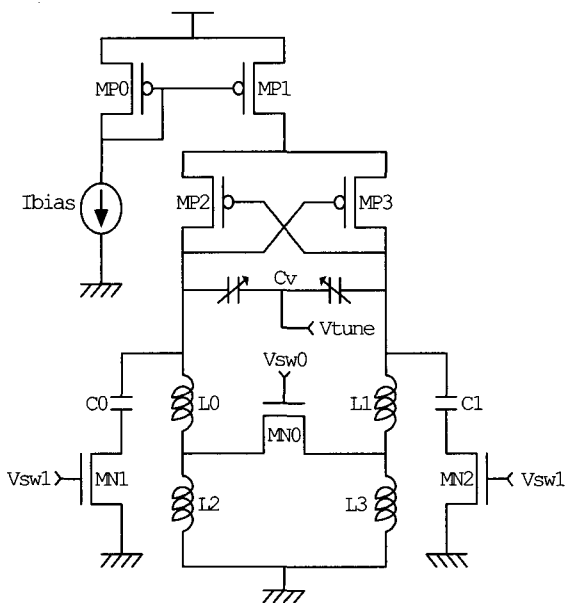


그림 2. L-C 스위칭 기법을 적용한 P-core VCO
Fig. 2. P-core VCO with switchable L-C resonators.

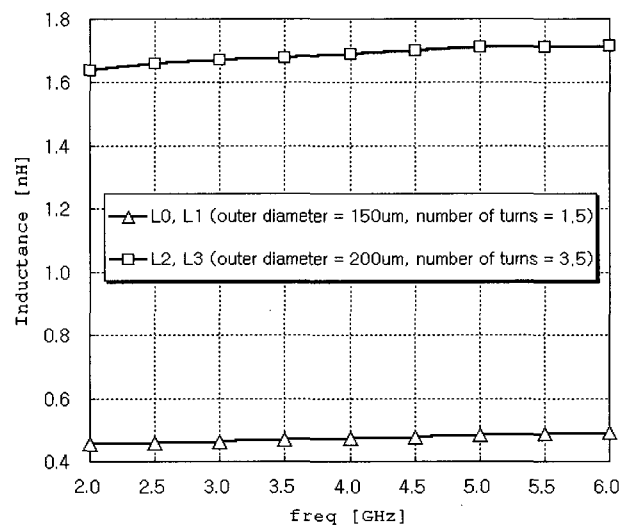
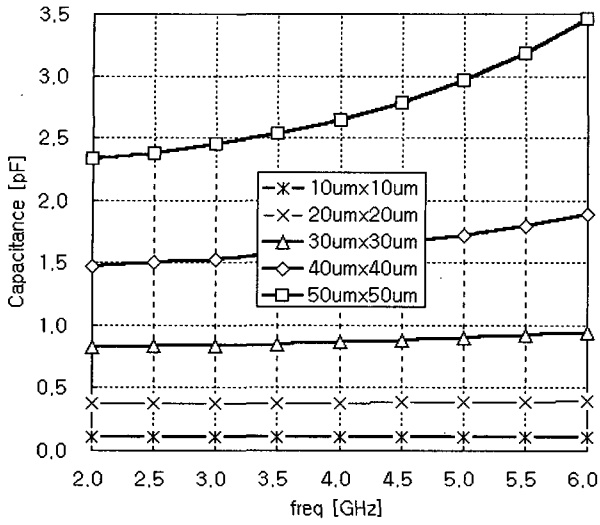
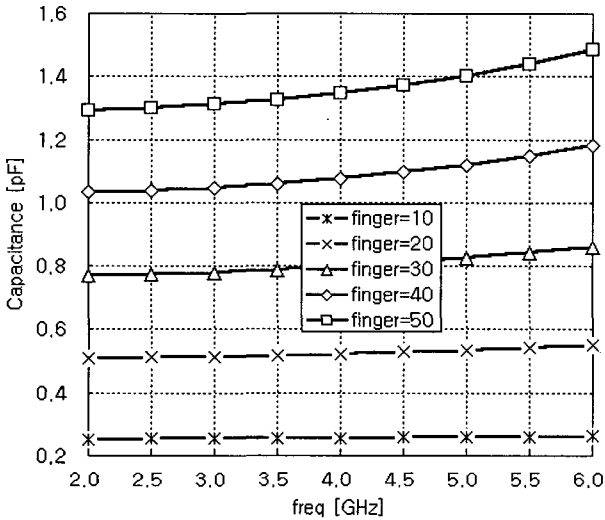


그림 3. 설계에 사용된 인덕턴스 특성
Fig. 3. Inductance characteristics.



(a) MIM 캐패시터의 캐패시턴스



(b) MOS 버랙터의 캐패시턴스 (W=10μm, L=0.4μm)

그림 4. 설계에 사용된 캐패시턴스 특성
Fig. 4. Capacitance characteristics.

된다.

$$C = \frac{1}{\omega} \frac{Re^2(Y_{21}) + Im^2(Y_{21})}{Im(Y_{21})} \quad (2)$$

그림 3과 그림 4와 같은 특성을 갖는 L과 C를 이용하여 무선 랜 규격에서 정해진 주파수 범위를 만족하면서 동시에 선형화된 주파수-제어 전압 특성을 갖도록 설계한 VCO에 대해서는 다음 장에서 다룬다.

III. VCO 이득의 선형화

그림2에서 나타낸 구조의 VCO에서는 인덕터가 DC에서 단락되므로 버랙터가 0V에서 바이어스가 잡히게

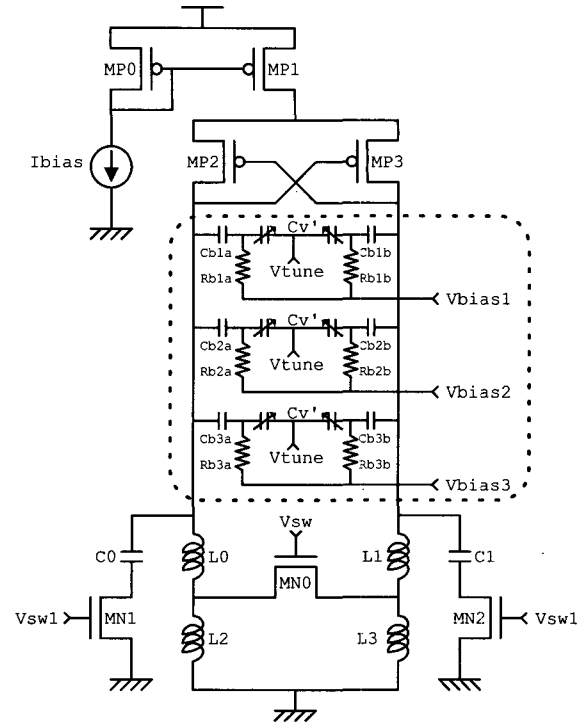


그림 5. 선형 특성을 개선한 CMOS LC VCO
Fig. 5. CMOS LC VCO with Linearized Gain.

되어 MOS의 V_T 이하의 제어 전압에 대해서는 축적 모드 동작으로 캐패시턴스의 변화가 선형적인 제어 특성을 갖지만 V_T 이상의 제어 전압에 대해서는 버랙터의 캐패시턴스 변화가 거의 없게 된다. 따라서 원하는 전체 제어 전압의 범위 내에서 균일한 선형 특성을 갖기가 어렵다. 이러한 문제점을 개선하기 위해 그림 2의 VCO 구조에 다중 바이어스를 인가한 버랙터를 적용하여 선형성을 개선한 구조를 제안하며 이는 그림 5와 같다.

그림 5의 점선 안쪽 부분은 3개의 버랙터 바이어스 전압을 사용하여 캐패시턴스의 선형 특성을 개선한 회로를 나타낸다. 3가지 버랙터 바이어스 전압을 인가할 때 제어 전압에 따른 캐패시턴스 특성은 그림 6과 같은데 바이어스 전압이 0V인 경우는 낮은 전압에서 캐패시턴스가 선형 특성을 가지며, 바이어스 전압이 0.9V인 경우는 중간 전압에서, 1.8V인 경우는 높은 전압에서 선형 특성을 가진다. 따라서 바이어스 전압을 0V, 0.9V, 1.8V의 3가지로 사용하여 동작 범위에 따라 3개의 선형 동작 부분을 중첩하면 0V~1.8V의 전체 제어 전압의 범위 내에 걸쳐서 캐패시턴스 값이 균일한 선형 특성을 갖도록 할 수 있다.

바이어스 회로가 증가할수록 선형성을 개선할 수 있으나 면적이 증가하고 필요한 바이어스 전압의 종류가

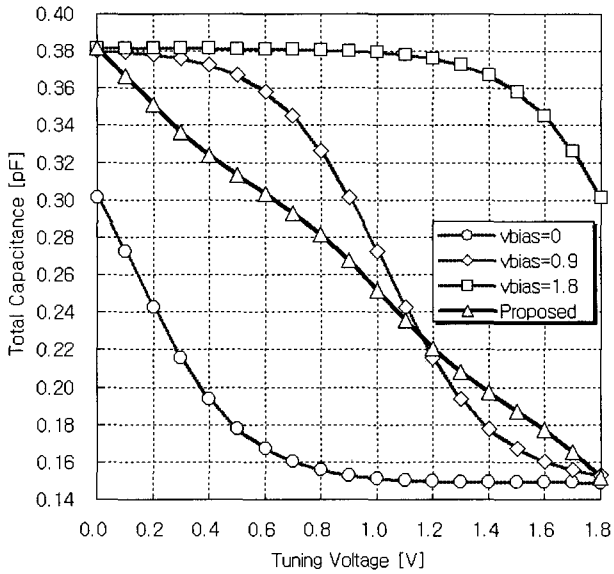


그림 6. C-V 선형 특성 개선
Fig. 6. C-V curve linearization.

증가하므로 이를 고려하여 3개의 바이어스 구조를 선택하였다. 각각의 바이어스 전압도 0V, V_{DD} 와 $V_{DD}/2$ 를 사용하므로 바이어스 전압 생성이 어렵지 않고, 선형 특성도 4개 이상의 바이어스 회로를 가지는 구조와 큰 차이가 없으므로 VCO의 면적이나 특성면에서 가장 최적의 구조라고 여겨진다.

IV. 회로 및 레이아웃 설계

제안하는 삼중대역 VCO를 설계하고 검증하기 위하여 $0.18\mu\text{m}$ 2-poly 6-metal CMOS 공정을 사용하였으며 회로 설계 및 검증은 ADS에 의해 수행되었고 1.8V 전원 전압에서 VCO 코어는 2mA 정도의 전류를 소모하였다. 차후에 프리스케일러와 같은 후속단을 구동하기 위한 VCO 버퍼는 NMOS 차동 증폭기 구조를 사용하여 그림 7과 같은 전체 VCO 회로가 구성되었다. VCO 코어는 앞의 그림 5에 나타낸 회로이고 $C_0=C_1=0.25\mu\text{F}$, $R_0=R_1=4\text{k}\Omega$ 을 사용하였으며, PAD에 연결된 50Ω 저항과 1pF 캐패시터는 측정 상황을 고려한 모의실험을 위한 외부 응용회로이다.

앞의 표 2와 같은 3가지 주파수 대역 선택 조건에 따른 전체 회로의 모의 실험 결과는 그림 8부터 그림 10에 나타내었다. 제안하는 회로에서 sw0 신호에 의한 인덕터 스위칭으로 2.4GHz 대역과 5.2GHz/5.8GHz 대역을 선택하고, sw1 신호에 의한 캐패시터 스위칭으로 5.2GHz대역과 5.8GHz 대역을 선택하게 된다. 그림 8은 VCO 제어 전압 (vtune)의 변화에 따른 주파수를 나타

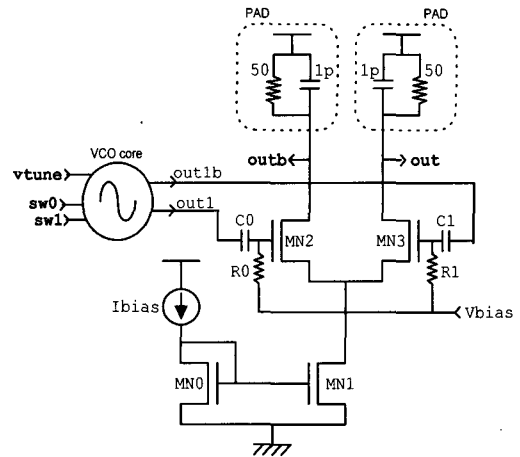
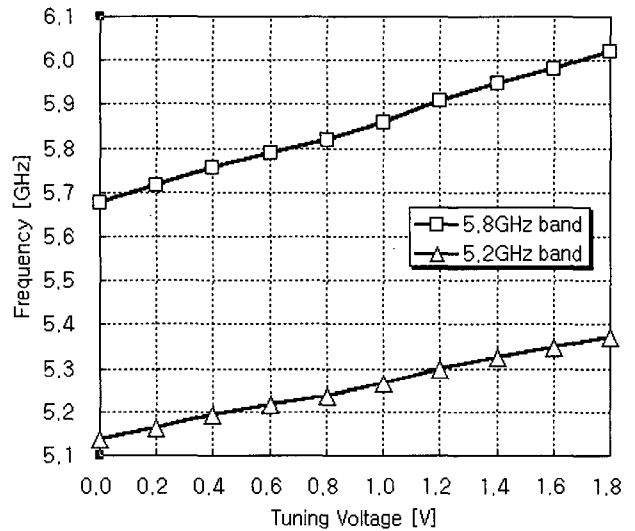
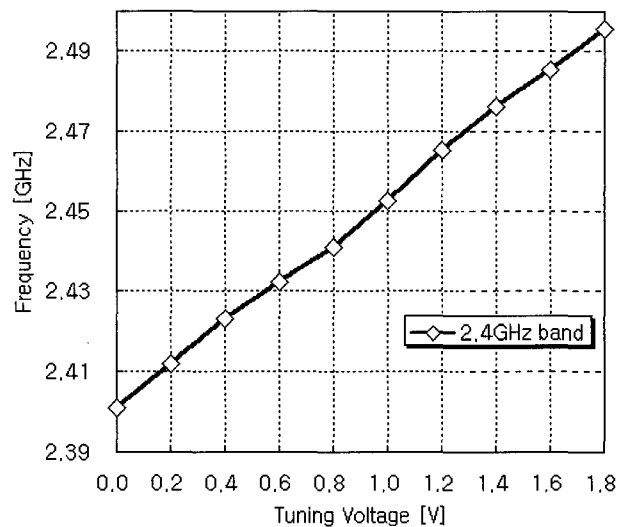


그림 7. VCO 버퍼를 포함한 전체 회로도
Fig. 7. Full schematic with VCO buffer.

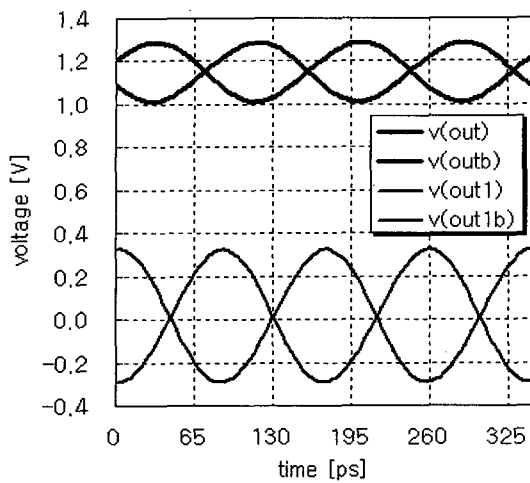


(a) 5.8GHz 대역 및 5.2GHz 대역

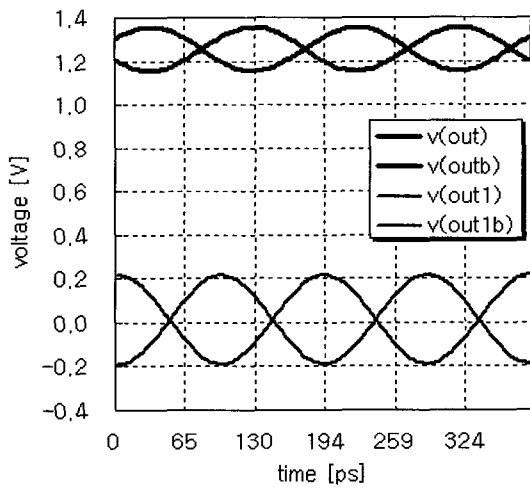


(b) 2.4GHz 대역

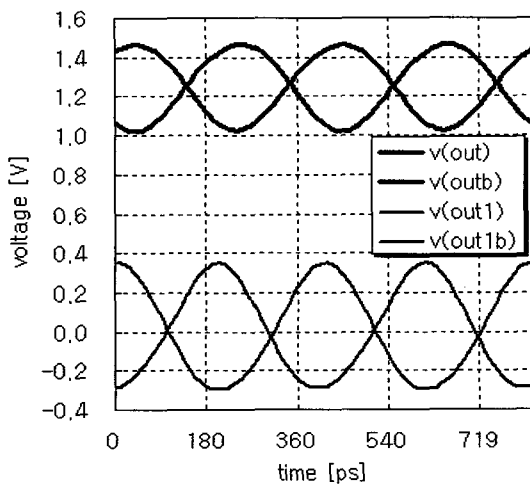
그림 8. VCO 이득 (K_{vco}) 특성
Fig. 8. VCO gain (K_{vco}) characteristic.



(a) 5.8GHz 대역



(b) 5.2GHz 대역



(c) 2.4GHz 대역

그림 9. VCO 출력 레벨 특성
Fig. 9. VCO output level characteristic.

낸 VCO 이득 (K_{vco}) 특성의 그래프이며, 그림 9는 각각의 대역에 대한 VCO 출력 전압으로서 VCO 코어의

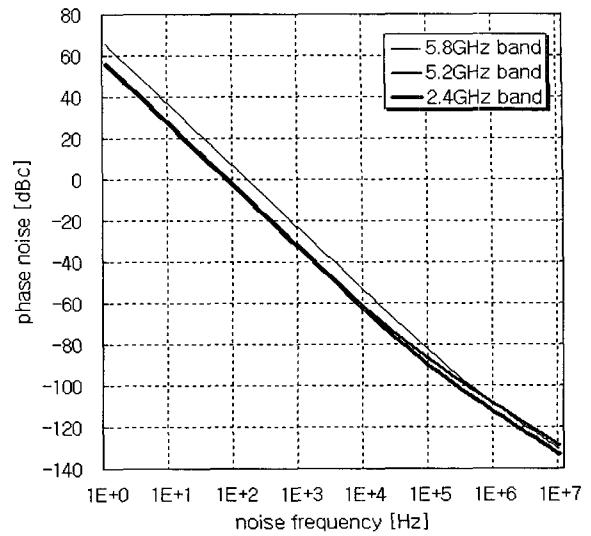


그림 10. VCO 위상 잡음 특성
Fig. 10. VCO phase noise characteristic.

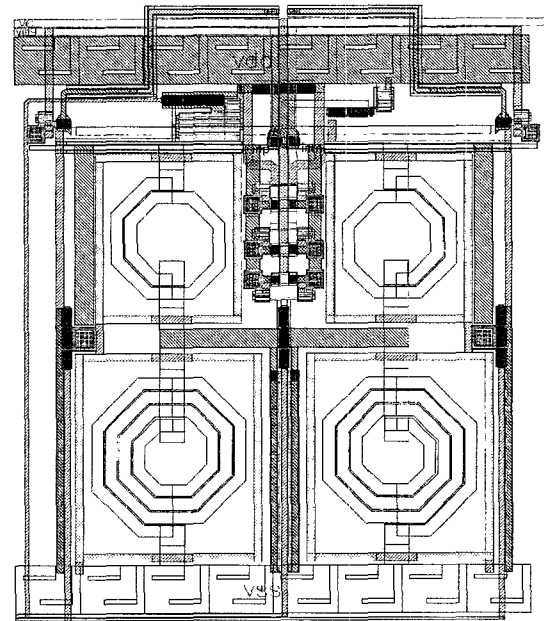


그림 11. 설계된 VCO 레이아웃
Fig. 11. Layout of the designed VCO.

출력 전압(out1, out1b)과 VCO 버퍼의 출력 전압(out, outb)을 나타내고, 그림 10은 1/f 잡음에 근거한 위상 잡음 특성의 그래프이다.

고주파 VCO의 설계는 레이아웃에 따라 그 특성이 많은 차이를 나타낼 수 있다. 회로 설계 단계에서 공정의 레이아웃에 의한 기생 성분이 반영된 파라메타에 의해 설계하는 것이 바람직하지만 기본적인 레이아웃 고려사항으로는 최우선적으로 VCO 구조의 차동 특성을 완전 대칭형으로 구성하도록 레이아웃하는 것이 중요하다. 또한 VCO 동작과 관련된 모든 트랜지스터는 핑거 형태(finger type)로 설계하여 기생 R-C 성분을 최소화

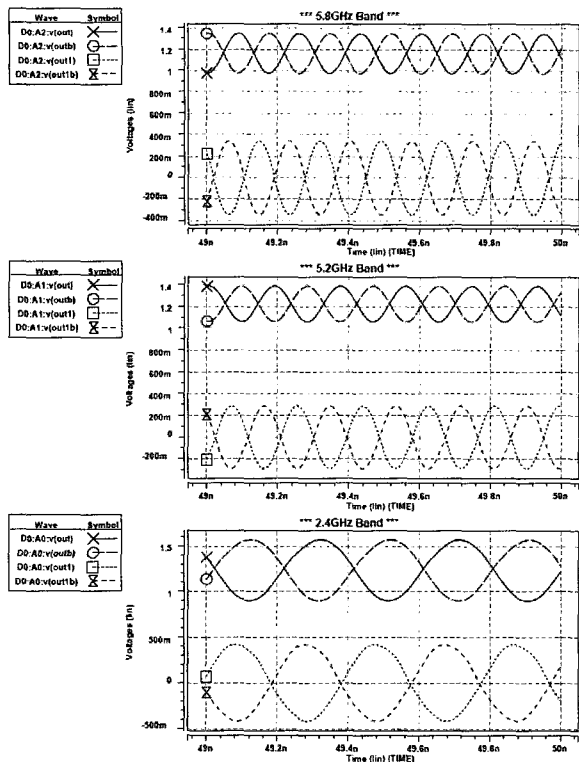


그림 12. HSPICE를 이용한 LPE 모의 실험 결과
Fig. 12. LPE simulation results using HSPICE.

하였다. 완성된 VCO 레이아웃 도면은 그림 11과 같다. 신호 연결에 있어서 GND 또는 V_{DD} 에 의한 DC 가드-링으로 고주파 신호 라인의 잡음 면역도를 높였으며 레이아웃에 의한 기생 성분을 반영하여 HSPICE로 LPE 모의 실험한 결과 파형은 그림 12와 같다.

모의실험 결과를 통하여 설계한 VCO가 3가지 대역에서 원하는 주파수를 생성하고 낮은 위상 잡음을 가지는 것을 확인할 수 있었다.

V. 결 론

삼중 대역 (5.8GHz/5.2GHz/2.4GHz) 무선 랜 응용을 위한 선형 이득 CMOS LC VCO를 0.18 μ m CMOS 공정으로 설계하였다. 1.8V의 저전원 전압을 사용하며, 제어 전압의 범위가 넓어야 하고 전원 전압의 변동에 대한 민감도 및 위상 잡음을 낮추도록 설계를 진행하였다. 저잡음 특성을 얻기 위하여 VCO 코어는 바이어스 전류가 있는 PMOS 트랜지스터 쌍으로 구성하였으며 인덕터와 캐패시터를 선택적으로 스위칭하는 기법을 적용하여 5.8GHz 대역 (5.725~5.825GHz), 5.2GHz 대역 (5.150~5.325GHz), 그리고 2.4GHz 대역 (2.412~2.484GHz)에서 동작 가능한 것을 ADS를 통하여 확인

하였으며, 레이아웃을 진행하고 LPE 후 HSPICE 모의 실험을 통하여 비교를 진행하였다. 또한 MOS 버랙터 (varactor)에 다중 바이어스를 적용하고 최적화하여 캐패시터의 선형 특성을 개선함으로써 VCO의 이득을 선형화하고 PLL의 안정도를 크게 개선하였다. VCO 코어의 소모 전류는 2mA, 면적은 570 μ m \times 600 μ m이며, 3가지 주파수 대역 모두 1MHz 옵셋에서 -110dBc/Hz 이하의 잡음 특성이 가능함을 확인하였다. 본 연구결과를 이용하여 여러 가지 대역을 동시에 지원할 수 있는 무선 랜용 송수신기의 설계가 간편해지고 효과적이며 비용도 절감할 수 있으므로 그 중요성이 매우 클 것으로 생각 된다.

참 고 문 헌

- [1] IEEE Wireless LAN Standards.
- [2] Donhee H. and Hajimiri, A., "Design and optimization of a low noise 2.4GHz CMOS VCO with integrated LC tank and MOSCAP tuning," ISCAS 2000 - IEEE International Symposium on Circuits and Systems, vol. 1, pp.331-334, May 2000.
- [3] Perraud, L. et al., "A direct-conversion CMOS transceiver for the 802.11a/b/g WLAN standard utilizing a Cartesian feedback transmitter," IEEE Journal of Solid State Circuits, vol. 39, pp.2226-2238, Dec. 2004.
- [4] Zargari, M. et al., "A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11a/b/g wireless LAN," IEEE Journal of Solid State Circuits, vol. 39, pp.2239-2249, Dec. 2004.
- [5] Ahola, R. et al., "A single-chip CMOS transceiver for 802.11a/b/g wireless LANs," IEEE Journal of Solid State Circuits, vol. 39, pp.2250-2258, Dec. 2004.
- [6] Wang, D. and Xudong Wang, "The performance comparison of CMOS vs bipolar VCO in SiGe BiCMOS technology," 2003 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp.615-618, June 2004.
- [7] Park, Y., Chakraborty, S., Lee, C.-H., Nuttinck, S. and Laskar, J., "Wide-band CMOS VCO and frequency divider design for quadrature signal generation," 2004 IEEE MTT-S Digest, vol. 3, pp.1493-1496, Dec. 2004.
- [8] Maget, J., Tiebout, M. and Kraus, R., "MOS varactors with n- and p-type gates and their influence on an LC-VCO in digital CMOS," 2004 IEEE MTT-S Digest, vol. 38, pp.1139-1147, July 2003.

저 자 소 개



안 태 원(정회원)
 1992년 서울대학교 전자공학과
 학사 졸업.
 1994년 서울대학교 전자공학과
 석사 졸업.
 1994년~2002년 삼성전자 반도체
 SYSTEM LSI
 책임연구원.

2002년~현재 동양공업전문대학 전자과 조교수.
 <주관심분야 : 반도체, PLL, Mixed/RF IC 설계>



문 용(정회원)
 1990년 서울대학교 전자공학과
 학사 졸업.
 1992년 서울대학교 전자공학과
 석사 졸업.
 1997년 서울대학교 전자공학과
 박사 졸업.

1997년~1999년 LG반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부
 조교수.

<주관심분야 : 혼성신호IC, 저전력회로, CMOS
 RF회로, UWB 등>