

Ion-cut에 의한 SOI웨이퍼 제조 및 특성조사

우형주** · 최한우* · 배영호** · 최우범***

*한국지질자원연구원 이온빔응용그룹, **위덕대 정보통신공학부, ***BNP 사이언스
(논문접수일 : 2005년 2월 23일)

SOI wafer formation by ion-cut process and its characterization

H-J. Woo**†, H-W. Choi*, Y-H. Bae**, W-B. Choi***

Ion Beam Application Group, Korea Institute of Geoscience & Mineral Resources P.O. Box 111, Daedeok Science Town, Daejeon, 305-350 Korea **Division of Information & Communication Engineering, Uiduk University Gyeongju, Gyeongbuk 780-910 Korea *BNP Science, Paju, Gyeonggi 413-843 Korea*

(Received February 23, 2005)

요 약

양성자 주입과 웨이퍼접합기술을 접목한 ion-cut기술로서 SOI 웨이퍼를 제조하는 기술을 개발하였다. SRIM 전산모사에 의하면 일반 SOI 웨이퍼 (200 nm SOI, 400 nm BOX) 제조에는 65 keV의 양성자주입이 요구된다. 웨이퍼분리를 위한 최적 공정조건을 얻기 위해 조사선량과 열처리조건(온도 및 시간)에 따른 blistering 및 flaking 등의 표면변화를 조사하였다. 실험결과 유효선량범위는 $6\sim 9\times 10^{16} \text{ H}^+/\text{cm}^2$ 이며, 최적 아닐링조건은 550 °C에서 30분 정도로 나타났다. RCA 세정법으로서 친수성표면을 형성하여 웨이퍼 직접접합을 수행하였으며, IR 조사에 의해 무결합접합을 확인하였다. 웨이퍼 분리는 예비실험에서 정해진 최적조건에서 이루어졌으며, SOI층의 안정화를 위해 고온열처리(1,100 °C, 60분)를 시행하였다. TEM 측정상 SOI 구조결함은 발견되지 않았으며, BOX(buried oxide)층 상부계면상의 포획전하밀도는 열산화막 계면의 낮은 밀도를 유지함을 확인하였다.

주제어 : SOI 웨이퍼, 이온절단, 양성자주입, 웨이퍼 직접접합

Abstract

The silicon-on-insulator (SOI) wafer fabrication technique has been developed by using ion-cut process, based on proton implantation and wafer bonding techniques. It has been shown by SRIM simulation that 65 keV proton implantation is required for a SOI wafer (200 nm SOI, 400 nm BOX) fabrication. In order to investigate the optimum proton dose and primary annealing condition for wafer splitting, the surface morphologic change has been observed such as blistering and flaking. As a result, effective dose is found to be in the $6\sim 9\times 10^{16} \text{ H}^+/\text{cm}^2$ range, and the annealing at 550 °C for 30 minutes is expected to be optimum for wafer splitting. Direct wafer bonding is performed by joining two wafers together after creating hydrophilic surfaces by a modified RCA cleaning, and IR inspection is followed to ensure a void free bonding. The wafer splitting was accomplished by annealing at the predetermined optimum condition, and high temperature annealing was then performed at 1,100 °C for 60 minutes to stabilize the bonding interface. TEM observation

revealed no detectable defect at the SOI structure, and the interface trap charge density at the upper interface of the BOX was measured to be low enough to keep 'thermal' quality.

Key Words : SOI, ion-cut, proton implantation, wafer direct bonding

1. 서 론

SOI(Silicon-On-Insulator) 웨이퍼는 단결정 Si층(device layer)이 산화막에 의해 Si기판으로부터 전기적으로 절연된 3층의 웨이퍼로서, 고속, 저전력, 저전압 특성과 아울러 고온 및 높은 방사선장에서 도 우수한 소자특성을 보인다. 따라서, 고속 마이크로프로세서 및 메모리, 우주선 등의 내방사선 회로, 자동차 엔진용 고온회로, MEMS, 태양전지, smart power 등 다양한 활용성을 가지고 있다 [1-3].

70년대에 군사나 우주분야에서의 활용을 목적으로 SOI기술이 등장한 이래, silicon-on-sapphire (SOS), separation by implantation of oxygen (SIMOX), bonded SOI, and epitaxial layer transfer 등 다양한 기술들이 개발되었다 [4-8]. 이들 중 bonded SOI와 SIMOX 두 기술들이 차세대 ULSI 제조를 위한 요구조건을 충족하며, 웨이퍼 직접접합을 이용하는 기술은 박막제조기술에 따라 bond & etch-back SOI (BESOI) 및 박막 쪼개기(layer splitting) 기술 등 두 가지로 대별된다.

80년대 중반 프랑스 LETI 연구진들은 이온주입과 웨이퍼접합기술을 결합함으로써 그림 1과 같이 임의의 웨이퍼의 단결정 초박막을 다른 기판에 전이할 수 있는 획기적인 기술을 제안하였으며, ion-cut(일명 smart-cut)으로 불리는 이 기술로서 두께 균일성, 우수한 결정성, 경제성, 두께 가변성과 다양성 등을 확보하게 되었다 [9-11]. 또한 이 기술은 SOI 웨이퍼 제조뿐만 아니라 GaAs on Si, Si on quartz, SiC on glass, 3차원구조형성 등 다양한 활용이 가능하다 [12-15].

당 연구를 통해 ion-cut공정으로 다양한 두께의 SOI웨이퍼를 제조할 수 있었으며, 본 논문에서는 양성자주입, 직접접합을 위한 웨이퍼 세정, 웨이퍼분리를 위한 일차열처리 공정 및 SOI 웨이퍼의 영구안정화를 위한 고온열처리 공정 등 일련의 ion-cut공정과 아울러 제조된 SOI웨이퍼의 특성조

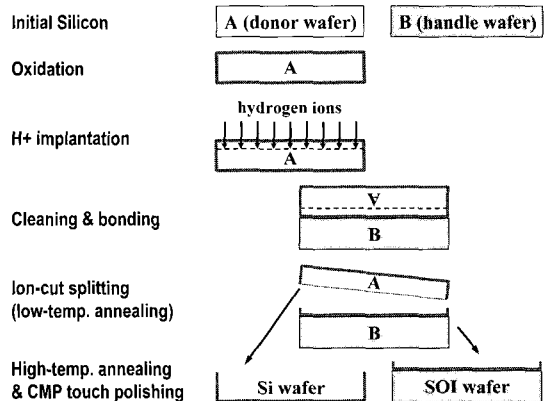


Fig. 1. Schematic of the ion-cut process.

사결과를 소개하고자 한다.

2. 실 험

본 연구에서 사용된 Si 기판은 4인치 직경의 P-형(B-doped)으로서 비저항은 14~22 Ωcm, 기판두께는 525 μm, TTV(Total Thickness Variation)는 1.5 μm, 표면조도는 3 Å의 Prime급이며, 표준형 SOI (200 nm SOI, 400 nm BOX) 제조를 위해 웨이퍼-A (donor) 표면에는 습식산화공정을 통하여 400 nm의 균일한 SiO₂ 산화층을 형성하였다.

준비된 열산화막 기판에 요구되는 최적 이온주입조건을 조사하기 위한 SRIM-2003 (the Stopping & Range of Ions in Matter) 전산모사 결과 (그림 2), 절단면의 표면 거칠기와 CMP연마시의 추가 제거분을 고려하면 65 keV의 양성자조사($R_p = 694$ nm, $\Delta R_p = 96$ nm)가 요구됨을 알 수 있었다 [16]. 최적선량 조사를 위한 조사선량의 범위는 $3 \times 10^{16} \text{ H}^+/\text{cm}^2 \sim 1.2 \times 10^{17} \text{ H}^+/\text{cm}^2$ 이며, 채널링현상을 억제하기 위해 빔입사각을 7° 정도 기울여 조사하였다. 주입된 수소의 매질내 정상적인 분포를 ERD(Elastic Recoil Detection)와 SIMS 분석을 통하여 확인하였다 [16].

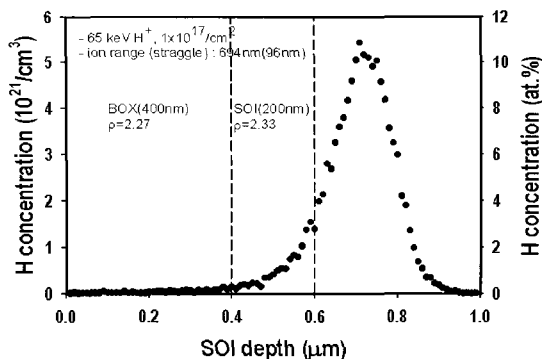


Fig. 2. Estimated depth profile of hydrogen concentration for implantation dose of $1 \times 10^{17} \text{ H}^+/\text{cm}^2$ at 65 keV in a donor wafer with 400 nm BOX layer.

양성자 조사후 청정실(class 10)내에서 megasonic SC-1 ($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 및 SPM ($\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$) 습식세정방식으로 두 웨이퍼(A 및 B)를 세정한 다음 직접접합 하였으며, 웨이퍼 B(handle wafer)는 ion-cut 공정에서 stiffner 역할과 SOI구조에서 매물산화막(BOX층) 하단의 기판 역할을 하게 된다. 접합 웨이퍼의 일차 열처리과정(500~600℃, 30분)에서 웨이퍼-A(device or donor wafer)는 두 개의 층으로 분리되며, 결과적으로 매물산화막과 얇은 단결정 실리콘층이 웨이퍼-B상에 전이된 SOI 구조가 형성된다. 이차 고온(1,100℃, 1시간) 열처리를 통해 접합계면을 영구적으로 안정화하였으며, 최종 CMP공정을 거쳐 prime급 표면조도를 갖는 SOI웨이퍼를 제조할 수 있었다.

3. 결과 및 논의

3.1 양성자조사에 의한 미세구조 형성

양성자조사에 의한 상해층의 미세구조 형성기구는 선행연구를 통해 이루어진 바 있으며 [16], X-TEM 측정상 상해층이 SRIM 전산모사결과와 전반적으로 일치하였다. Si매질에 입사되는 양성자의 주요 반응은 전위결합, 결합-수소 복합물 및 미세 판상결합(platelet) 형성 등 세 가지로 대별된다. 대부분 {111}과 {100}면상에 생성되는 미세 platelet (두께: 0.3-0.6 nm, 직경: 10-25 nm)들은 수소과포

화와 분리면의 수소 passivation에 의해 생성되며, micro-crack 형성시 핵으로 작용하므로 기판분리에 중요하다.

아닐링시 포획된 수소 일부가 결합-수소 복합물로부터 분리되어 platelet내로 확산되어 수소분자를 형성하고, 이로서 내부압력이 증가하여 micro-crack을 형성한다. 일정시간이 경과하면 micro-crack내 압력이 충분히 상승하여 횡방향으로 확장하며, Ostwald ripening 효과에 의해 큰 crack들이 높은 압력의 작은 crack들로부터 확산된 수소를 흡수하여 더욱 확대된다. 임계선량이 넘는 경우 이들 micro-crack들이 동일면에서 중첩됨으로서 수소이온 비정 깊이에서 대면적의 분리가 일어난다 [17].

3.2 웨이퍼 분리를 위한 저온 아닐링

이온주입된 웨이퍼 표면의 구조적 변화가 없도록 저온에서(< 300℃) 주입선량을 제한하면 다른 웨이퍼와의 직접접합에 문제가 없을 정도로 매끄러운 표면상태를 유지한다. 기계적특성이 충분한 기판(wafer-B)을 이온주입 웨이퍼(wafer-A)와 접합시킨 다음 열처리를 하면, 가스압력 효과에 의한 상부층의 탄성변형은 억제되고, 앞 절에서 언급된 현상에 의해 접합면과 평행하게 웨이퍼 규모의 분리(ion-cut)가 일어난다.

이러한 ion-cut을 위해서는 수소이온 조사량, 열처리 온도와 시간 등의 적정범위를 결정하여야 한다. 이온조사 후에도 표면상태는 유지하되, 조사시료 자체의 열처리 후에 충분한 blistering과 flaking이 일어나는 조건을 조사하였으며, 실리콘 웨이퍼상에 65 keV 양성자 조사량을 3, 6, 9, $12 \times 10^{16} \text{ H}^+/\text{cm}^2$ 로 변화시켜 주입하였다.

최대 조사량($1.2 \times 10^{17} \text{ H}^+/\text{cm}^2$)인 경우 열처리 없이도 그림 3(a)와 같이 blistering이 일어나 제외하였으며, 저선량($3 \cdot 9 \times 10^{16} \text{ H}^+/\text{cm}^2$) 조사시료들을 450℃, 550℃, 650℃ 세 단계 온도에서 각각 5, 10, 20, 30분간 열처리하였다. 최소 선량($3 \times 10^{16} \text{ H}^+/\text{cm}^2$) 시료의 경우 어떠한 열처리 조건에서도 표면변화가 없어 적정범위에서 제외되었다.

실험을 통해 얻은 적정 양성자 조사량은 $6 \sim 9 \times 10^{16} \text{ H}^+/\text{cm}^2$ 이며, 550~650℃에서 열처리 시간이

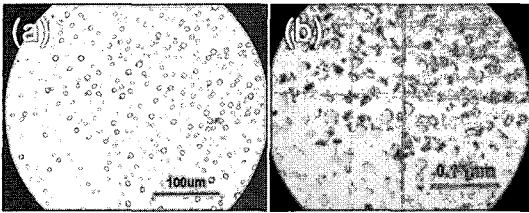


Fig. 3. Photographs of Si wafer for (a) implantation dose of $1.2 \times 10^{17} \text{H}^+/\text{cm}^2$ before annealing and (b) implantation dose of $9 \times 10^{16} \text{H}^+/\text{cm}^2$ after annealing.

10분 이상만 되면 그림 3(b)와 같이 충분한 flaking 이 일어남을 알 수 있었다. 따라서 조사량은 $6 \times 10^{16} \text{H}^+/\text{cm}^2$, 열처리 온도와 시간은 650°C 에서 30분 정도를 ion-cut 공정조건으로 결정하였다.

3.3 웨이퍼 세정, 접합 및 SOI웨이퍼 제조

최종 SOI구조에서 접합면이 매몰산화막 하단에 위치하도록 하기 위해서 이온주입은 산화층이 있는 웨이퍼-A 표면에 이루어지며, 이온주입공정을 통해 입자오염도가 $100 \text{particles}/\text{cm}^2$ 이상에 달할 수 있다. 따라서 웨이퍼 세정은 ion-cut공정에서 주요 공정중의 하나이며, 세정후 추가오염을 방지하기 위해 웨이퍼 세정 및 접합은 그림 4와 같은 class-10 정도의 초청정실 내에서 행하였다. 또한 웨이퍼세정은 접합직전에 시행하여 친수성 손실 및 추가 오염을 방지하였다.

세정의 첫 단계는 입자 및 금속오염 제거와 친수성 확보를 위한 SC-1 세정으로서 환경친화적 희석 용액($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 4 : 20$)을 사용하였으며 [6,18], megasonic 에너지(200 kHz, 2.4 kW)를

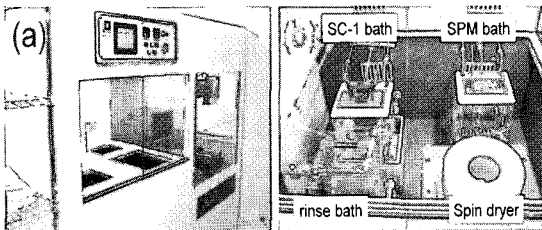


Fig. 4. Photos of (a) the wafer cleaning & bonding system and (b) inside view of the wet cleaning system.

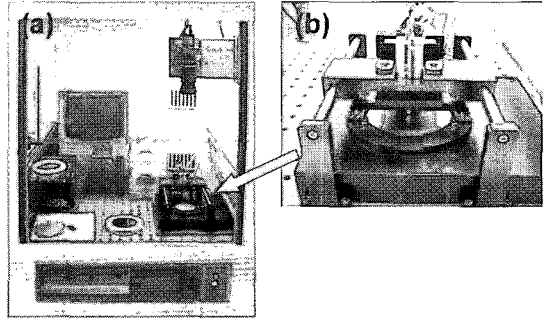


Fig. 5. Inside view of the wafer bonding & IR inspection system.

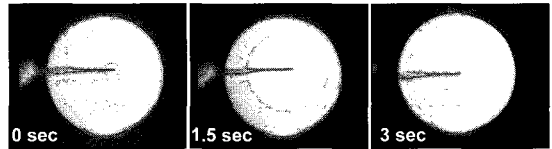


Fig. 6. Sequence of photographs taken with an IR camera showing the propagation of the bonded area.

부가하여 입자제거효율을 99.9% 이상으로 개선할 수 있었다. 다음 단계인 SPM($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$) 세정을 통해 유기물 제거와 아울러 친수성을 증대시킬 수 있었다.

세정직후 웨이퍼쌍은 인접 접합실(그림 5)로 옮겨지며, 웨이퍼 중앙부를 누르면 그림 6과 같이 접합파가 동심원상으로 퍼져 나가며 접합이 완성된다. 본 실험에서 직경 100 mm의 웨이퍼 접합시간은 3~4초 가량이며, 소요시간은 웨이퍼의 두께, 표면에너지, 온도, 분위기 가스 등의 함수가 된다. 웨이퍼 장착후의 접합공정은 자동/수동 선택이 가능하며, 웨이퍼 쌍의 최종 접합상태는 그림 7과 같은 IR투과상으로 확인이 된다.

접합된 웨이퍼쌍을 앞 절에서 정한 공정조건에 따라 1차열처리하면 그림 8과 같이 ion-cut 분리된 SOI 웨이퍼가 얻어진다. 일차 열처리의 목적은 웨이퍼 분리이지만, 이를 통해 수소결합을 하고 있는 시라놀그룹간의 화학결합이 일부 일어나 접합강도가 증가한다. 열처리후 crack opening범(razor blade test)으로 측정된 표면에너지는 $1.1 \text{J}/\text{m}^2$ 이며, 이는 열처리 전의 값 $0.14 \text{J}/\text{m}^2$ 와 비교된다.

SOI 웨이퍼 제조후 고순도 질소 분위기에서 고

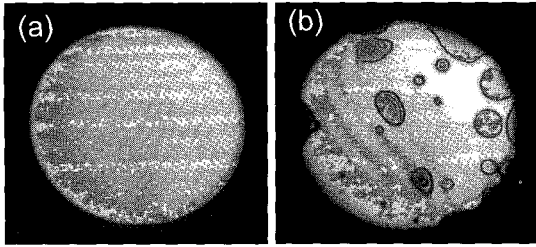


Fig. 7. IR transmission images of two directly bonded wafers with bond interface a) with no void and b) contaminated with several large dust particles.

온아닐링(1,100℃, 1 hr) 과정을 거치면 영구적인 공유결합이 이루어져 SOI구조가 안정화된다. 인장강도시험(tesile test) 측정시편 제작시 사용한 고강도 에폭시 접착제(3M, DP-460)의 접착력에 의해 제한되어 실제 접합면에 대한 값을 얻는 데는 실패하였으나, 접합계면 인장강도는 23 MPa 이상이 될 수 있었다.

3.4 SOI웨이퍼 특성조사

분광타원분석기로서 SOI-Si층의 두께를 측정한 결과 288.2 ± 2.4 nm로 측정되었으며, SRIM 전산모사에 의해 예상되는 294 nm와 유사한 결과를 얻었다. Handle 웨이퍼로 전이된 Si 막의 두께는 주입된 양성자의 비정과 밀접히 관련되고, cavity들이 비정 분산(stragglng)에 해당되는 두께의 층에 분산되어 있으므로 웨이퍼 분리 후 그림 9(a)와 같이 다소 거친 표면을 얻게 된다. SOI 웨이퍼 표면조도는 AFM을 이용하여 약 7.4 nm로 측정되었고, CMP (chemical-mechanical polishing) 연마 후에는 2.2 Å로서 prime급 웨이퍼 수준으로 개선되었으며 이 때 Si층 두께는 약 240 nm이다.

SOI구조에서 매몰산화막과 접한 두 계면이 있으며, 특히 표면실리콘층과 매몰산화막간의 계면은 소자의 작동에 직접 영향을 미치므로 계면트랩 또는 산화막 전하밀도가 낮은 전기적 특성을 가져야 한다. 따라서, ion-cut공정으로 SOI구조를 제조할 때 상부계면은 열산화막 계면을 이용하며, 그림 9(c)는 구조상으로도 결함이 없는 매우 양호한 계면을 보여주고 있다.

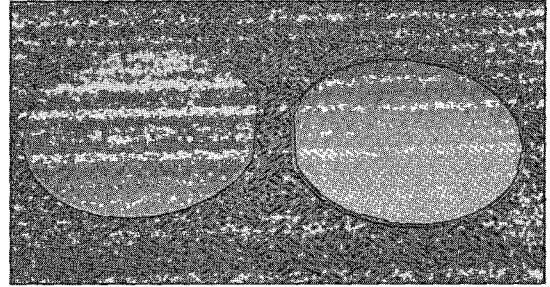


Fig. 8. SOI wafer fabricated by ion-cut splitting.

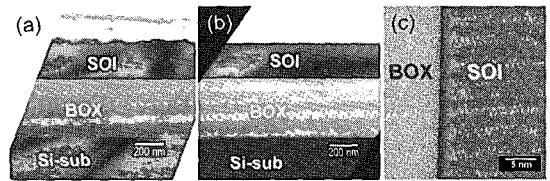


Fig. 9. X-TEM images showing (a) an as-split SOI structure, (b) CMP polished SOI structure and (c) front interface between top Si and BOX layers.

계면의 전기적 특성은 MOS CV 측정법을 이용하여 조사하였다. 측정된 커패시턴스 값으로부터 구하여진 매몰산화막의 두께는 298 nm이었으며, 유효산화막 전하밀도는 $2 \times 10^{11}/\text{cm}^2$ 으로 양호한 값을 나타내고 있다. 고주파 및 저주파 CV 특성을 이용하여 구하여진 계면전하 트랩밀도는 $3 \times 10^{10}/\text{cm}^2 \cdot \text{eV}$ 의 값을 나타내었으며, 이 값은 전형적인 열산화막의 값으로 양성자 이온주입 및 후열처리 공정 등 SOI 제조를 위한 제반공정 후에도 우수한 계면특성을 유지하고 있다는 것을 말해준다.

4. 결 론

수소이온주입과 웨이퍼 직접접합기술을 융합한 ion-cut공정으로서 고품질의 SOI구조를 성공적으로 제조할 수 있었다. 일반 SOI웨이퍼(200 nm SOI, 400 nm BOX) 제조를 위해 65 keV의 양성자를 주입하였으며, 웨이퍼 직접접합 및 분리에 적합한 유효선량범위는 $6 \sim 9 \times 10^{16} \text{H}^+/\text{cm}^2$ 이었다. 특히 이온주입으로 야기되는 표면오염제거 및 친수성 확보는 SC-1 및 SPM세정공정으로 이루어졌다. 웨이퍼 분

리를 위한 일차 아닐링(550℃, 30분)을 통해 얻어진 SOI웨이퍼는 이차 고온아닐링(1100℃, 60분)을 통해 영구적으로 안정화되었으며, 최종 CMP연마를 거쳐 prime급의 표면조도(2Å RMS)를 갖는 SOI구조가 완성되었다. TEM 측정상 표면 실리콘 층 및 계면 등에서 구조결함은 발견되지 않았으며, MOS-CV측정결과 유효산화막 전하밀도와 매물산화막 상부계면상의 계면전하트랩밀도는 낮은 밀도를 유지함을 확인하였다. 이로서 ion-cut공정이 웨이퍼 규모의 IC소자급 고품질의 SOI웨이퍼 제조에 활용될 수 있음을 확인하였다.

감사의 글

본 연구는 과학기술부에서 시행하는 프론티어사업의 지원에 의해 이루어진 연구로서, 관계부처에 감사드립니다.

참 고 문 헌

- [1] S. Cristoloveanu, *Solid State Electronics* **45**, 1403 (2001).
- [2] A. Ploessel and G. Krauter, *Solid-State Electronics* **44**, 775 (2000).
- [3] Sorin Cristoloveanu, *J. Korean Phy. Soc.* **39**, 52 (2001).
- [4] A. Ploessel and G. Krauter, *Materials Science & Engineering R* **25**, 1 (1999).
- [5] Q.-Y. Tong and U. Goesele, *Semiconductor Wafer Bonding-Science & Technology* (John Wiley & Sons, New York, 1999), pp. 1-15.
- [6] S. S. Iyer and A. J. Auberton-Herve, *Silicon Wafer Bonding Technology for VLSI and MEMS Applications* (INSPEC, IEE, London, 2002).
- [7] J. Haisma and G.A.C.M. Spierings, *Mat. Sci. Eng. R* **269**, 1 (2002).
- [8] A. Berthold, B. Jakoby, and M. J. Vellekoop, *Sensors and Actuators A* **68**, 410 (1998).
- [9] Michel Bruel, *Nucl. Instr. Meth.* **108**, 313 (1996).
- [10] B. Aspar, M. Bruel, H. Moriceau, C. Maleville, T. Poumeyrol, A.M. Papon, A. Claverie, and G. Benassayag, *Microelectronic Engineering* **36**, 233 (1997).
- [11] C. Maleville, B. Aspar, T. Poumeyrol, H. Moriceau, M. Bruel, A. J. Auberton-Herve, and T. Barge, *Mat. Sci. & Eng. B* **46**, 14 (1997).
- [12] J. D. Hunn, S. P. Withrow, C. W. White, R. E. Clausing, L. Heatherly, C. P. Christian, and N. R. Parikh, *Nucl. Instr. Meth. B* **99**, 602 (1995).
- [13] T. W. Simpson, I. V. Mitchell, G. O. Este, and F. R. Shepherd, *Nucl. Instr. Meth. B* **148**, 381 (1999).
- [14] C. H. Yun and N. W. Cheung, *J. Microelectro-mechanical Systems* **9**, 474 (2000).
- [15] G. D. Arrigo, S. Coffa, and C. Spinella, *Sensors and Actuators A* **3278**, 1 (2002).
- [16] 우형주, 최한우, 김준곤, 지영용, *한국진공학회지* **13**, 1 (2004).
- [17] Ionut Radu, *Layer transfer of semiconductors and complex oxides by helium and/or hydrogen implantation and wafer bonding*, PhD thesis, Martin-Luther University Halle-Wittenberg (2003).
- [18] W. Kern, *Handbook of Semiconductor Wafer Cleaning Technology* (Noyes Publications, New Jersey, 1993), p. 49.