
Locking 상태 표시기를 이용한 저잡음 고속 위상고정 루프

최영식* · 한대현**

A Fast Lock and Low Jitter Phase Locked Loop with Locking Status Indicator

Young-Shig Choi* · Dae-Hyun Han**

본 논문은 2003년도 부경대학교 기성회 학술 연구비를 지원 받았음

요 약

본 논문은 locking 상태에 따라서 루프대역폭이 변화하는 Phase Locked Loop (PLL)의 구조를 제안하였다. 제안한 PLL은 기본적인 PLL 블록과 NOR Gate, Inverter, Capacitor, 그리고 Schmitt trigger로 이루어진 Locking Status Indicator(LSI) 블록으로 구성되었다. LSI는 Loop Filter(LF)에 공급되는 전류와 저항 값을 locking 상태에 따라 변화시켜서 unlock이 되면 넓은 루프대역폭 가지는 PLL로, lock이 되면 좁은 루프대역폭을 가지는 PLL로 동작하도록 한다. 이러한 구조의 PLL은 짧은 locking 시간과 저 잡음의 특성을 동시에 만족시킬 수 있다. 제안된 PLL은 Hynix CMOS 0.35 μ m 공정으로 Hspice 시뮬레이션 하였으며 40 μ s의 짧은 locking 시간과 -76.1dBc 크기의 spur를 가진다.

ABSTRACT

This paper presents a new structure of Phase Locked Loop(PLL) which changes its loop bandwidth according to the locking status. The proposed PLL consists of a conventional PLL and, Locking Status Indicator(LSI). The LSI decides the operating bandwidth of loop filter. When the PLL becomes out of lock, the PLL increases the loop bandwidth and achieves fast locking. When the PLL becomes in-lock, this PLL decreases the loop bandwidth and minimizes phase noise output. The PLL can achieve fast locking and low phase noise output at the same time. Proposed PLL's locking time is less than 40 μ s and spur is 76.1dBc. It is simulated by HSPICE in a Hynix CMOS 0.35 μ m process.

키워드

Locking Status Indicator, Low Jitter, Fast Locking, Loop Bandwidth, Hysteresis, Phase, Locked Loop

1. 서 론

통신 시스템에 사용되는 PLL은 저 잡음 특성과 짧은 locking 시간을 요구한다. PLL이 Lock 상태 일 때, 저 잡음 특성을 가지기 위해서는 좁은 루프 대역폭이 유리하나 locking 되는 시간은 길어진다.

PLL의 locking 시간은 루프 대역폭이 넓을수록 짧아지나 넓은 대역폭으로 인하여 잡음을 제대로 제거하지 못한다. 저 잡음 특성과 locking 시간을 향상시키기 위해 Discriminator-Aided Phase Detector를 이용한 PLL이나 VCR를 이용한 Adaptive Bandwidth Controller를 이용한 analog adaptive

*부경대학교 전자컴퓨터정보통신공학부

접수일자 : 2005. 2. 16

**동의대학교 전자정보통신공학부

PLL이 연구된 바 있다[1],[2]. 그리고 digital 또는 hybrid analog/digital PLL에서는 루프 대역폭을 단계적으로 변화시키는 방법을 사용하는 등 다양한 PLL 구조 연구가 진행되고 있다[3]. 본 논문에서는, NOR gate inverter, capacitor 그리고 Schmitt trigger로 구성된 LSI를 이용하여 locking 상태에 따라 루프 대역폭이 적절히 변화하는 저잡음 특성과 짧은 locking 시간을 가지는 PLL의 구조를 제안하였다. 제안한 PLL은 LSI 블록을 이용하여 PLL의 Charge Pump(CP)에서 LF로 공급되는 전류량과 수동소자로 이루어진 LF의 저항 값을 변화시켜서 Unlock 상태에서는 빠른 locking을 위해 넓은 루프대역폭을 가지고, Lock 상태에서는 출력 신호의 잡음을 최소화하기 위해 좁은 루프대역폭을 가지는 구조이다.

II. 제안된 PLL 구조

1. 구조

본 논문에서 제안한 PLL의 구조를 그림1에 나타내었다. LSI에서 Phase Locked Loop(PFD)의 up, dn 신호를 이용하여 PLL의 locking 상태를 확인하고, Charge Pump(CP)와 Loop Filter(LF)에 locking 상태에 따른 신호 S를 보낸다. 신호 S는 각각 CP에 흐르는 전류량과 LF의 저항 값을 변화시키는 역할을 하는데, 만약 PLL이 unlock 상태에 있다면 CP에 흐르는 전류량이 증가하는 동시에 LF의 저항 값은 작아진다. 반대로 PLL이 lock 상태가 되면 CP에 흐르는 전류를 감소시키면서 저항 값이 커진다. CP에 흐르는 전류와 LF의 저항 값에 따라 루프대역폭이 변화한다. Lock이 된 후 흐르는 전류의 크기를 최소화 할 수 있으므로 Spur의 크기를 줄일 수 있고 루프 대역폭도 작아져서 잡음 특성을 향상시킬 수 있다.

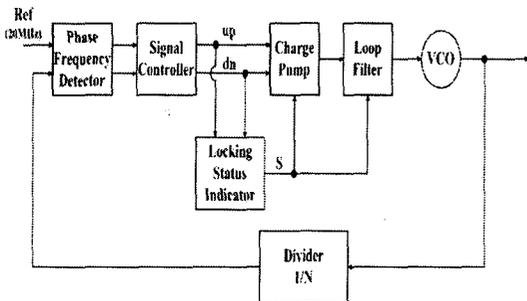


그림 1. 제안한 PLL 구조
Fig 1. Proposed PLL architecture.

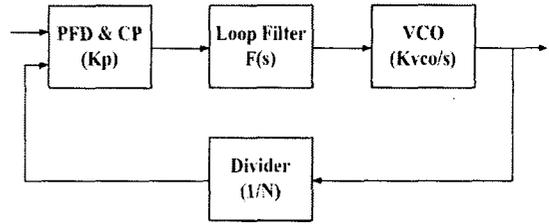


그림 2. Linear PLL 모델
Fig 2. Model of Linear PLL.

2. 루프대역폭

그림 2의 linear PLL이 locking 상태라고 가정하고 계루프 전달함수를 구하면 다음과 같다[4],[5].

$$G(s) = \frac{K_p \cdot K_{VCO} \cdot F(s)}{s} \quad (1)$$

$$H(s) = \frac{1}{N} \quad (2)$$

$$G(s)H(s) = \frac{K_p \cdot K_{VCO} \cdot F(s)}{Ns} \quad (3)$$

K_p [amp/radian]는 PFD와 CP를 포함한 이득으로 CP에 흐르는 전류를 I_p 라고 하면 $K_p = I_p / 2\pi$ 로 나타낼 수 있다. K_{VCO} [Hertz/volt]는 Voltage Controlled Oscillator(VCO)의 이득, N 은 divider의 ratio이다. $F(s)$ 는 LF를 R과 C_1, C_2 로 이루어진 2차 Low Pass Filter라고 가정하면

$$F(s) = \frac{1 + s\tau_1}{s^2(C_1 + C_2) \cdot (1 + s\tau_2)} \quad (4)$$

이다. 여기서 τ_1, τ_2 는 LF의 시정수로 다음과 같이 표현할 수 있다.

$$\tau_1 = R_1 C_1, \quad \tau_2 = \frac{R_1 \cdot C_1 \cdot C_2}{C_1 + C_2} \quad (5)$$

제안한 PLL의 입력신호 주파수는 20MHz이다. 그러므로 루프대역폭은 앞에서 표기된 식의 변수들을 적절히 조합하여 입력 주파수의 1/10인 2MHz를 벗어나지 않게 설계하고 PLL이 locking 상태에 상관없이 항상 안정된 동작을 하도록 Phase Margin이 충분해야 한다.

3. Locking 상태 표시기

루프대역폭의 변화를 이용하여 빠른 locking 시

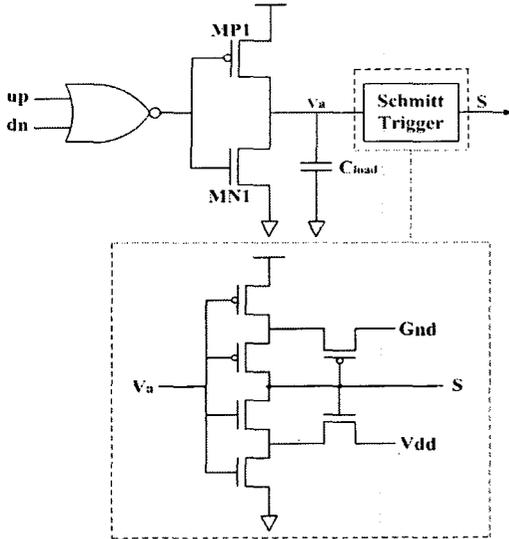


그림 3. locking 상태 표시기
Fig 3. Locking Status Indicator.

간과 저 잡음의 PLL 동작을 위한 LSI 블록을 그림 3에 나타내었다. LSI 블록은 NOR gate, inverter, capacitor, 그리고 한 개의 Schmitt trigger로 구성된다. MP1, MN1에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 Schmitt trigger가 동작한다. PLL이 unlock 상태, 즉 PFD 두 입력신호의 주파수와 위상 차이가 크면 NOR gate의 출력은 상대적으로 "Low" 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS가 "on" 되어 흐르는 전류보다 상대적으로 PMOS가 "on" 되어 흐르는 전류량이 많아서 V_a 의 전압은 서서히 증가한다. 그러나 주기가 일정하지 않은 펄스파로 인해 V_a 의 전압이 ripple과 같은 출력거림이 생긴다. 특히 PLL이 거의 locking 상태가 될 때에는 주파수는 거의 같지만 위상 차이가 많은 시점에서는 V_a 의 출력거림이 심하다. PLL의 locking 상태에 따라 LSI의 출력신호 S가 일정하지 않고 움직인다면 신호 S에 연결된 CP와 LF가 원하지 않는 동작을 할 수 있다. Schmitt trigger의 히스테리시스 효과를 이용하면 V_a 의 출력거림에 관계없이 안정된 신호 S를 출력한다. V_a 의 출력거림이 심한 부분에서도 Schmitt trigger의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다. Schmitt trigger의 히스테리시스 동작 범위가 정해지면 MP1, MN1에 흐르는 전류와 C_{load} 값을 짧은 locking 시간을 가지도록 선택하였다.

4. Charge Pump and Loop Filter

CP를 통해 LF에 공급되는 전류량과 LF의 저항 값을 동시에 변화시키기 위해 그림4와 같은 CP와 LF를 제안하였다.

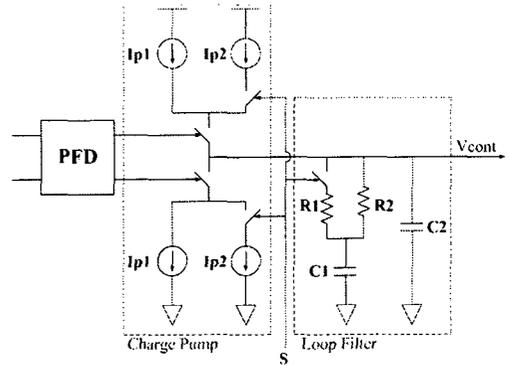


그림 4. 제안한 Charge Pump와 Loop Filter
Fig 4. Proposed Charge Pump & Loop Filter.

제안한 CP와 LF는 CP와 저항이 각각 2개씩 병렬로 연결된 형태를 가지고 CP와 LF의 모든 스위치는 "High" 신호 입력이 인가되면 off, "Low" 신호 입력이 인가되면 on 되는 구조를 가지고 있다. PLL이 unlock 상태이면 LSI의 출력신호 S의 "Low" 신호에 의해서 스위치 "on" 된다. 이 때 CP에서 LF에 공급되는 전류량은 최대가 되고 병렬로 연결된 저항은 최소의 값을 가진다. 반대로 PLL이 lock 상태가 되면 스위치가 동시에 "off" 되면서 전류량은 최소, 저항 값은 최대가 된다. PLL이 Lock 되면 I_{p1} 전류만 LF에 공급되며, I_{p1} 의 크기는 최소화 하였다. Lock이 된 후 동작하는 CP의 특성이 전체 PLL 특성에 영향을 미치므로 I_{p1} 를 공급하는 CP를 Cascode 구조로 하여 전류 비대칭과 클록 feedthrough 현상 등을 최소화 하여 Spur의 크기를 줄이고 잡음 특성을 개선하였다. I_{p2} 를 공급하는 CP는 Lock이 되면 off 되기 때문에 그림 5와 같

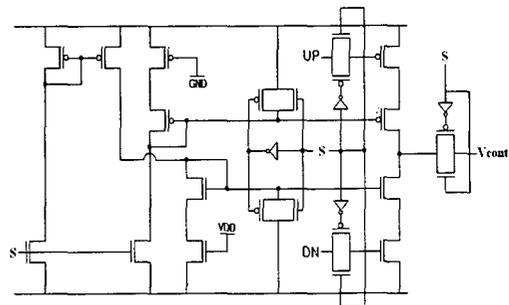


그림 5. I_{p2} 를 공급하는 Charge Pump
Fig 5. Charge Pump for I_{p2} .

이 회로를 만들어 트랜지스터의 off 전류를 줄여 PLL 특성에 영향을 미치지 못하도록 하였다. 또한 그림 1에 나타난 Signal Controller를 이용하여 up, dn 신호의 CP 도착 시간차를 줄여 PLL 잡음 특성을 개선하였다. 이 Signal Controller는 그림 6에 나타난 것과 같이 여러 개의 인버터를 래치 형태로 조합하여 만든 것이다.

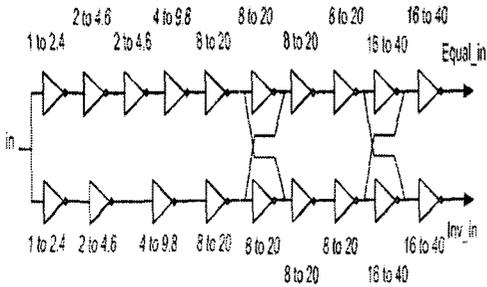


그림 6. Signal Controller 회로
Fig 6. Circuit of Signal Controller.

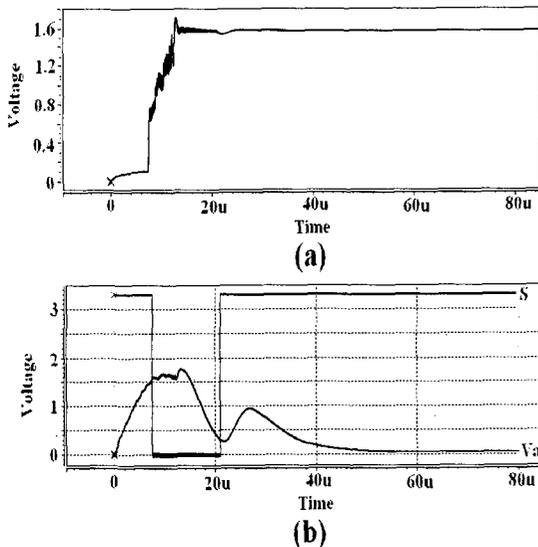


그림 7. (a) VCO(Vcont) 제어 전압, (b) Va 전압과 LSI 출력
Fig 7. (a) VCO(Vcont) control voltage, (b) Va voltage and outputs of LSI.

III. 시뮬레이션 결과

그림 7은 Hspice를 이용하여 제안한 PLL을 시뮬레이션 한 결과이다. 제안한 PLL의 입력 주파수는 20MHz이고, VCO 이득이 230MHz/V, divider

의 ratio가 128 이다. 각 CP에 흐르는 전류 I_{p1} 은 70 μ A, I_{p2} 는 각각 2.43mA이다. LF의 저항 R1, R2는 각각 375 Ω , 1.5k Ω 이고, C1은 7nF, C2는 0.5 nF이다.

Schmitt trigger 초기상태는 PLL이 locking 된 상태와 같이 동작한다. 그림 7(a)는 VCO의 제어 전압의 변화를 시뮬레이션 한 결과이고 (b)는 LSI의 Va의 전압 변화와 Va에 의한 Schmitt trigger의 동작을 보여준다. 따라서 그림4의 모든 스위치가 off 된 상태이며 LF에 공급되는 전류와 저항 값은 각각 70 μ A 와 1.5k Ω 이 된다. PFD에 입력신호가 바뀌면 LSI의 NOR gate에 인가되는 up, dn 신호에 의해 C_{load} 전압 Va가 증가한다. Va의 전압이 1.5V가 되는 지점인 7 μ s에서 Schmitt trigger의 출력이 "Low" 신호로 바뀌며 CP2와 R1의 스위치를 on 시킨다. 이 때 전류량은 CP1과 CP2의 병렬 전류량으로 2.5mA가 흐르게 된다. 마찬가지로 병렬로 연결된 저항 값은 300 Ω 된다. 그리고 Va의 전압이 증가하다가 PLL 두 입력신호의 주파수와 위상 차이가 점점 감소하면서 Va의 전압도 감소하기 시작한다. Va의 전압이 0.4V로 떨어지는 21 μ s에서 모든 스위치는 off 되고 초기 상태와 같아진다. 그림 7(b)에서 LSI의 C_{load} 에 걸리는 전압에 따른 Schmitt trigger의 히스테리시스 효과를 볼 수 있다. LSI의 출력 신호 S는 1.5V에서 "High"에서 "Low" 신호로 변하고, 동시에 0.4V에서 "Low" 신호에서 "High" 신호로 변한다. 그림 7의 (a)와 (b)를 살펴보면 VCO 제어 전압의 최대 오버슈트 부분에서 LSI의 C_{load} 에 걸리는 전압이 심하게 출렁거리는 것을 볼 수 있다. 그러나 Schmitt trigger의 히스테리시스 동작 범위 안에서 변하기 때문에 제안한 PLL 동작에는 영향을 주지 않는다. PLL은 Hynix CMOS 0.35 μ m 공정으로 HSPICE 시뮬레이션 하였으며 locking 된 이후의 PLL 동작 주파수는 1.28 GHz이다.

그림 8은 계루프 전달함수 수식 (3)을MATLAB를 이용하여 주파수 변화에 따른 계루프의 크기와 위상을 시뮬레이션 한 결과이다. 그림 8(a)는 Schmitt trigger의 신호가 "High" 신호인 PLL이 lock 된 상태의 phase margin과 gain이고, (b)는 Schmitt trigger의 신호가 "Low" 신호인 PLL이 unlock 된 상태의 phase margin과 gain이다. Lock 상태의 루프대역폭 주파수는 56.3kHz, phase margin은 61도이며 unlock 상태의 루프대역폭 주파수는 386kHz, phase margin은 61도이다. 두 상태 모두 충분한 phase margin을 가지고 있다.

그림 9는 PLL이 lock 된 이후의 VCO 입력전압인 Vcont의 신호이다. Vcont 신호는 27 μ V peak-

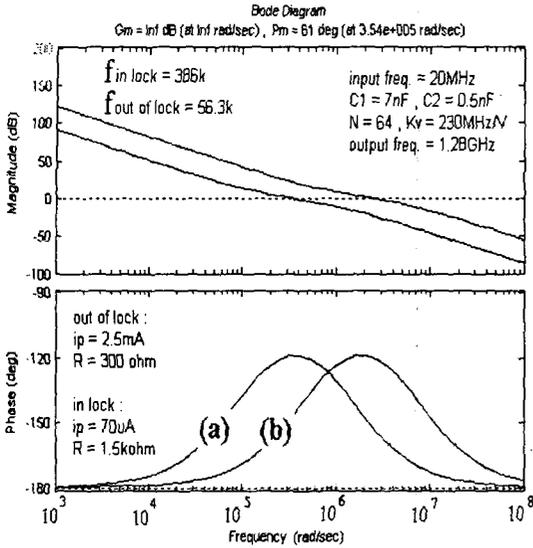


그림 8. Bode 도의 시뮬레이션 결과
Fig 8. Simulated results of Bode plot.

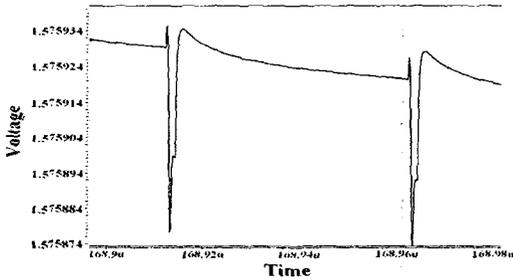


그림 9. Vcont의 전압 흔들림 값
Fig 9. The peak-to-peak voltage of Vcont.

to-peak의 크기를 가지며, 이런 전압 출력거림에 의해 발생하는 spur를 대략적으로 계산하면 약 -76.1dBc이다[6]. Lock이 된 후의 CP의 전류를 작게 할 수 있는 PLL 구조와 Signal Controller로 up, dn 신호의 시간차를 줄일 수 있어 이렇게 작은 크기의 Spur의 얻을 수 있었다.

IV. 결론

본 논문은 locking 상태에 따라서 루프대역폭이 변화하는 PLL 구조를 제안하였다. 제안한 PLL은 기본적인 PLL의 구조에 LSI 블록을 이용하여 LF에 공급되는 전류와 저항 값을 안정적으로 변화시

켜 Unlock이 되면 넓은 루프대역폭, Lock이 되면 좁은 루프대역폭을 가지도록 하였다. 이런 구조의 PLL은 짧은 locking 시간과 저 잡음 특성을 동시에 만족시킬 수 있다. Schmitt trigger를 사용하여 lock 전후의 CP의 전류 값을 원하는 특성에 맞추어 조절할 수 있는 제안된 PLL은 40μs라는 짧은 locking 시간과 -76.1dBc의 아주 작은 spur를 가지도록 하였다.

참고문헌

- [1] Joonsuk Lee, and Beomsup Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," IEEE J, Solid-State Circuits, vol. 35, pp.1137-1145, Aug. 2000.
- [2] M. Mizuno et al., "A 0.18μm CMOS hot-standby phase-locked loop using a noise immune adaptive gain voltage-controlled oscillator", ISSCC Dig. Tech. Papers, pp. 268-269, Feb. 1995.
- [3] G. Roh, Y. lee, and B. Kim, "An optimum phase-acquisition technique for charge-pump phase-locked loops," IEEE Trans. Circuit Syst. II, vol. 44, pp. 729-740, Sept. 1997.
- [4] F.M GARDNER, Phase lock techniques, John Wiley & Sons, New York, 1979.
- [5] "An Analysis and Performance Evaluation of a Passive Filter Design Techniques for charge pump PLL's," Application Note 1001, National Semiconductor Corporation, July 2001.
- [6] Tai-Cheng Lee and Behzad Razavi, "A Stabilization technique for Phase Locked Frequency Synthesizers," IEEE J, Solid-State Circuits., vol. 38, NO. 6, pp. 888-894, June 2003.

저자소개

최영식(Young-Shig Choi)

2003년 ~ 현재 부경대학교 전자컴퓨터정보통신공학부

한대현(Dae-Hyun Han)

1999년 ~ 현재 동의대학교 전자공학과