

특집 : 대형디스플레이에서의 전력전자기술

PDP 구동시스템에서 사용되고 있는 전력전자 기술 및 issue

이 준 영
(단국대 전자공학과 교수)

1. 서론

최근 초고속 정보화의 시대에 발맞추어 Display 산업은 급속한 성장을 보이고 있고, 이러한 추세는 앞으로도 상당 기간 지속되리라 예측된다. 동영상을 포함한 대부분의 정보들은 사람의 눈을 통해 전달될 수밖에 없고, Display 제품은 사람의 시각적인 감각을 만족시키며 기계로부터 얻어지는 정보를 전달하는 역할을 수행하고 있다. 과거에는 CRT(Cathode Ray Tube)가 가정이나 공공장소에서 정보를 전달하는 역할을 하였으나, DVD나 다른 저장매체로부터 High Quality 정보의 유입과 Digital TV Broadcasting의 시작으로 새로운 개념의 Display(FPD: Flat Panel Display) 출현이 요구되고 있다. PDP(Plasma Display Panel)와 TFT-LCD(Thin Film Transistor Liquid Crystal Display), 새로운 형태의 Projection 등이 이를 대표하는 Display 들이다. 이 중 PDP는 40" 이상의 대화면 구현이 용이하며, CRT와 동일한 자발광(Self-emissive) 소자로서 동영상 구현과 색재현성이 우수하며, 제조공법이 기타 Display에 비하여 단순하고 제조원가가 저렴하다는 특징들을 갖고 있다^[1].

PDP는 구동 특성상 높은 전압과 다양한 전압을 사용하는 시스템이며 고주파 pulse를 사용함으로써 방전제어를 하기 때문에 신뢰성을 확보하기가 다른 FPD에 비해 어렵다. 이러한 특징으로 인해 PDP는 inverter와 converter 기술을 비롯한 전력전자 기술, 고내압 IC관련 기술, 방열처리기술등이 많이 요구되고 있으며 최근에는 부품수를 줄이기 위해 고용량의 device를 집적화하는 기술이 활발히 개발되고 있다. 이러한 기술들은 기존의 전력전자기술의 응용 분야이므로 PDP 산업

계에서는 전력전자를 익힌 기술인력의 요구가 증대되고 있어 PDP가 존재하는 한 전력전자의 한분야로 자리매김을 할 것으로 보인다. 본 원고에서는 이중에서도 driving system에 채용된 전력전자 기술과 그와 관련된 issue를 살펴 보고자 한다.

2. PDP 구동과 전력전자 기술

그림 1은 matrix cell구조의 3전극 PDP구조를 보여주고 있다. PDP는 scan과 sustain 전극이 형성되어 있는 상판과 형광체 및 address전극이 형성되어 있는 하판 사이에 Xe, He, Ne 등의 gas를 봉입하여 gas 방전에 의해 발생하는 UV(Ultraviolet)에 의해 형광체를 여기시켜 가시광을 발광시

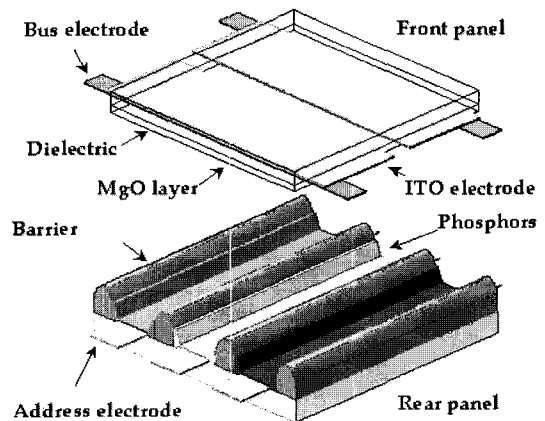


그림 1 3전극 면방전 PDP cell 구조(stripe)

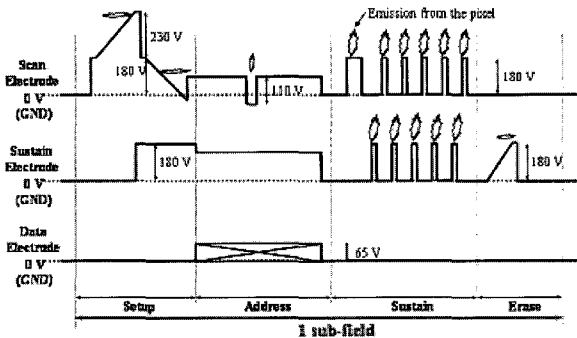


그림 2 PDP의 기본 구동 파형

키는 자발광소자이다⁽²⁾. PDP의 구동파형은 그림 2에 나타났듯이 표시화소를 결정하는 address 영역과 선택된 화소에서 Plasma가 유지되어서 가시광을 방출시킬 수 있는 sustain 영역, 선택되거나 선택되지 않은 화소를 초기화하는 erase 및 reset 영역으로 구성된다. Address 영역에서는 파형은 상판의 scan 전극(상판 투명전극 중 하나)과 하판의 address 전극에 인가된다. 선택된 화소에서는 인가된 파형에 따라서 plasma가 발생하게 되고, 발생된 plasma에 따라서 상판전극 표면에 전하들이 쌓이게 된다. Sustain 영역에선 상판의 두 전극에 교차하는 파형이 인가되며, 선택된 화소의 경우 상판에 축적된 전하에 의한 벽전압과 인가된 전압에 의해서 plasma가 발생되나, 선택되지 않은 화소는 축적된 전하의 부재로 plasma가 발생되지 않게 된다. 이러한 reset, addressing 그리고 sustaining 구간이 하나의 SF(Subfield)를 형성하며 이러한 SF의 조합으로서 gray level을 표현하게 된다.

PDP내에 봉입된 gas는 일반적으로 이원 gas(Xe+Ne) 또는 삼원 gas(Xe+Ne+He)를 사용하며 이러한 가스의 방전 개시전압은 gas 자체로는 높은 에너지가 필요하지 않지만 평균자유행정에 비해 PDP 전극간의 gap이 커서 상당히 높은 에너지를 인가해야 하며 일반적으로 Xe=5%의 이원가스를 사용하는 경우 약 170V 정도의 sustain 전압이 필요하다⁽³⁾. 또한 최근 효율향상을 위해 Xe의 비율을 높여 많은 UV양을 방출하게 하는 방법을 취하고 있으므로 구동전압이 높아지고 있는 추세이다. 따라서 이를 구동하기 위해서는 고압의 inverter 기술이 필요하며 방전이 개시되기 전에는 capacitor 부하로 model이 가능하므로 panel에 축적된 에너지를 회수해 줄 수 있는 기술을 적용하고 있다⁽⁴⁾. Panel이 에너지 저장성 부하라는 것은 addressing에서도 문제가 되고 있다. 일반적인 동영상에서는 data 스위칭이 많지 않아 address drive IC의 발열 및 전력소모가 많지 않으나 특수 pattern에서는 동영상에서의 5배이상의 발열이 발생하여 이에 대한 회로적

보완이 필요하며 이를 위하여 sustain 회로를 응용한 energy recovery 회로를 채용하고 있다.

3. PDP구동의 전력전자 기술 및 주요 Issue

3.1 Sustain driver circuit

3.1.1 Series-resonant/Parallel-resonant 방식

PDP구동회로 특히 에너지 회수회로는 많은 연구가 진행되어 많은 회로들이 개발되었다. 하지만 효율적인 측면, cost적인 측면, 그리고 회로의 안정성등의 문제로 인해 현재 상품화되어 있는 것은 소수에 불과하다. 그림 3은 series-resonant 방식의 에너지 회수회로로서 발명자의 이름을 빌어 Webber 회로라고 불리는 것이다. 본 회로는 다양한 구동파형에 쉽게 접목이 될 수 있어 PDP가 탄생한 이래로 현재까지 여러 회사에서 사용되어 오고 있다⁽⁵⁾. 그리고 일본의 NEC사에서는 패널의 capacitance 자체와 공진을 시켜 series-resonant 방식의 단점인 소자수를 저감시킨 parallel-resonant 방식을 개발하여 사용해 오고 있으며 그 회로는 그림 4와 같다⁽⁶⁾. 하지만 이러한 회로들은 스위치의 내압을 sustain 전압이상의 것을 사용해야 하며 PDP의 방전 전류가 42'급의 경우 Full white 발광시 150A이상의 pulse 전류가 발생하므로 전류용량 또한 크다. 이로 인해 스위치의 cost가 매우 높은 단점이 존재한다.

3.1.2 Charge-pump/Multi-resonant/Current-boosting 방식

이를 개선하기 위해서 2002년 일본의 FHP사에서는

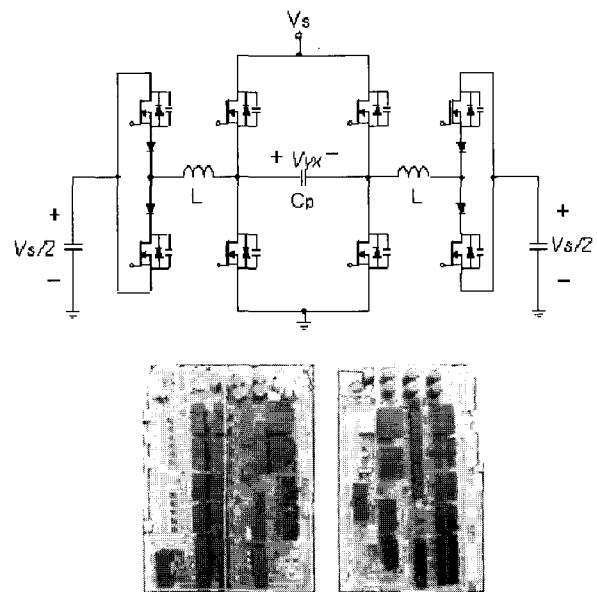


그림 3 Series-resonant 방식과 구현예

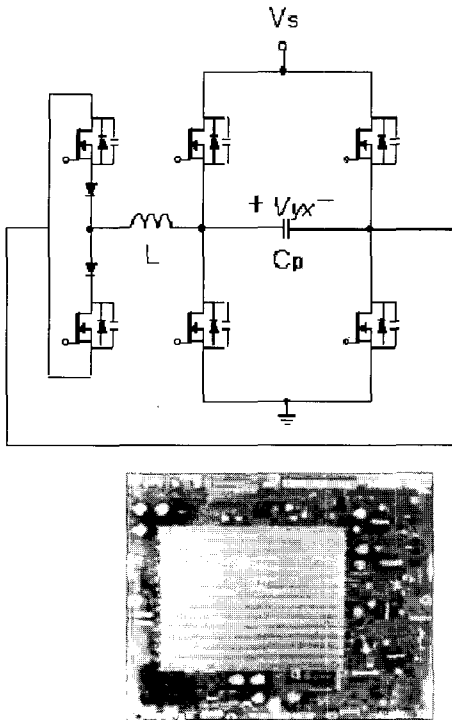


그림 4 Parallel-resonant 방식과 구현예

TERES라고 불리는 저내압 기술을 선보였으며⁷⁾ 이를 개량하여 cost를 더욱 낮추고 방전안정화를 위해 sustain 기율기를 별도로 조절할 수 있는 charge pump 방식 recovery 회로가 개발되어 상품화되었다⁸⁾. 이 방식은 cost 면에서는 기존의 방식에 비해 약 20% 정도 절감을 할 수 있으나 부품수의 증가로 인해 생산성과 신뢰성 면에서는 기존의 방식에 비해 열등하여 최근에는 기존의 방식으로 회귀하려는 움직임이 보이고 있으나 향후 Xe gas 분압이 계속 높아지는 경우에는 이러한 저내압 방식이 다시 출현할 가능성이 농후하다.

PDP는 정부하가 아니라 화상에 따라 반전전류의 양이 달라지는 가변부하이므로 과도한 전력소모와 시스템의 보호를 위하여 부하율에 따라 sustain 갯수가 변하는 APC(Automatic Power Control) algorithm을 사용하고 있다. 즉 Full white 화면의 경우 모든 cell이 점등하게 되므로 1개의 sustain 당 방전전류가 maximum이므로 최소의 pulse 갯수(약 200 pair 정도)를 사용하고 회사마다 기준치는 다르지만 약 10% 정도의 면적을 가지는 white square pattern에서는 최대의 pulse 갯수(약 1100 pair 정도)를 사용하게 된다. 따라서 sustain 스위치의 경우에는 방전전류를 공급하므로 '전류의 양 × sustain pulse 수'와 비례하는 스위치의 전력소모는 중간휘도 정도에서 최대를 기록하며 recovery 스위치의 경우 흐르는 전류의 양은 panel capacitance와 공진 inductor에 의해 결정되

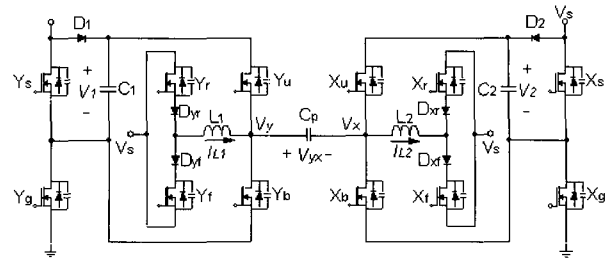


그림 5 Charge pump 방식의 sustain driver

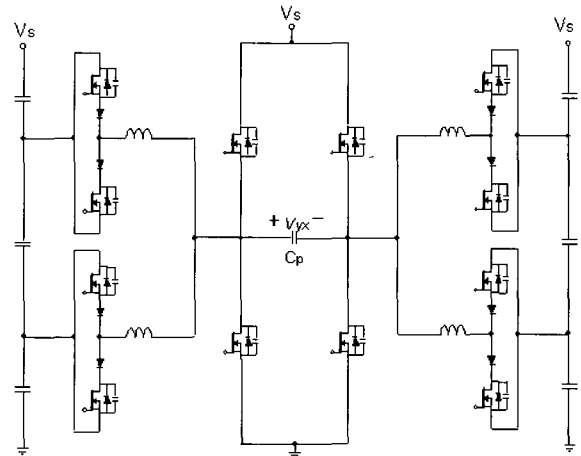


그림 6 Multi-resonant 방식의 sustain driver

고 부하에 따라 거의 변하지 않으므로 최소 부하에서 최대의 전력소모를 보인다.

이를 저감시키기 위해서 최근 Multi-resonant inverter를 일본의 pioneer사에서 2004년 초에 상품화하였다. 하지만 본 방식은 sustain pulse의 상승 및 하강시에 두 번의 공진이 일어나므로 sustain 방전제어를 위한 parameter의 설정과 고속 recovery에 좀 불리한 단점이 존재하고 신뢰성에서 기존 방식에 비해 불리하므로 Pioneer사 이외에는 적용하고 있지 않다. 또한 에너지 회수방식에 있어서 단순 resonant 방식이 아닌 current-boosting 방식을 사용하여 sustain 방전 제어의 자유도를 높인 current injection 방식이 제안되어 일부 적용되고 있다. 본 방식은 panel의 극성을 반전하기 전에 inductor에 에너지를 주입하여 그 에너지를 이용하여 pulse의 기율기를 조절할 수 있는 방식으로서 단순 공진을 탈피한 새로운 방식으로 이해되고 있다⁹⁾.

Sustain driver에 관련된 회로 방식은 이외에도 여러 회로들이 제안되고 있으나¹⁰⁻¹¹⁾ 상용화 단계까지 이른 회로는 극소수에 이른다. 그 이유는 sustain회로는 회로 자체 보다는 방전과 밀접한 관련이 있어 방전안정성과 회로안정성을 동시에 만

죽시키는 회로가 드물며 구조의 복잡성등으로 인해 대량생산 하고 있는 PDP업계에서 신뢰성이 확보되지 않은 회로에 대한 채용에 보수적인 입장을 견지하고 있기 때문이기도 하다.

3.2 Address recovery circuit

3.2.1 Series-resonant(Half-resonant) 방식

Panel내에 도포되어 있는 유전층으로 인하여 capacitance가 존재하고 capacitance부하를 스위칭하려면 필연적으로 capacitance에 저장되어 있는 에너지를 소모하여야 하며 이는 열로써 발산된다. 이러한 부작용은 sustain pulse 뿐만 아니라 addressing시에도 발생을 하게 된다. 그림 7은 50인치 single-scan PDP에서 display되는 image에 따른 address 소모전력을 표시한 그림이다. 그림에서 보듯이 address switching이 많아질수록 전력소모가 급격히 증가하며 그림 8

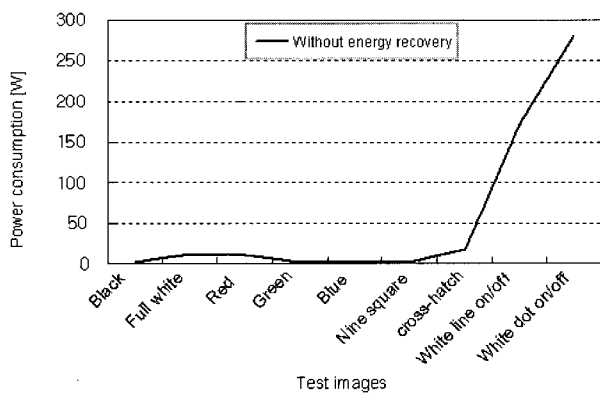


그림 7 Image pattern 별 address 전력소모

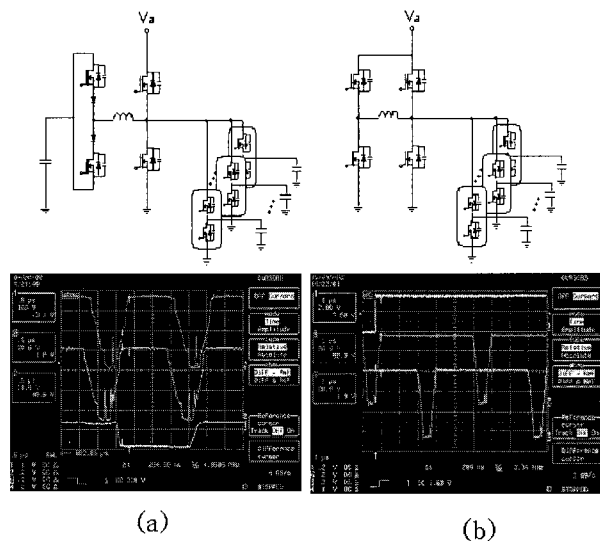


그림 8 Series-resonant 방식과 Quarter-resonant방식의 address energy recovery circuit

과 같은 모든 pixel이 on/off를 하는 subpixel on/off pattern이나 RGB pixel이 on/off하는 white dot on/off pattern은 소모전력이 200W 이상이 되어 방열설계로는 신뢰성 확보가 어려우며 전원설계도 매우 어려워지게 된다.

이를 해결하기 위해서 일본의 Matsushita사에서 처음으로 address recovery circuit을 채용하였고 그 회로는 기본적으로 series-resonant type의 sustain회로를 이용한 것이다⁽⁵⁾. 하지만 본 회로는 recovery speed가 느려 address 방전에 영향을 주는 단점이 있으나 dal-scan방식에서는 address pulse 폭이 2.2us 이상 넓기 때문에 사용이 가능하다.

3.2.2 Quarter-resonant 방식

Series-resonant 방식의 단점을 해결하기 위해 일본의 NEC사에서는 quarter-resonant방식의 recovery회로를 채용하였다. 본 회로는 recovery를 address 전원을 직접 이용하는 type으로서 recovery speed는 빠르지만 recovery switch의 스위칭시 hard-switching으로 인하여 스위칭 손실이 커서 회로의 발열이 매우 심한 단점이 존재한다. 따라서 NEC에서는 2 line마다 한번씩 스위칭을 하는 방법을 채용하여 스위칭 손실을 저감하고 있다. 그림 8은 두 가지 recovery 회로의 회로도 와 실제 측정파형이다.

3.2.3 Full-resonant 방식

이 외에 그림 9와 같이 GND switch를 제거하고 full-resonant로 공진시켜GND switching으로 인한 시간을 절약하며 recovery speed를 향상시킨 회로가 제안되어 test되어 performance가 증명되어 있다⁽¹²⁾. 본 방식은 최근의 addressing의 고속화에 따른 address pulse 폭이 좁아지는 경향에 맞추어 개발된 것으로 50" HD single-scan에 적용시 300ns정도의 recovery speed를 보이고 있으나 향후의 single-scan에 대비하기 위해서는 좀더 고속 저가화를 할 필

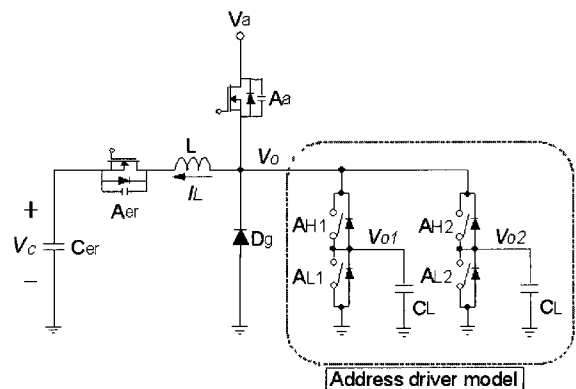


그림 9 Full-resonant address recovery circuit

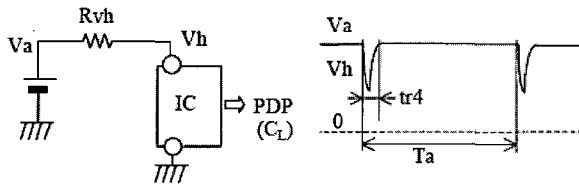


그림 10 저항을 이용한 address IC 보호방식

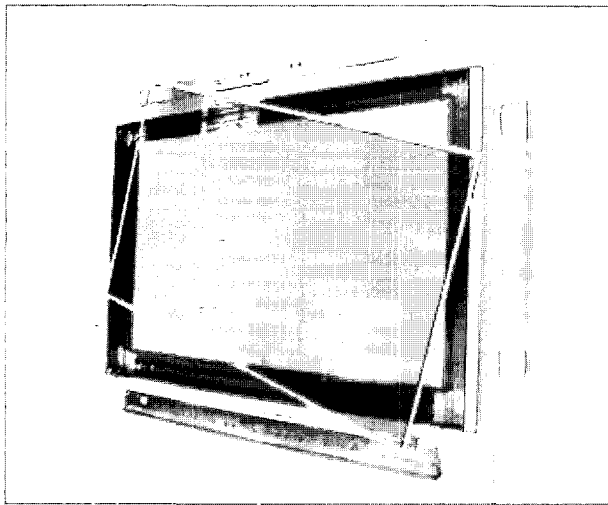


그림 11 EMI 차폐용 mesh filter

요가 있다.

-Address recovery 회로의 목적은 단순히 set의 보호차원에 있으므로 가급적 low cost로 구현하여야 한다. 이를 위해서 active 소자로 구현하지 않고 passive 소자로만 보호의 역할을 달성하기 위해 노력하고 있으며 그 예가 그림 10과 같이 address IC의 입력에 저항을 연결하여 스위칭시 에너지의 소모를 IC가 아닌 저항에서 감당하도록 하는 방법이 제안되었다. 이 방법은 가장 간단한 방법이지만 스위칭 손실 중 address pulse가 상승시에만 일정수준 저감효과가 있고 발열량이 data-switching이 많은 single-scan 회로에는 적합하지 않다. 하지만 본 방법은 EMI에 효과가 있어 저항값을 조절하여 EMI 저감용으로 일부 회사에서 채용되고 있다^[33].

3.3 EMI

PDP의 구동은 pulse 형태이고 상대적으로 높은 전압을 사용함에 따라 EMI가 여타 display에 비해 많이 발생을 하고 있어 패널전면부에 그림 11과 같은 0.1Ω 정도의 저항을 가지는 mesh filter를 사용하고 있다. mesh filter는 mesh 형태로 전도성 물질(Ag)을 coating한 형태로서 전체 재료비의 15% 이상을 차지하는 고가의 부품 중 하나이다. 따라서 많은 회사

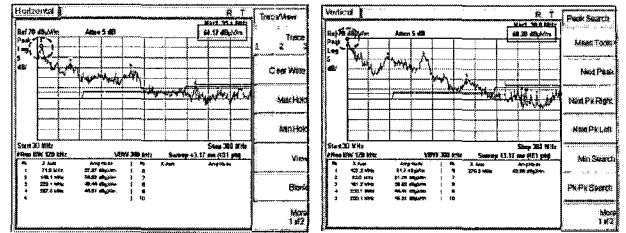
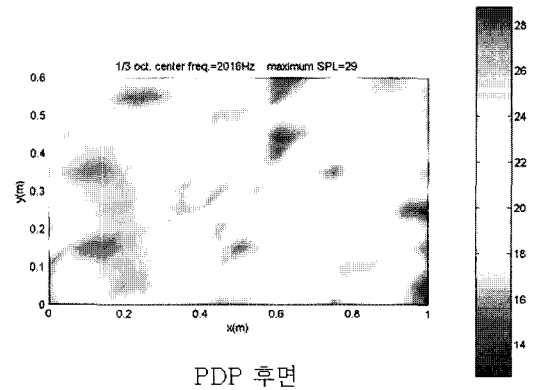


그림 12 전형적인 PDP의 방사 EMI 특성



PDP 후면

그림 13 PDP 후면의 소음 분포

들이 좀더 저가인 1Ω 정도의 저항을 가지는 도전막 filter를 사용하기 위해 노력하고 있으며 이를 실현하기 위해서는 근본적으로 EMI source의 저감이 필요하다. 그림 12는 case 및 filter를 제거한 상태에서의 PDP의 전형적인 방사 EMI 특성이다. 현재 상용화되어 있는 PDP 모듈은 70dB μ V/m 정도의 방사량을 보이고 있으며 그중에서 국내의 모대기업 업체의 PDP 모듈이 50~60dB μ V/m로서 가장 낮은 방사량을 보이고 있어 도전막 filter 사용이 가능할 정도의 수준으로 보고 되고 있다.

PDP module의 방사량은 주로 구동보드와 address IC에서 발생을 하고 있으며 구동보드의 경우 특히 ERC path상에서 많이 발생하고 있다. 이를 저감시키기 위해서는 그림 13과 같이 ERC path상에 저항이나 bead를 연결하는 방법을 통하여 surge성 파형을 억제하는 방법을 많이 취하고 있으며 그림에서는 보이지는 않지만 clamp diode에 동일한 대책을 취하고 있다. 또한 Address에서 발생하는 EMI는 그림 10과 같이 저항을 이용하여 pulse의 기울기를 조절하여 저대역(30MHz~100MHz 대역)를 줄이고 있다. 하지만 이러한 대책을 취하더라도 도전막 filter를 사용하기에는 산포의 문제로 인해 안정적이지 않기 때문에 더욱 낮추어야 하며 현재 그 source는 address IC에 관련된 부분으로 분석되어 있다. 향

후 PDP의 cost를 낮추기 위해 EMI에 관련된 연구가 진행되어야 하며 동시에 address IC의 개발도 이와 관련되어 진행되어야 한다.

3.4 PDP 소음

PDP는 sustain pulse 발생시에는 200kHz이상의 고주파로 구동하지만 지속적인 pulse가 출력이 되는 것이 아니라 SF내에서 지정된 sustain 구간에서만 pulse가 나오므로 harmonic 분석을 하면 가청주파수 이내의 harmonic이 발생하고 이로 인하여 소음이 발생한다. 소음원은 아주 다양하지만 주로 발생하는 부분은 SMPS의 magnetic 소자, 구동부의 MOSFET 및 각종 capacitor류, TCP film의 진동, 그리고 panel 자체소음등으로 나눌 수가 있다. PDP에 사용되는 SMPS는 항상 가변부하를 감당해야 하므로 magnetic 소자의 소음이 항상 문제가 되고 있어 magnetic 소자의 molding 처리가 여타 display에 비해 중요한 역할을 하며 SMPS가 감당하는 순간부하가 과도하게 변하지 않도록 처리함으로써 소음을 억제해 나가고 있다.

구동부의 소음은 capacitor류에서 가장 많이 발생을 하며 그중에서도 MLCC와 film capacitor에서 가장 심하다. 두 소자는 구조상 적층구조로 되어 있기 때문에 간헐적으로 발생하는 전류로 인한 내부 layer의 진동이 가청 주파수안에 들어가 매우 거친 소음을 유발하고 있어 MLCC는 반드시 필요한 부분이 아니면 사용이 억제되어야 한다. 또한 film capacitor 류도 역시 내부 molding 처리를 잘 해 줌으로써 그 소음을 억제할 수 있으나 산포성 문제로 인해 소음으로 인한 불량이 많이 발생하고 있다.

TCP film의 진동은 진동 억제재를 삽입하는 등의 기계적인 보안을 통하여 해결해 나가고 있다. 그 외에 가장 주요한 소음원으로 panel 소음을 들 수 있는데 이것은 내부 가스압과 상판/하판사이의 gap의 불균일성으로 기인한 소음으로 제조 공정의 관리를 통해 제거해 나가고 있다. PDP의 소음은 그 구동방식에서 기인하는 것으로서 구동방식이 바뀌지 않는 한 항상 존재할 수 밖에 없다. 따라서 회로적으로는 부품/소재연구가 좀더 이루어져야 하며 실장과 관련된 기술 또한 이에 무관하지 않다. 현재 소음에 관련된 연구는 체계적으로 진행되어 있지 않고 대부분 경험에 의존하고 있으므로 PDP의 급격한 시장 확대가 이루어지기 전에 이러한 연구를 진행하여 업계의 고질 문제를 해결하는 것이 필요하다.

4. 결론

지금까지 PDP에서 대표적으로 사용되고 있는 전력전자 기술 그중에서 구동에 관련된 기술들을 간략하게 논하며 위에서 논한 것 이외에도 소자용량의 최적화 및 분석, 집적화등

전력전자 및 소자기술이 많이 요구되고 있다. PDP는 그동안 많은 면에서 기술적 진보를 이루었고 상용화품 기준으로 과거 0.6~7lm/W의 효율을 보이던 것이 현재는 1.5lm/W까지 달성하고 있어 그동안 지적되어온 저휘도/고 소비전력 부분을 개선하였다. 회로부분도 일정수준 진보가 있어 과거의 PDP에 비해 단순해진 것이 사실이다. 하지만 회로기술은 패널부분에 비해 그 발전 속도가 느린 편이라고 생각되면 그 원인은 신뢰성 확보라는 문제로 인해 design이 보수적이라는 것에 기인한다. PDP는 현재 제 2의 도약기를 맞이하고 있는 시점에서 cost의 절감이 가장 중요한 issue가 되고 있으며 그 중에서도 회로부의 cost reduction이 화두가 되고 있다. 이에 전력전자 분야의 기술 인력이 많이 요구되고 있으면 학계에서도 이에 대한 관심이 필요한 시기이다. ■

참고 문헌

- [1] A. Sobel, "Plasma Displays," IEEE Trans. on Plasma Science, vol. 19, no. 6 pp.1032-1047, December, 1991.
- [2] H. Hirakawa, T. Katayama, S. Juroki, H. Nakahara, T. Nanto, K. Yoshikawa, A. Otsuka, and M. Wakitani, "Cell Structure and Driving Method of a 25-in(64cm) Diagonal High-Resolution Color ac Plasma Display," Proc. Sym. Society for Information Display, vol. 29, pp.279-282, 1998.
- [3] L. F. Webber, "Plasma Display Device Challenges," Asia Display '98, pp.15-27, 1998.
- [4] K. Sakita, K. Takayama, K. Awamoto, and Y. Hashimoto, "High-speed Driving Waveform Analysis Using Wall Voltage Transfer Function for Three Terminals and Vt Close Curve in Three-Electrode Surface-Discharge AC-PDPs," SID'01, 1022-1025, 2001.
- [5] L. F. Webber, K. W. Warren, "Power Efficient Sustain Drivers and Address Drivers for Plasma Panel," U.S. patent, number 4,866,349, September, 1989.
- [6] M. Ohba, Y. Sano, "Energy Recovery Driver for a Dot Matrix AC Plasma Panel with a Parallel Resonant Circuit Allowing Power Reduction," U.S. patent, number 5,670,974, September, 1997.
- [7] T. Kishi, T. Sakamoto, S. Tomio, K. Kariya, and T. Hirose, "A New Driving Technology for PDPs with Cost Effective Sustain Circuit," SID'01,

- 1236-1239, 2001.
- [8] J. Y. Lee, "A new cost-effective PDP sustaining driver with current injection method (CIM)," *Electronics Letters*, vol.38, no.25, pp.1637-1639, 2002.
- [9] J. Y. Lee, J. S. Kim, N. S. Jung, and B. H. Cho, "New energy recovery concept for AC PDP Sustaining driver using current injection method(CIM)," *IEEE trans. on Industrial Electronics*, vol.51 no.3, pp. 615-623, 2004.
- [10] H. B. Hsu, C.L. Chen, S. Y. Lin and K. M. Lee, "Regenerative power driver for PDP in sustain-mode operation," *IEEE trans. on Industrial Electronics*, vol.47 no.5, pp.1118-1124, 2000.
- [11] S. Y. Lin, C. L. Chen, and K. Lee, "Novel Regenerative power driver for PDP," *Proc. IEEE PESC*, vol.2 ,pp.1739-1743, 1998.
- [12] J. Y. Lee, "High Speed Full-Resonant Address Energy Recovery Technique for Plasma Display Panel(PDP) with Load-Adaptive Characteristic," *Electronics Letters*, vol.40 no.11, pp.666-668, 2004.
- [13] Y. Sano, A. Takagi, T. Kawada, H. Inoue, and K. Kariya, "Reduction of Power Consumption in Address Driver ICs for PDP by Power Distributing Method." *SID'01*. 1228-1231. 20



이준영(李俊榮)

1970년 10월 3일생. 1993년 고려대 전기공학과 졸업. 1996년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2001년 동 대학원 박사과정 졸업(공학). 2001년 3월~2005년 2월 삼성 SDI PDP 사업. 2005년 3월~현재 단국대 전자컴퓨터

학부 전자공학 전공 교수(전임강사).