

전동기 속도 및 위치검출용 증분형 엔코더 출력신호 필터 설계

全泰園[†], 安正烈^{*}, 李弘熙^{**}, 金興根^{***}, 魯義哲^{****}

Design of Filter for Output Signals in Incremental Encoder for Detecting Speed and Position of Motors

Tae-Won Chun, Jung-Ryol Ahn, Hong-Hee Lee, Heung-Gun Kim, and Eui-Cheol Nho

요 약

전동기 위치 또는 속도를 측정하기 위하여 많이 사용되고 있는 증분형 엔코더의 출력신호는 고주파 디지털 신호로 PWM인버터 등 전력용반도체 회로의 스위칭에 의하여 발생하는 전자파에 많은 영향을 받으며, 이 엔코더 출력신호에 포함된 노이즈는 일반적인 저역필터로 제거하기 힘들다. 본 논문에서는 엔코더 신호에 포함된 노이즈 성분을 완전히 제거할 수 있는 엔코더 출력신호 노이즈 제거용 디지털 필터회로를 개발하였다. 노이즈의 특성 즉 노이즈 주파수에 따라 필터내의 카운터 값 및 입력 클럭의 주파수를 쉽게 변경시킬 수 있으므로 어떤 노이즈 성분도 거의 완벽하게 노이즈를 제거할 수 있다. 시뮬레이션 및 실험을 통하여 이 디지털 필터의 성능을 확인하였다.

ABSTRACT

The incremental encoder has been mostly used to measure the speed and position of the motor. As the output signals of encoder are high frequency digital signals, they have much influence on radiation noises due to switching of the power semiconductor circuits. It is so difficult to suppress the noises with the conventional LPF. In this paper, the hardware digital filter for suppressing noises in the output signals of the encoder signals is developed. As both the clock frequency and counter in the digital filter for encoder are easily adjusted according to the kinds of noises, any noises in the encoder can be entirely eliminated. The performance of the digital filter has been verified by simulation and experimental results.

Key Words : Incremental encoder, noises, hardware digital filter, speed detection

1. 서 론

유도전동기, 영구자석형 동기전동기 등 여러 전동기의 속도 또는 위치 측정을 위하여 증분형 엔코더(Incremental encoder)가 광범위하게 사용되고 있다.

이 엔코더는 일반적으로 전동기 1회전당 수천에서 수만 펄스가 발생하는 A, B의 두 신호가 출력되며, 이 두 신호는 90°의 위상차를 가지고 있다. 이 엔코더 출력 펄스 수를 카운팅하여 전동기 속도 또는 위치를 계산하고, 또한 이 두 신호의 위상차로 전동기의 회전 방향 즉 정회전 또는 역회전을 판별한다^[1,2].

이 엔코더 출력신호 A, B는 수십 KHz에서 수백 KHz로 발진하는 고주파 디지털 신호이므로, 90° 위상차를 가지는 두 신호사이의 간섭과 함께 전동기 구동용 반도체 전력회로의 스위칭에 의한 발생하는 전자파에 많은 영향을 받으며, 이 엔코더 출력신호는 디지털

[†]교신저자 : 정희원, 울산대 전기전자정보시스템공학부 교수
E-mail : twchun@mail.ulsan.ac.kr

^{*}정희원, 울산대 대학원 전기전자정보시스템공학부 박사과정

^{**}정희원, 울산대 전기전자정보시스템공학부 교수

^{***}정희원, 경북대 전자전기공학부 교수

^{****}정희원, 부경대 공대 전기제어계측공학부 조교수

접수일자 : 2005. 3. 2 1차 심사 : 2005. 3. 22

2차 심사 : 2005. 4. 20 심사완료 : 2005. 4. 26

신호이므로 이 노이즈에 대하여 상당히 취약하다. 이 노이즈에 의하여 엔코더 출력펄스를 카운팅하여 계산되는 속도 또는 위치 값에 오차가 발생되며, 또한 A, B 두 신호의 위상차에 의하여 판별하는 전동기 회전 방향이 바뀌는 등 심각한 문제가 발생할 수 있다. 그런데 엔코더로 속도 및 위치 계산 시 광범위한 속도 범위에서 속도 또는 위치 오차를 최소화시키는 여러 기법 개발에 대한 논문은 많이 발표되었으나,^[3,4,5] 엔코더의 노이즈를 억제시키는 연구는 상대적으로 미미한 실정이다.

이 노이즈를 제거하기 위하여 엔코더에서 제어 보드 또는 PLC의 입력단자까지 즉 전송단계에서 외부에서 발생하는 전자파를 차단하기 위하여 일반적으로 모든 엔코더 신호에 실드선을 사용한다. 여기에 전압 및 전류의 용량이 큰 전동기 구동시에는 더 많은 노이즈가 발생되므로, 공통모드(common-mode) 노이즈를 상쇄시키기 위하여 A, B신호를 각각 차동신호(differential signal)로 변환시키는 방법도 사용한다. 여기에 외부 전자파뿐만 아니라 A,B 신호 사이의 간섭현상을 감소시키기 위하여 이중 실드선을 도입하기도 한다.

그런데 실드선 등으로 엔코더 신호의 노이즈를 완벽히 제거 못하였을 경우에는 제어 보드에서 이 노이즈를 제거하여야 한다. 이 노이즈를 제거하는 위하여 사용되는 일반적 방법은 커패시터 또는 저역필터(low-pass filter)를 사용하고 있다. 그런데 아날로그 신호와 달리 엔코더 신호가 수십~수백 KHz의 고주파 펄스 형태이므로 이 저역필터를 사용할 경우에는 노이즈뿐만 아니라 엔코더 신호까지 감쇄시키는 심각한 부작용이 발생할 수 있다. 또한 전동기 속도에 따라 엔코더의 출력신호 주파수가 상당히 많이 변화되며, 또한 노이즈의 주파수가 다양하게 나타나므로 저역필터의 차단주파수 결정에 상당한 어려움이 있다.

본 논문에서는 엔코더 신호에 포함된 노이즈 성분을 완전히 제거할 수 있는 엔코더 노이즈 제거용 필터회로를 설계하였다. 제안된 필터회로는 노이즈 성분을 완전히 제거하기 위하여 노이즈의 특성 즉 노이즈 주파수에 따라 필터 회로 또는 입력 클럭의 주파수를 쉽게 변경시킬 수 있다. 이 엔코더 출력신호 노이즈 제거용 필터의 효과를 시뮬레이션 및 실험결과를 통하여 검증한다.

2. 엔코더 노이즈 제거용 디지털필터

그림 1은 엔코더 출력신호 노이즈 제거용 디지털필터

의 구성도이며, 이 필터는 노이즈 제거회로와 출력신호 듀티비 보상회로로 구성된다.

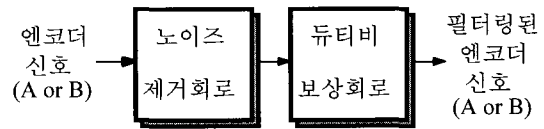


그림 1 엔코더 출력신호 필터 블럭도
Fig. 1 Block diagram of encoder filter

엔코더의 출력신호 노이즈 특성은 엔코더 출력단자가 엔코더 전원과 저항으로 풀-업되어 있으므로 전원 전압 이상의 높은 전압의 스파이크성 노이즈가 아니고 노이즈 펄스폭이 변화된다. 따라서 대부분 엔코더의 노이즈 특성이 크기보다 노이즈 폭이 변화되므로, 디지털 필터에서 노이즈제거 회로에서는 제거할 엔코더 노이즈의 펄스폭을 설정하고 이 펄스폭보다 작은 노이즈 성분은 모두 제거시킨다. 그런데 이 노이즈 제거회로에서 엔코더 신호의 노이즈를 제거하는 과정에서 출력신호의 펄스폭 즉 듀티비가 변화된다. 출력신호 듀티비 보상회로에서는 이 출력신호의 듀티비 변화를 보상하여 원래 엔코더 신호의 펄스폭으로 복귀시킨다. 이 노이즈 제거회로 및 출력신호 듀티비 보상회로의 자세한 회로 및 동작특성을 각각 기술한다.

2.1 노이즈 제거회로

그림 2는 엔코더 출력신호 노이즈 제거 회로이다. 이 회로는 엔코더 출력신호인 A 또는 B 신호가 N-카운터의 clear단자에 입력되며 필터링된 신호와 클럭신호가 OR게이트를 거쳐 N-카운터의 하강에이지 트리거 클럭단자에 연결된다. 여기서 클럭신호의 주파수와 N-카운터의 N값은 노이즈의 폭과 엔코더 펄스의 주파수 값에 따라 결정한다.

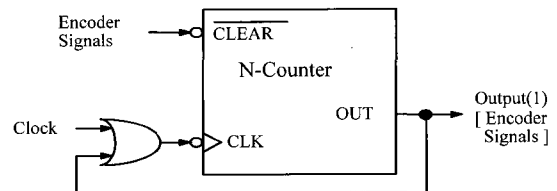


그림 2 노이즈 제거회로
Fig. 2 Circuit for deleting noises

그림 3은 이 노이즈 제거회로의 동작특성을 보인 것이다. 엔코더 출력신호에 포함된 노이즈 폭이 약 클럭

의 1.5 주기이며, N-카운터의 N이 3 즉 3-카운터를 사용하였을 경우, 클럭, 노이즈가 포함된 엔코더 출력 신호, 카운터의 클럭입력신호 및 카운터의 출력 신호 즉 필터링된 엔코더 출력신호의 파형을 그린 것이다.

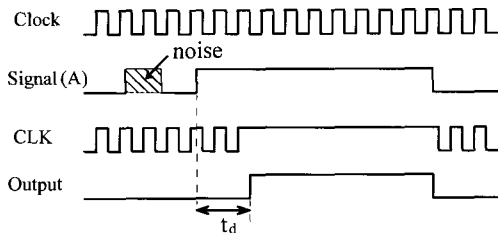


그림 3 노이즈 제거회로의 동작
Fig. 3 Operation for noise filter circuit

엔코더 신호가 '0'일 경우에는 카운터의 clear 단자에 '0' 입력되어 카운터의 출력이 클럭에 관계없이 '0'이 된다. 엔코더 신호가 '1'일 경우에는 카운터가 카운팅을 시작하나 3-카운터이므로 3번째 클럭신호가 입력될 때 카운터 출력이 '0' 상태에서 '1' 상태로 바뀐다. 그리고 엔코더 신호가 3번째 클럭 전에 '0'으로 바뀔 경우에는 카운터 출력이 계속 '0' 상태로 유지한다. 따라서 엔코더의 노이즈의 폭이 클럭의 3주기 보다 짧으므로 카운터 출력은 계속 '0' 상태를 유지하므로 이 노이즈 성분이 제거됨을 알 수 있다. 그런데 엔코더 출력신호가 본래의 엔코더 출력신호보다 $t_d = (N-1)/f_c - N/f_c$ 범위의 시간이 지연되어 '1' 상태로 변화되므로 엔코더 펄스 폭 즉 듀티비(duty ratio)가 감소된다. 즉 clock 신호의 주파수가 f_c 이며 N-카운터일 경우에는 이 N-카운터의 출력신호 즉 노이즈가 제거된 신호는 본래의 엔코더 출력신호보다 t_d 시간 정도의 듀티비가 감소하게 된다.

2.2 엔코더 펄스 듀티비 보상회로

전동기 속도가 상승하여 엔코더 펄스폭이 감소되거나 노이즈의 폭이 커져 t_d 시간이 상승한 경우에는 필터링으로 인한 엔코더 펄스의 듀티비 감소로 인하여 속도와 위치 계산 및 정역회전 판별에 심각한 문제가 발생할 수 있다.

그림 4는 엔코더 노이즈를 제거하면서 이 듀티비 감소를 보상하기 위한 회로이다. 그림 5는 듀티비 보상 기능을 가진 디지털 회로의 동작 특성을 설명하기 위하여 clock, 노이즈 성분이 있는 엔코더 출력신호, N-카운터1의 출력 및 필터링 및 듀티비 보상된 엔코더 신호를 보인 것이다. N-카운터1의 출력신호를 반전시켜 N-카운터2의 clear 단자에 입력시킴으로써 t_d 시간

후에 N-카운터2의 출력단자가 '1'상태가 되며, 이 신호를 반전시키면 이 지연시간의 듀티비 감소를 보상할 수 있다. 여기서 이 이중필터링된 엔코더 출력신호와 본래의 엔코더 출력신호 파형을 비교하면 펄스폭은 동일하지만 t_d 만큼의 시간지연이 발생된다. 그런데 이 t_d 시간지연은 A와 B 신호 모두 같이 나타나므로, 이 A, B펄스를 XOR하여 2체배 시킨 후 그 펄스를 카운팅하여 전동기 속도 또는 위치를 측정하거나 A와 B 신호의 위상차 90°를 이용하여 정/역회전 회전방향을 결정하는데 전혀 영향이 없다.

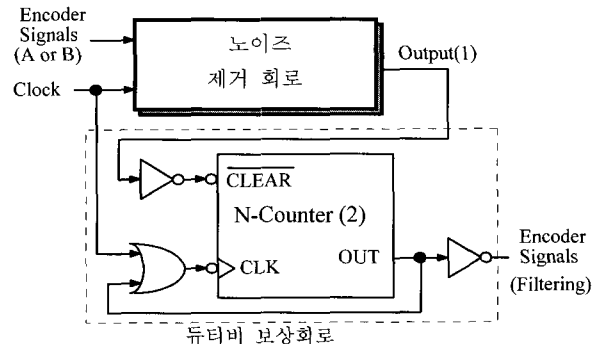


그림 4 듀티비 보상 디지털 필터 회로
Fig. 4 Digital filter circuit with duty ratio compensation

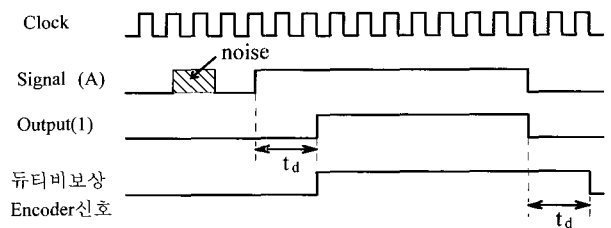


그림 5 듀티비 보상한 디지털 필터 회로 동작
Fig. 5 Operation for digital filter circuit with duty ratio compensation

한편 디지털 필터를 설계하는 방법을 기술한다. 먼저 엔코더 출력신호에 발생하는 노이즈 중 노이즈 폭이 최대인 노이즈를 관측한 후, 이 노이즈까지 모두 제거하기 위하여 노이즈 중 최대 폭 d_{max} 에 대한 클럭신호의 주파수 f_c 와 카운터의 N값의 범위는 다음과 같다.

$$d_{max} < \frac{(N-1)}{f_c} \tag{1}$$

위의 식에서 보면 노이즈의 폭에 따라 클럭신호의

주파수 f_c 와 카운터의 N 값을 같이 조정할 수 있다. 그리고 엔코더 신호(A 또는 B)의 펄스폭은 반드시 (N/f_c) 보다 더 커야 이 디지털 필터의 출력단자에 신호가 출력된다.

3. 엔코더 노이즈 제거용 디지털 필터(2)

그림 4의 엔코더 노이즈 제거용 디지털 필터회로는 엔코더 출력신호가 '0'상태에서 노이즈 성분의 펄스가 발생되었을 때만 필터링 효과가 있으며, 엔코더 출력신호가 '1'상태에서 노이즈 발생시에는 필터링이 되지 않는다.

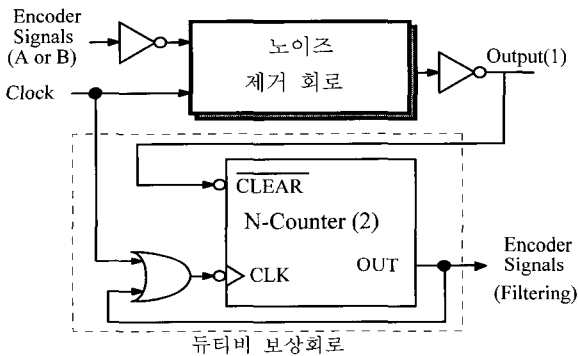


그림 6 듀티비 보상 디지털 필터 회로(2)
Fig. 6 Digital filter circuit(2) with duty ratio compensation

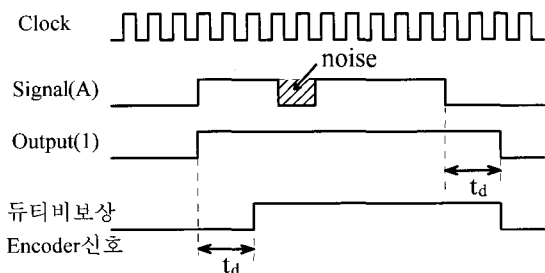


그림 7 듀티비 보상한 디지털 필터 회로(2)의 동작
Fig. 7 Operation for digital filter circuit (2) with duty ratio compensation

그림 6은 엔코더 출력신호가 '1'상태에서 발생된 노이즈를 필터링하면서 엔코더 신호의 폭 즉 듀티비까지 보상하는 회로이며, 그림 7은 이 회로의 동작을 보인 것이다. 그림4와 비교하면 엔코더 출력신호인 A 또는 B 신호를 반전시킨 후 N-카운터의 clear단자에 입력시키며 이 N-카운터1의 출력단자를 다시 반전시킨 파

형은 듀티비 보상이 되지 않은 파형이므로, N-카운터2를 사용하고 이 카운터2 출력은 노이즈를 필터링하면서 듀티비까지 보상된 엔코더 신호가 된다. 그림 7을 보면 N-카운터1의 출력이 반전된 파형 출력1을 보면 시간 지연 t_d 만큼 펄스폭이 더 증가되며, 듀티비 보상 회로를 거친 후 이 지연시간의 듀티비 증가를 보상된다. 이 회로 역시 필터링 되면서 듀티비 보상된 파형은 t_d 정도의 시간지연이 발생됨을 알 수 있다.

4. 시뮬레이션 및 실험 결과

엔코더 출력신호의 노이즈 필터링용 필터 회로의 효과를 검증하기 위하여 시뮬레이션 및 실험결과를 보인다.

그림 8은 엔코더 출력신호 B에 3~4 μs 정도의 노이즈가 있을 경우, 그림 4의 디지털 필터회로를 사용하여 클럭과 함께 엔코더 출력펄스 A, B와 노이즈 제거회로 출력 파형 및 듀티비 보상을 한 엔코더 출력신호파형을 보인 것이다. 이 필터회로의 클럭의 주파수를 250KHz, 4-카운터로 정하였다. 노이즈 제거회로 출력파형을 보면 엔코더 펄스 B에 포함된 노이즈 성분은 모두 제거 되었으나 펄스폭이 감소되었다. 이 듀티비의 감소를 보상하는 회로를 추가한 결과 엔코더 파형은 실제 파형과 펄스폭이 거의 동일하며, 약간의 시간지연은 발생되었다. 그런데 앞에서 언급한 바와 같이 A와 B 신호 모두 같이 나타나므로, 전동기 속도 또는 위치를 측정하거나 A와 B신호의 위상차 90°를 이용하여 정/역회전 회전방향을 결정하는데 전혀 영향이 없다.

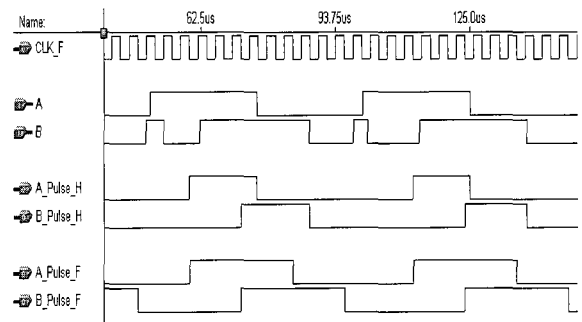


그림 8 엔코더 필터회로(1)의 시뮬레이션 결과
Fig. 8 Simulation result for encoder digital filter(1)

그림 9는 엔코더 출력신호 A의 펄스 내에 2~3 μs 정도의 노이즈가 있을 경우, 그림 6의 디지털 필터회

로에서 클럭 주파수를 250KHz, 4-카운터 사용하였다. 노이즈 제거회로 출력 파형을 보면 엔코더 펄스 A에 포함된 노이즈 성분은 모두 제거 되었으나 펄스폭이 증가되었다. 듀티비 보상회로 사용 시 엔코더 파형은 실제 파형과 펄스폭이 거의 동일하며, 그림 8과 같이 약간의 시간지연은 발생되었다.

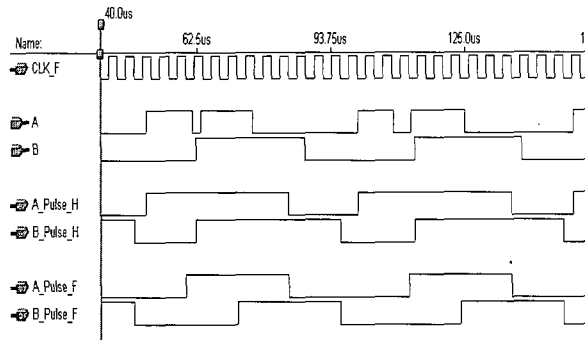


그림 9 엔코더 필터회로(2)의 시뮬레이션 결과
Fig. 9 Simulation result for encoder digital filter(2)

그림 10과 11은 엔코더 B 출력신호에 약 6 μ s의 펄스폭을 가지는 노이즈 성분이 포함되어 있을 때, 이 노이즈 제거용 필터 사용 시 실험결과를 보인 것이다. 이 노이즈를 제거하기 위하여 그림 4의 필터회로를 사용하고, 식 (1)의 조건을 참조하여 최대 12 μ s의 펄스폭을 가지는 노이즈까지 제거할 수 있도록 clock 주파수를 0.25MHz, 4-카운터로 선정하였다.

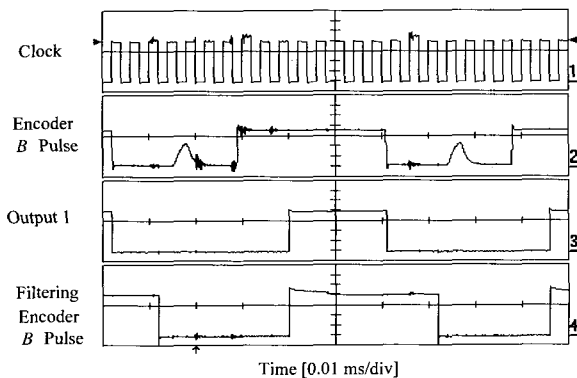


그림 10 엔코더 필터의 실험결과(1)
Fig. 10 Experimental results for encoder filter(1)

그림 10은 클럭, 엔코더 B 출력신호, 노이즈 제거회로 출력신호와 듀티비를 보정한 엔코더 신호의 실험결과를 보인 것이다. 노이즈 제거회로 출력 신호파형을 보면 엔코더 B 출력신호에 포함된 노이즈가 모두 제

거되면서 $t_d = (N-1)/f_c = 3/0.25\text{MHz} = 12\mu\text{s}$ 의 펄스폭이 감소되었다. 듀티비 보상을 할 경우에는 실제 엔코더 출력신호 파형과 펄스폭이 거의 동일하며, 12 μ s만큼의 시간지연이 발생된다. 그림 11은 엔코더 A, B 출력신호와 엔코더 필터의 A, B 출력펄스 파형을 보인 것으로 A, B 신호가 노이즈가 필터링되면서 펄스폭이 엔코더 출력펄스와 동일하고 같은 시간지연이 발생됨을 알 수 있다.

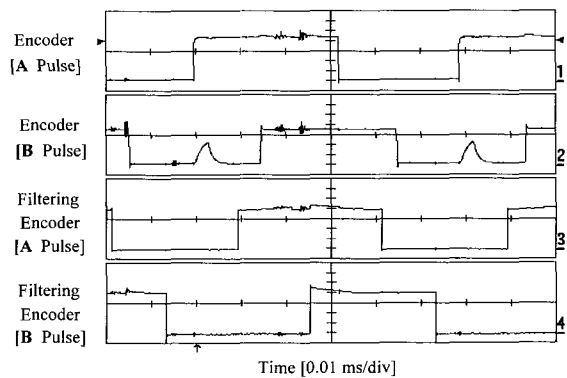


그림 11 엔코더 필터의 실험결과(2)
Fig. 11 Experimental results for encoder filter(2)

5. 결론

본 논문에서는 증분형 엔코더 신호에 포함된 노이즈 성분을 완전히 제거할 수 있는 엔코더 노이즈 제거용 디지털 필터회로를 개발하였다. 여기에 디지털 필터이므로 노이즈의 특성 즉 노이즈 주파수에 따라 필터 회로 또는 입력 클럭의 주파수를 쉽게 변경시킬 수 있다. 또한 엔코더 출력신호의 외부에 발생될 경우와 펄스 내에서 노이즈 발생될 경우를 각각 디지털 엔코더 필터회로를 개발하였다. 시뮬레이션 및 실험결과를 통하여 엔코더 출력신호에 포함된 노이즈가 완전히 제거됨을 확인하였다.

이 논문은 2004년 울산대학교의 연구비에 의하여 연구되었음

참고 문헌

[1] H.Sugimoto, T.Ichikawa, K.Hosoi, and S.Kawasakin "Magnetic Pole Detection Method and Control of

Brushless DC Servomotor With Incremental Encoder", Trans. on JIEE, Vol. 122-D, No. 9, 899-909, 2002.

- [2] Liu G, "On Velocity estimation Using Position Measurements", Proceeding of ACC, pp.1115-1120, 2002.Review, Vol. 32, No. 2, pp. 55-60, 1996.
- [3] Kavanagh RC, "Improved digital tachometer with reduced sensitivity to sensor nonideality", IEEE Trans. on IE, Vol. 47, No. 4, pp. 890-897, 2000.
- [4] Galvan E, Torralba A, and Fraquelo LG, "ASIC Implementation of a Digital Tachometer with High Precision in a Wide Speed Range", IEEE Trans. on IE, Vol. 43, No. 6, pp. 655-661, 1996.
- [5] Disinni E, Flammini A., Marioli D., and Taroni A., "A PLD Based Encoder Interface with Accurate Position and Velocity Estimation", Proceeding of ISIE, pp. 606-611, 2002.



김흥근(金興根)

1956년 4월 24일생. 1980년 서울대 전기공학과 졸업. 1982년 동 대학원 전기공학과(석사). 1988년 동 대학원 전기공학과(공학박사). 1990년~1991년 미국 Univ. of Wisconsin-Madison 방문교수. 현재 경북대 전자전기공학부 교수.



노의철(魯義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박사). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 1995년~현재 부경대 공대 전기제어계측공학부 부교수.

저 자 소 개



전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학박사). 1997~1997년 Univ. of Tennessee 방문교수. 현재 울산대 전기전자정보시스템공학부 교수



안정렬(安正烈)

1976년 11월 8일생. 2002년 원광대 전기전자공학부 졸업. 2004년 울산대 대학원 전기전자정보시스템공학부 졸업(석사). 2004년~현재 동 대학원 박사과정.



이홍희(李弘熙)

1957년 10월 5일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공학박사). 1994~1995년 Texas A&M 방문교수. 현재 울산대 전기전자정보시스템공학부 교수.