

# 온라인 설계 맵핑을 이용한 웹 기반 디지털 논리 회로 가상 실험 시스템의 구현

## Implementation of a Web-based Virtual Laboratory System for Digital Logic Circuits Using Online Schematic Mapping

서삼준\*, 김동식  
(Sam-Jun Seo and Dong-Sik Kim)

**Abstract :** In this paper, we implemented a web-based virtual laboratory system(VLab system) with creative and interactive multimedia contents, which can be used to enhance the quality of education in the area of digital logic circuits. Since the proposed VLab system is implemented to describe the on-campus laboratory, the learners can obtain similar experimental data through it. Also, the VLab system is designed to increase the learning and teaching efficiencies of both the learners and the educators, respectively. The learners will be able to achieve high learning standard and the educators save their time and labor. The virtual experiments on our VLab system are performed according to the following procedure: (1) Circuit composition on the virtual bread board (2) Applying input voltage (3) Output measurements (4) Checkout of experiment results. Furthermore, the circuit composition on the virtual bread board and its corresponding online schematic diagram are displayed together on the VLab system for the learner's convenience. Finally, we have obtained several affirmative effects such as reducing the total experimental hours and the damage rate for experimental equipments and increasing learning efficiencies as well as faculty productivity.

**Keywords :** virtual laboratory system, digital logic circuit, Java applet, multimedia contents

### I. 서론

정보화 시대로써 표현되는 현대사회에서는 첨단 정보통신 기술의 발달로 기존의 강의실과 실험실로 대표되는 획일화된 닫힌 공간의 제약에서 벗어나 인터넷을 활용한 교육의 형태가 매우 중요한 위치를 차지하고 있으며 미래사회가 요구하는 창조적이고 전문적인 인력을 양성할 수 있는 교육 시스템으로서 인터넷 기반 교육을 활발히 추진하고 있다. 다가오는 21세기는 컴퓨터 테크놀로지의 비약적인 발달과 인터넷의 광범위한 확산으로 전세계적으로 엄청난 변화가 예상된다[1].

우리나라의 교육현장에도 미래 사회의 주역이 될 학생들로 하여금 사회활동을 하는데 필요한 지식과 경험을 쉽게 습득할 수 있도록 컴퓨터와 인터넷 환경을 적극적으로 교수 학습에 활용하는 것이 매우 필요하다고 생각된다[2,3].

이러한 사회 요구에 부응하여 컴퓨터의 보급과 통신 인프라에 근거한 가상 실험실이 출현하게 되었으며 이는 고비용 저효율의 기존 교육방식의 단점을 충분히 극복할 뿐만 아니라 시간과 공간을 초월하여 인터넷상에서 교육이 이루어 질 수 있다는 장점 때문에 외형적으로 많은 팽창을 거듭하여 왔다[4-7].

그런데 교육용 전문 사이트나 가상대학에서 제공하는 콘텐츠가 단순히 학습자들에게 텍스트나 이미지를 보여주는 데 치중한 강좌들이 대부분이며 학습자와 교수자간의 능동적이고 상호 작용적인 학습참여가 부족한 실정이다. 또한 실제로 전기, 전자분야 등에 관련된 강좌들 역시 실험 실습의 형태가 아닌 문서화된 강좌로 추상적으로 구성되어 학습자 입장에서 해당 내용을 구체화하기가 어려운 실정이다[8-10].

이런 문제들을 해결하기 위한 방법은 교과과정을 비롯한 실험내용 그리고 실험 진행 방법 등에 대해 전반적으로 개선하는 방법 외에는 그 해결책이 없다고 해도 과언은 아닐 것이다. 그러나 국내 대학이 처해 있는 실험실 환경의 열악성은 부인할 수 없는 사실이며, 실험진행과정에 대한 교과과정의 개발도 미진한 형편이다. 따라서, 효율적인 실험 실습 교육을 위한 보조 교육 도구로서의 실험진행에 있어서 동적인 요소를 가미한 새로운 형식의 디지털 콘텐츠의 개발이 매우 필요하다.

본 논문에서는 효율적인 디지털 논리 회로 실험 실습 교육에 있어 실제 실험실에서 이루어지고 있는 디지털 논리 회로 실험 키트를 웹 상에서 소프트웨어적으로 구현하여 실제 실험에 임하기 전에 학습자로 하여금 간단한 마우스 조작을 통해 흥미로운 예비실험을 진행할 수 있도록 하는 가상 실험 환경을 구축하였다. 학생들은 이러한 가상 실험 환경에 접속하여 기존의 텍스트 기반 학습형태에서 탈피하여 보다 진일보된 웹 상의 가상 공간에서 실험을 진행함으로써 실험 원리 및 실험 내용에 대해 보다 명확하게 이해가 가능하도록 하였다.

본 논문에서 제시된 웹 기반 디지털 논리 회로 가상 실험 시스템은 교수-학습 자료를 자바 애플릿 및 멀티미디어를 이용하여 구현한 새로운 접근 방법의 디지털 콘텐츠로 기존의 면대면 교육방식과 융화하여 운영된다면 매우 큰 교육 효과를 기대할 수 있을 것으로 생각된다.

### II. 디지털 논리 회로 가상 실험 시스템

#### 1. 시스템구성

효율적인 디지털 논리 회로 실험 실습 교육을 위하여 웹 상에서 통합 학습 환경을 지원하는 것으로 잘 알려진 자바 애플릿을 이용하여 가상 실험 시스템을 구현하였다. 그림 1

\* 책임저자(Corresponding Author)

논문접수 : 2004. 11. 3., 채택확정 : 2005. 4. 7.

서삼준 : 안양대학교 전기전자공학과(ssj@aycc.anyang.ac.kr)

김동식 : 순천향대학교 정보기술공학부(dongsik@sch.ac.kr)

에 제안한 디지털 논리 회로 가상 실험 시스템의 실행화면을 도시하였다.

제안한 가상 실험 시스템은 기본적인 교육공학에 근거하여 학습과정이 멀티미디어 활용능력을 향상하도록 설계되었기 때문에 학습자가 효율적으로 흥미를 느끼면서 스스로 학습하도록 한다. 학습자가 웹 브라우저를 이용하여 가상 실험

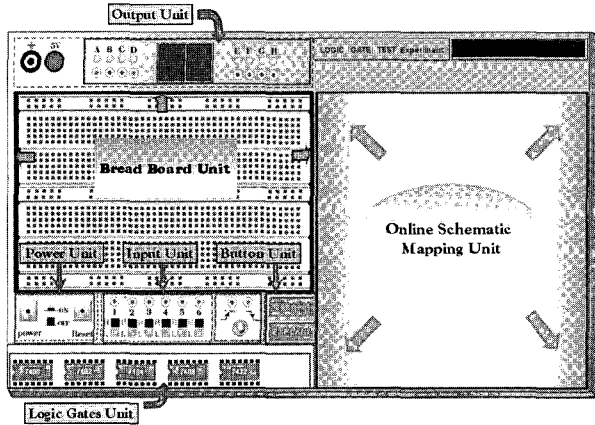


그림 1. 디지털 논리 회로 가상 실험 시스템.

Fig. 1. Our VLab system for digital logic circuits.

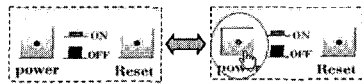


그림 2. 전원부.

Fig. 2. Power unit.

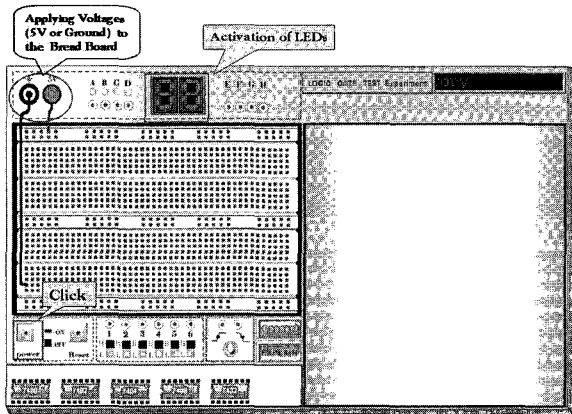


그림 3. 활성화된 가상 실험 시스템.

Fig. 3. Activated VLab system.

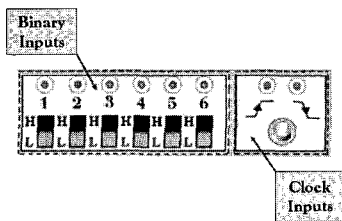


그림 4. 이진 및 클럭 입력부.

Fig. 4. The binary and clock input unit.

시스템에 접속하면 간단한 마우스 조작으로 디지털 논리 회로에 대한 실험을 할 수 있다. 또한, 제안한 가상 실험 시스템은 독립적으로도 운영될 수 있지만 기존의 실제 실험실의 보조 도구로 사용되면 더 큰 교육 효과를 기대할 수도 있다. 제안한 가상 실험 시스템은 전원부, 이진 및 클럭 입력부, 논리 게이트부, 가상 브레드 보드부, 버튼부, 출력부와 온라인 설계 맵핑부의 7가지 기본 요소로 구성된다.

전원부는 가상 실험 시스템이 동작되는 동안에 DC 전압을 인가한다. 이진 및 클럭 입력부는 몇 가지의 이진 스위치와 상승 및 하강 에지 클럭 펄스 발생기를 가지고 있다. 논리 게이트부는 반복적인 마우스 드래그로 디지털 논리 회로를 구성하기 위하여 임의로 선택될 수 있는 몇 가지의 논리 게이트 집적 회로(integrated circuit)들로 이루어져 있다. 디지털 논리 회로의 결선은 가상 브레드 보드 위에서 반복적인 마우스의 클릭과 드래그로 행해진다. 또한, 가상 실험 시스템은 버튼부에 2 개의 버튼을 가지고 있다. 결선하기 버튼은 가상 브레드 보드 위에 있는 IC에 5V의 전원과 접지를 연결하는 역할을 한다. 보이스 버튼은 학습자에게 실험 절차에 관련된 음성 안내말을 제공한다. 출력부는 LED와 7 세그먼트에 디지털 논리 회로의 측정결과를 표시한다. 마지막으로 온라인 설계 맵핑부에서 학습자의 편의를 위해 가상 브레드 보드 위의 회로 결선과 이에 대응되는 온라인 설계 도면이 동시에 표시된다.

2. 가상 실험 시스템의 기본 구성요소

제안한 가상 실험 시스템의 기본 구성 요소들을 좀 더 세부적으로 살펴보자. 온라인 설계 맵핑 공간은 디지털 논리 회로가 적절히 결선되었는지 아닌지를 알려주는 중요한 개념이다.

2.1 전원부

가상 실험 시스템에서 디지털 논리 회로 실험을 하기 위하여 학습자는 먼저 전원을 인가하여 가상 실험 시스템이 동작될 수 있도록 하여야 한다. 이렇게 하기 위하여 학습자는 그림 2에 나타난 것과 같이 마우스를 가지고 POWER 버튼을 클릭하여야 한다. 또한 리셋 버튼은 가상 실험 시스템에서 전원을 분리하는 역할을 한다. 그림 3에 전원이 인가된 후의 활성화된 가상 실험 시스템을 나타내었다.

2.2 이진 입력 및 클럭 입력부

이진 입력부는 디지털 논리 회로에 H, L 이진 입력을 인가할 수 있는 몇 개의 이진 스위치로 구성된다.

이진 입력은 마우스로 H나 L를 클릭하면 선택되고 각각의 입력 상태는 다른 색깔로 표시된다. 또한, 클럭 입력부는 순차 논리 회로(sequential logic circuit)에 사용될 하강 및 상승 에지 펄스 발생기를 제공한다. 그림 4에 이진 및 클럭 입력부를 표시하였다.

2.3 논리 게이트부

논리 게이트부는 반복적인 마우스 드래그로 디지털 논리 회로를 구성하기 위하여 임의로 선택될 수 있는 몇 가지의 논리 게이트 집적 회로(integrated circuit)들로 이루어져 있다. 전원을 인가한 후 IC 소자가 위치한 영역에서 소자 중에서 하나를 선택하기 위해 학습자가 원하는 IC 소자에 마우스 커서를 가져다 놓으면 해당 위치에 핸드 커서로 바뀌게 되어

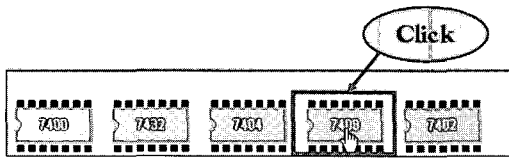


그림 5. 논리 게이트 IC 소자의 선택.

Fig. 5. Selection of integrated circuits for logic gates.

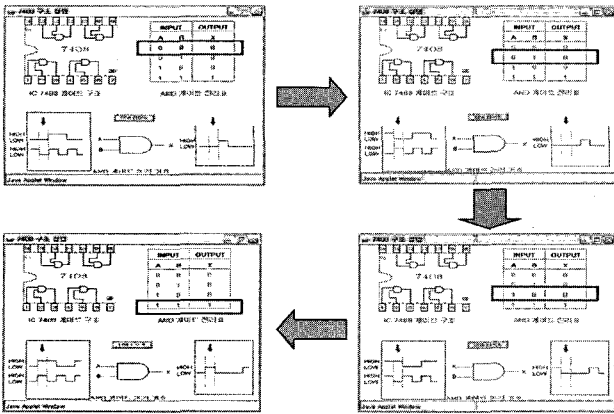


그림 6. 자세한 설명 프레임.

Fig. 6. A detailed explanation frame.

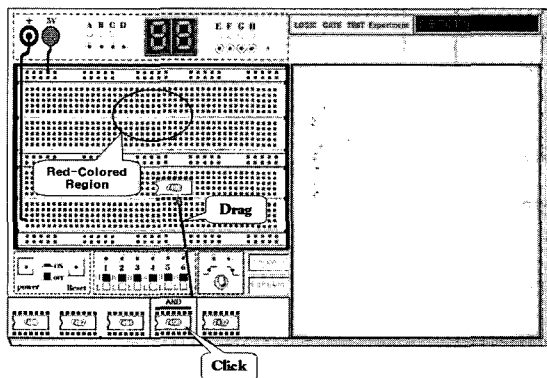


그림 7. 가상 브레드 보드 위의 IC 소자의 배치.

Fig. 7. Placement of integrated circuit on the virtual bread board.

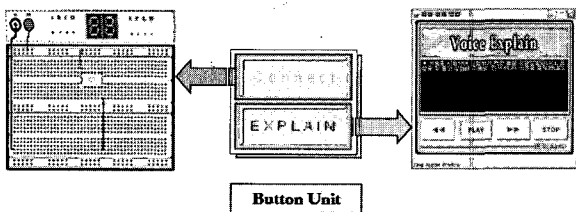


그림 8. '결선하기'와 '보이스'버튼이 클릭될 때.

Fig. 8. When the 'connect' and 'voice' button is clicked.

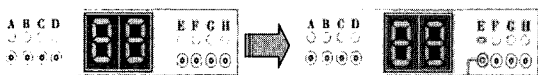


그림 9. 출력부.

Fig. 9. The output unit.

마우스로 클릭하여 선택하라는 의미로 구현하였다. 그림 5에 논리 게이트 IC 소자의 선택을 예로서 나타내었다.

IC 게이트 소자는 처음으로 접하는 학습자 입장에서는 그 소자가 어떤 역할을 하는지 그리고 내부 핀 배치도가 어떤 형태인지 등에 대해 잘 알기가 어렵다. 따라서 본 논문에서는 해당 IC 소자에 대한 상세한 설명이 수록된 프레임을 구현하여 학습자에게 제공함으로써 실험 전반에 걸친 흐름을 잘 이해할 수 있도록 설계하였다. 그림 6에 7408 IC 소자에 대한 자세한 설명 프레임을 예로서 나타내었다.

자세한 설명 프레임에 핀 배치도, 진리표, 입출력 파형이 나타나기 때문에 학습자는 선택한 IC 소자의 내부 구조와 동작 원리에 대한 중요한 정보를 쉽게 얻을 수 있다.

#### 2.4 가상 브레드 보드부

가상 브레드 보드부는 디지털 논리 회로의 결선을 위한 공간을 제공한다. 학습자가 선택한 IC 소자를 브레드 보드에 고정시키기 위해서는 IC 소자 영역에서 자신이 원하는 IC 소자를 선택하여 클릭한 상태에서 드래그를 하게 되면 브레드 보드 영역에 게이트 소자가 위치할 영역이 표시되게 된다. 예를 들어 학습자가 마우스로 7408 IC 소자를 선택하여 드래그 하면 그림 7과 같이 빨간색으로 된 영역이 브레드 보드상에 표시되는데 그 위치에서 마우스를 놓으면 IC 소자가 브레드 보드에 위치하게 된다.

#### 2.5 버튼부

버튼부에 2 개의 버튼을 가지고 있다. 결선하기 버튼은 가상 브레드 보드 위에 있는 IC소자에 5V의 전원과 접지를 연결하는 역할을 한다. 보이스 버튼은 학습자에게 실험 절차에 관련된 음성 안내말을 제공한다. 그림 8에 결선하기와 보이스 버튼이 클릭될 때를 각각 나타내었다.

#### 2.6 출력부

출력부는 가상 브레드 보드 위의 디지털 논리 회로의 출력을 표시하는 역할을 한다. 가상 브레드 보드 위에 디지털 논리 회로를 결선한 후 학습자는 LED나 7 세그먼트를 통해서 출력을 보거나 측정할 수 있다. 그림 9에 출력부를 나타내었다.

#### 2.7 온라인 설계 맵핑부

회로가 브레드 보드상에 결선되었다면 IC 소자의 연결이 제대로 되었는지를 확인하는 과정이 필수적이다. 그러나 연결되는 IC 소자의 개수가 증가하면 결선이 복잡하게 되어 결선의 정확성을 검토하는데 어려움이 있을 것이다. 이러한 단점을 보완하기 위하여 본 논문에서는 온라인 설계 맵핑부를 제안하였다.

브레드 보드상에서 결선되는 회로를 가상 실험 시스템 우측에 온라인으로 논리 회로 심벌로 맵핑하여 학습자에게 제공된다면 결선의 정확성을 효과적으로 확인할 수 있어 학습 효율의 극대화를 이룰 수 있다. 학습자의 편의를 위해 가상 브레드 보드 위의 회로 결선과 이에 대응되는 온라인 설계 도면이 동시에 표시되도록 하였다. 온라인 맵핑 과정을 통하여 가상 브레드 보드 위의 결선이 가상 설계 공간에 나타난다. 이러한 과정을 통해 브레드 보드 결선과 동시에 논리 회로 심벌 결선이 온라인으로 맵핑되어 학습자에게 시각적으로 전달되므로 학습자가 실험내용을 쉽게 이해할 수 있을 뿐만 아니라 실험 결과값 분석시 예측한 결과와 다르게

출력되는 경우 브레드 보드 결선을 확인하는 대신 논리 회로 심벌 결선을 확인함으로써 오류 발견이 매우 쉽게 이루어지게 된다.

그림 10에 브레드 보드상에 논리 회로를 결선할 때 논리 회로 심벌이 가상 실험 키트의 온라인 맵핑 공간에 나타나는 과정을 도시하였고 그림 11에 7408 IC 소자의 온라인 맵핑 과정을 예를 들어 나타내었다.

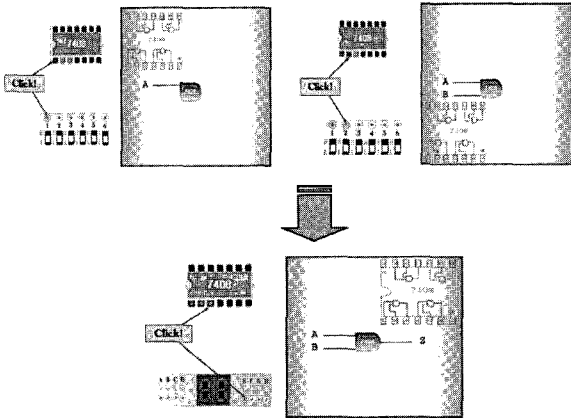


그림 10. 온라인 맵핑 과정.  
Fig. 10. The online mapping process.

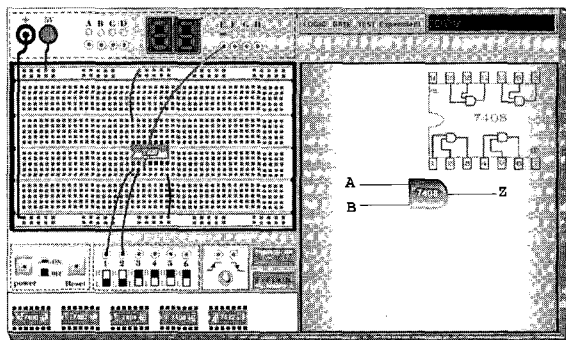


그림 11. 논리 게이트 온라인 맵핑 예.  
Fig. 11. An online mapping example for a logic gate.

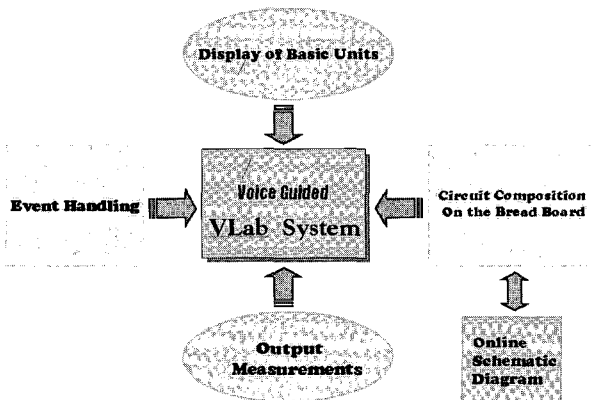


그림 12. 가상 실험 시스템의 설계 절차.  
Fig. 12. Design procedure of our VLab system.

### 3. 가상 실험 시스템의 설계 절차

가상 실험 시스템은 다음과 같은 4 단계로 자바 애플릿 형태로 구현되었다.

- 1) 디지털 논리 게이트에 대한 가상 실험 시스템의 기본 구성 요소를 설계하고 표시한다.
- 2) 적당한 이벤트 핸들러를 이용하여 마우스 이벤트를 핸들한다.
- 3) 가상 브레드 보드에 회로 결선과 대응되는 온라인 설계 도면을 표시한다.
- 4) 디지털 논리 회로의 출력을 측정하고 표시한다.

그림 12에 이러한 4가지 설계 절차에 대한 설명을 도시하였다.

### III. 디지털 논리 회로 가상 실험 시스템 실행 예

본 논문에서 제안된 가상 실험 시스템의 몇 가지 논리 회로에 대해 실행한 결과를 샘플로서 제시하였다. 앞서 기술한 바와 같이 논리 회로 가상 실험 시스템을 학습자가 간단히 마우스로 클릭함으로써 해당 가상 실험이 진행되기 때문에 쉽게 실험 내용을 습득할 수 있도록 설계되었다.

제한한 가상 실험 시스템은 대화식의 혁신적인 멀티미디어와 결합되면 디지털 논리 회로 분야의 교육의 질을 향상시킬 뿐만 아니라 학습자에게 유용한 교육 정보를 제공한다. 또한 클라이언트/서버 구조 운영되는 제안한 가상 실험 시스템에는 기존의 상업용 소프트웨어 패키지가 전혀 사용되지 않았다.

제한한 가상 실험 시스템의 유용성을 입증하기 위하여 몇 가지 가상 실험 예를 그림 13에서 16에 나타내었다. 가상 실험 시스템에서 행해지는 가상 실험은 다음과 같은 절차에 따라 수행된다.

- 1) 가상 브레드 보드 위에 회로 결선
- 2) 입력 전압 인가
- 3) 출력 측정
- 4) 가상 실험 결과 고찰

학습자는 가상 브레드 보드 위에 필요한 IC 소자를 배치하기만 하면 주어진 회로를 만들 수 있고 결선과정 중에 궁금한 점이 있으면 IC 소자를 단지 클릭하기만 하면 내부 구조와 동작 원리와 같은 자세한 설명을 얻을 수 있다.

그림 13과 그림 14에 이진 감산기 가상 실험과 복호기/부호기 가상 실험의 실행 예를 각각 도시하였으며 각 그림에서 보이는 바와 같이 해당 논리 회로에 대한 브레드 보드 결선 상태가 우측의 온라인 맵핑 공간에 논리 회로 심벌로 시각적으로 도시되는 것을 알 수 있다. 또한 그림 15과 그림 16에 JK 플립플롭 가상 실험과 비동기식 계수기 가상 실험의 실행 예를 각각 도시하였다.

가상 실험 실행시 학습자의 편의를 위해 가상 브레드 보드 위의 회로 결선과 이에 대응되는 온라인 설계 도면이 동시에 표시되도록 하였다. 또한, 학습자가 가상 브레드 보드 위에 IC 소자를 결선할 때 마다 자세한 내부 구조가 온라인 설계 맵핑부에 나타나도록 하여 디지털 논리 회로에 대한 중요한 정보와 전체 실험 과정을 쉽게 이해하도록 하였고 이러한 반복 학습을 통해 학습자가 숙지할 수 있도록 하였다.

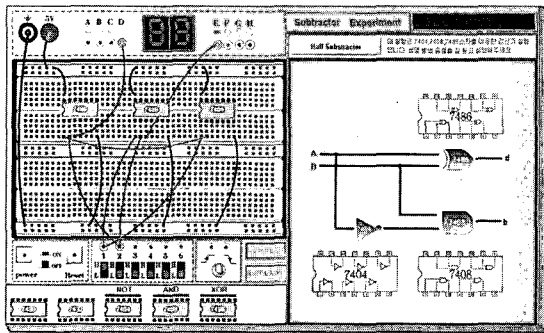


그림 13. 이진 감산기 가상 실험 예.  
 Fig. 13. Virtual experiment on a binary subtractor.

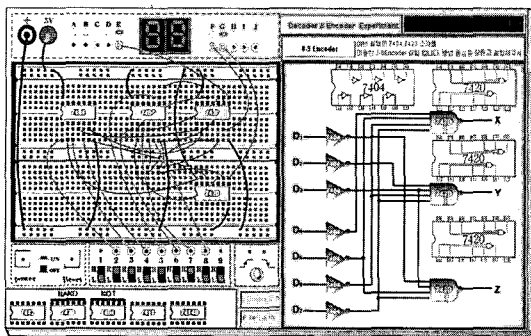


그림 14. 복호기/부호기 가상 실험 예.  
 Fig. 14. Virtual experiment on decoder/encoder.

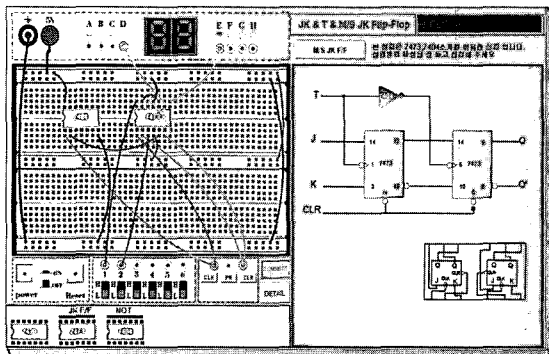


그림 15. JK 플립플롭 가상 실험 예.  
 Fig. 15. Virtual experiment on JK Flip-Flop.

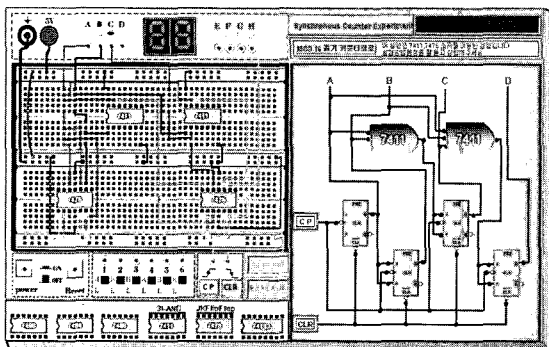


그림 16. 비동기식 계수기 가상 실험 예.  
 Fig. 16. Virtual experiment on asynchronous counter.

IV. 결론

본 논문에서는 전통적인 실험 교육 시스템의 문제점을 극복할 수 있는 한가지 방안으로 가상공간에서 디지털 논리 회로 가상 실험을 수행할 수 있는 웹 기반 디지털 논리회로 가상실험 시스템을 개발하여 제시하였다. 본 가상 실험 시스템은 학습자들이 실제 실험에 준하는 실험 환경을 미리 웹 상에서 경험함으로써 그 자체로 실제 실험을 대체하거나 실제 실험의 완성도를 높이는 사전 준비과정으로 활용될 수 있다.

특히 브레드 보드상에서 이루어지는 논리 회로 결선을 표준화된 논리 회로 심벌 결선으로 온라인으로 학습자에게 시각적으로 전달함으로써 학습자가 실험 내용을 쉽게 이해할 수 있을 뿐만 아니라 실험 결과값 분석시 예측한 결과와 다르게 출력되는 경우 복잡한 브레드 보드 결선을 확인하는 대신 표준화된 논리 회로 심벌 결선만을 확인함으로써 결선 오류 발견을 매우 쉽게 할 수 있다는 특징이 있다.

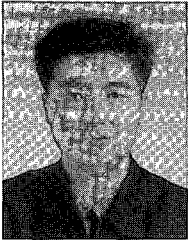
본 논문의 디지털 논리 회로 가상 실험 시스템은 효율적인 실험 교육을 위해 제시된 많은 방법중의 하나이나 다른 분야에 까지 확대 적용이 가능할 것이며 기존의 실험 교육 시스템에서 발생되는 문제를 상당 부분 보완할 수 있을 것으로 생각된다.

참고문헌

- [1] J. W. Rickel, "Intelligent computer-aided instruction: a survey organized around system computers," *IEEE Trans. SMC*, vol. 19 no. 1, pp. 40-57, 1989.
- [2] 김세중, "특집: 원격교육, 사례발표/사이버 대학 '유니텔 가상대학'의 구축 사례," *정보처리학회지*, vol. 4, no. 3, pp. 91-100, 1997.
- [3] 이근왕, 김봉기, 오해석, "특집: 원격교육, 초고속 정보통신망에서의 가상 대학과 LOD 서비스," *정보처리학회지*, vol. 4, no. 3, pp. 41-50, 1997.
- [4] B. H. Khan, "Web-based instruction: what is it and why is it?," *Web-based instruction*, 1997.
- [5] F. Valejo, M. G. Harbour, and H. Gregorio, "A laboratory for microprocessor teaching at different levels," *IEEE Trans. on Education*, vol. 32, pp. 199-203, 1992.
- [6] K. Choi, D. Kim and S. Lee, "A study on the development of a web-based C compiler for C programming practice," *International Conference on Internet Computing*, Las Vegas, Nevada, USA, 2003.
- [7] D. Kim et al, "Practical implementation of a web-based virtual laboratory in the area of electrical engineering," *IATED International Conference on Computers Advanced Technology in Education*, 2001.
- [8] A. D. Mashall, "Developing hypertext courseware on the worldwide web," *Proceedings of ED-Media 95: World Conf. on Educational Multimedia and Hypermedia*, vol. 1, Graz, Austria, pp. 418-423, 1995.
- [9] B. Oakley, "A virtual classroom approach to teaching circuit analysis," *IEEE Trans. on Education*, vol. 39, pp. 287-296, 1996.
- [10] B. Oakley, "Hyper card courseware for introduction to circuit analysis," *Proc. of ASEE Annual Meeting*, pp. 496-500, 1991.
- [11] A. Ferreo and V. Piuri, "A simulation tool for virtual laboratory experiments in a worldwide web environment," *IEEE Trans. on Instrumentation and Measurement*, vol. 48, pp. 741-746, 1999.

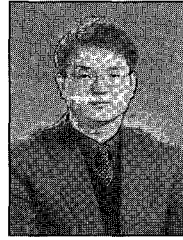
[12] D. Kim, K. Choi and S. Lee, "A web-based virtual laboratory for basic electrical circuits," *Journal of Engineering Education*

*Research*, vol. 5, no. 1, 2002.



**서삼준**

1966년 4월 16일생. 1997년~현재 안양대학교 전기전자공학과 부교수. 관심분야는 비선형제어, 지능제어 이론, 퍼지추론 시스템, 신경망, 원격 조종 시스템, 웹기반 교육용 콘텐츠 개발.



**김동식**

1963년 9월 10일생. 1992년~현재 순천향대학교 정보기술공학부 교수. 관심분야는 웹기반 교육용 콘텐츠 개발, 웹기반 가상실험실 개발, 네트워크를 통한 원격실험실 개발.