

논문 2005-42SD-5-7

고속 반도체 소자에서 배선 간의 Crosstalk에 의한 Coupling Capacitance 변화 분석

(Analysis of Crosstalk-Induced Variation of Coupling Capacitance
between Interconnect lines in High Speed Semiconductor Devices)

지 회 환*, 한 인 식*, 박 성 형**, 김 용 구**, 이 회 덕***

(Hee-Hwan Ji, In-Sik Han, Sung-Hyung Park, Yong-Goo Kim, and Hi-Deok Lee)

요 약

본 논문에서는 Crosstalk에 의한 coupling capacitance의 변화량, ΔC_c 이 기본값인 C_c 보다 더 커질 수 있음을 제안한 테스트 회로를 이용하여 실험적으로 증명하였다. 또한 ΔC_c 가 Aggressive line의 위상에 매우 의존함을 보였으며 위상이 같은 경우보다 반대인 경우에 ΔC_c 가 크게 뒀을 보였다. 실험 결과의 타당성을 검증을 위해 HSPICE 시뮬레이션을 수행하여 실험치와 잘 맞음을 나타내었다.

Abstract

In this paper, novel test patterns and on-chip data are presented to indicate that the variation of coupling capacitance, ΔC_c by crosstalk can be larger than static coupling capacitance, C_c . It is also shown that ΔC_c is strongly dependent on the phase of aggressive lines. For anti-phase crosstalk ΔC_c is always larger than C_c while for in-phase crosstalk ΔC_c is smaller than C_c . HSPICE simulation shows good agreement with the measurement data.

Keywords : Crosstalk, Interconnect, Coupling capacitance, Nano-CMOS

I. 서 론

반도체 소자의 크기는 계속 작아져서 게이트 길이가 100 nm 이하인 Nano level로 진입하게 되었으며 이에 비례하여 반도체 칩의 속도도 매우 빨라져서 65 nm CMOS Technology에서의 소자의 Gate delay는 10 ps 이하로 보고되고 있다.^[1] 이렇게 반도체 칩의 집적도가 커지고 및 속도가 빨라짐에 따라서 반도체 칩의 속도를 결정하는 주요 요소가 소자 자체의 성능이 아닌 소자들

을 상호 연결하는 배선의 성능이 되어 가고 있다.^[2-15] 예를 들면, 0.18 μm 기술에서는 3 mm 정도의 배선에 의한 지연시간이 약 800 ps로 소자의 지연시간에 비해 30~40 배 이상 커지게 된다.^[2]

위와 같이 배선의 중요성이 매우 커지고 있는데, 고속 반도체 칩에서 배선이 동작 속도 및 신호 신뢰성 (Signal Integrity)에 미치는 영향은 다음과 같이 크게 세 가지로 나눌 수 있다. 첫째는 위에서 언급한 것과 같이 배선 자체에 의해 발생하는 지연시간이다.^[2-5] 두 번째는 인접하는 배선들 간의 상호간섭(Crosstalk)에 의해 유기되는 Crosstalk 전압으로, 동작을 하지 않고 일정한 전압으로 유지되고 있어야 할 배선(Victim line이라 함)이 고속동작하는 인접 배선(Aggressive line이라 함)에 의해 전압이 유기되어 Victim line의 Receiver 단에서 마치 Victim line이 동작하고 있는 것으로 인식되어 칩이 오동작을 일으킬 수 있어서 매우 중요하다.^[2,7-10]

* 학생회원, *** 정회원, 충남대학교 전자공학과
(Dept. of Electronics Engineering, Chungnam
National Univ.)

** 정회원, 매그나칩반도체
(MagnaChip Semiconductor, Inc.)

※ 이 논문은 2002년도 한국학술진흥재단의 지원에 의
하여 연구되었음. (KRF-2002-D00190)
접수일자: 2005년2월11일, 수정완료일: 2005년4월18일

세 번째는 첫 번째와 두 번째 특성이 복합적으로 나타나는 것으로서 Victim line의 지연시간이 Aggressive line의 반대 위상(Anti-phase) 또는 같은 위상(In-Phase) 동작에 의해 느려지거나 빨라지는 현상으로 이는 특히 Victim line과 Aggressive line간의 Coupling capacitance의 변화에 의해 일어난다고 할 수 있다.^[9,10,14] 이와 같이 Crosstalk에 의해 지연시간이 변화되면 칩에서 특정 부분의 동작속도가 매우 느려지거나 빨라져서 Skew 등이 발생하여 신호 신뢰성이 매우 나빠지게 되어 칩이 더 이상 동작하지 않게 되거나 아니면 동작하더라도 속도가 매우 감소하게 되는 심각한 문제가 발생할 가능성이 매우 커진다. 따라서 배선 간의 Crosstalk에 의한 지연시간 변화 및 Coupling capacitance 변화를 파악하는 것도 매우 필요하다. 그러나 현재까지의 실험적 결과로는 Coupling capacitance, C_c 의 최대 변화량은 coupling capacitance 그 자체라고 알려져 왔다. 즉, 동위상(In-Phase) Crosstalk에서는 C_c 는 0로 감소하고 역위상(Anti-Phase) Crosstalk 하에서는 Coupling capacitance가 $2 C_c$ 로 증가하는 것으로 보고되고 있다. 그러나 가장 최근 들어서 Coupling capacitance의 변화량이 최대 $2 C_c$ 가 될 수도 있다는 이론적 보고가 있었다.^[14] 즉, 동위상에서는 $-C_c$, 역위상에서는 $3C_c$ 까지 Coupling capacitance가 변화할 수도 있다는 내용인데, 아직 실험적으로 이를 증명한 결과는 보고되고 있지 않다.

본 논문에서는 새로운 Test pattern을 이용하여 Crosstalk에 의한 지연시간 변화량, ΔC_c 을 분석하였으며, ΔC_c 가 보다 크게 될 수 있음을 나타내었다. 또한 측정 결과가 HSPICE 시뮬레이션과 잘 맞음을 나타내어 실험 결과가 신뢰성이 있음을 증명하였다.

II. 제안한 방법의 개념

1. 테스트 회로

본 논문에서 제안한 방법의 장점은 인접 배선과의 Crosstalk에 의한 Coupling capacitance의 변화량, ΔC_c 를 간단하면서도 정확하게 추출할 수 있는 것으로 그림 1과 같은 회로를 설계 및 제작하였다. 그림 1을 설명하면, A-A' 구간이 기본적인 Inverter를 이루면서 반복적으로 형성된 Ring Oscillator 구조를 갖고 있다. 그리고 Signal line이 바로 Ring Oscillator의 신호가 지나가는 배선이며, 이 Signal line 양 옆에 Aggressive line을 배치하여 Aggressive line에 Signal line의 위상과 같은

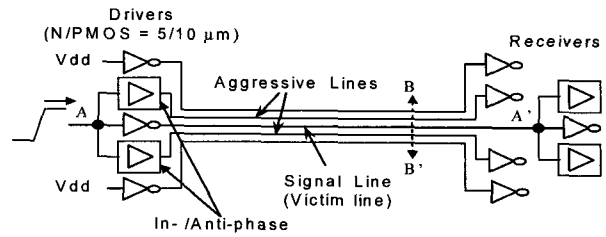


그림 1. Crosstalk에 의한 Coupling Capacitance 변화를 평가하기 위한 회로도

Fig. 1. Test circuit for on-chip measurement of crosstalk induced variation of coupling capacitance.

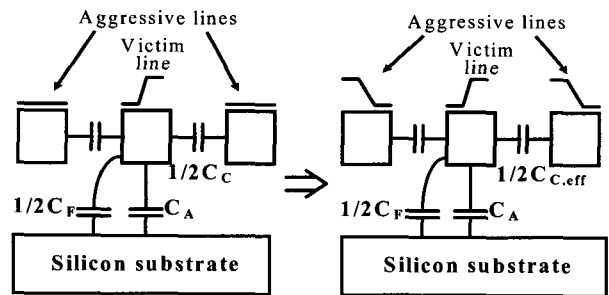


그림 2. 그림 1의 A-A'영역의 단면도.

Fig. 2. Cross-sectional profile along A-A' in Fig. 1.

것 또는 180° 다른 신호를 흐르게 하여 이것이 Signal line의 지연시간에 미치는 영향을 분석하였다.

그림 2는 그림 1의 B-B'를 따라 단면도를 나타낸 것으로 Signal line과 Aggressive line간에는 Coupling capacitance, C_c 가 존재하며 Signal line의 전체 정전용량은 C_c 와 Area capacitance, C_A 그리고 Fringing capacitance, C_F 의 합이 된다. 그림 1에서 Aggressive line에 의한 지연시간 평가는 바로 Signal line (Victim line)의 C_c 의 변화량, 즉, ΔC_c 을 평가하는 것이며, 인접한 배선(Aggressive line)과의 Crosstalk에 의한 Ring Oscillator의 지연시간의 변화를 측정함으로써 Coupling capacitance의 변화량을 추출하게 된다. 따라서 그림 2에서 Crosstalk에 의한 변화량을 포함한 Coupling capacitance를 $C_{c,eff}$ 로 나타내었으며, 단위 길이당 전체 Capacitance, C_{INT} 는 식 (1)과 같이 표현된다.

$$C_{INT} = C_A + C_F + C_C + \Delta C_C \quad (1)$$

본 방법의 장점은 Coupling capacitance의 변화량, ΔC_c 가 그림 1과 같은 구조를 이용한 Ring Oscillator의 지연시간 변화량과 선형적으로 비례한다는 것이다. 이를 위해 본 논문에서는 그림 1의 Signal line과 Aggressive line의 배선 구조, 즉 A-A'간의 구조를 그림 3과 같이 새롭게 고안하였다. 즉, A-A'간의 거리는

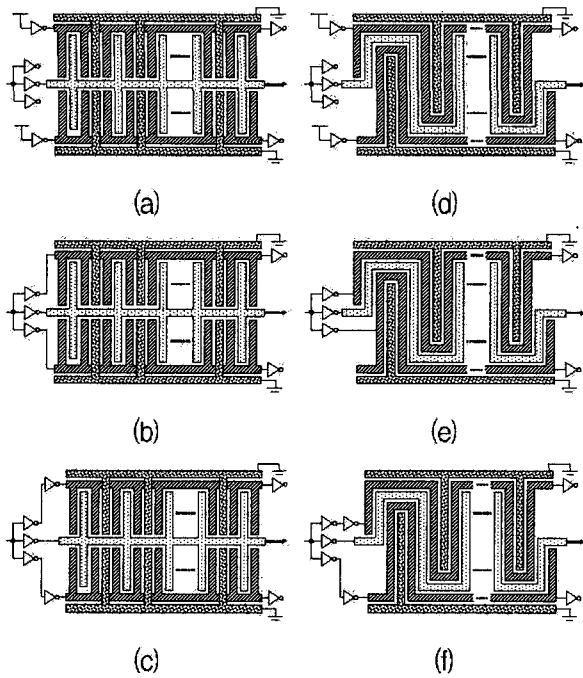


그림 3. Crosstalk에 의한 Capacitance 변화를 평가하기 위한 Interconnect line의 구조도. (a)~(c) Comb type, (d)~(f) Serpentine type. (a), (d) Crosstalk이 없는 경우, (b), (e) 동위상 및 (c), (f) 역위상 crosstalk이 발생하도록 제작된 배선의 구조도.

Fig. 3. Test interconnect patterns consisting of a ring oscillator for measuring the delay time induced by crosstalk. (a)~(c) Comb type and (d)~(f) Serpentine type. (a), (d) Reference structures without crosstalk, (b), (e) for in-phase and (c), (f) for anti-phase crosstalk.

짧게 하면서 배선에 의한 지연시간은 많이 발생하도록 그림 3의 (a), (b), (c)와 같은 구조와 (d), (e), (f)의 두 가지 배선 구조를 만들었으며, (a)~(c)의 경우에는 빗모양을 본 따서 이름을 Comb type으로 (d)~(f)인 경우에는 Serpentine type이라 명명하였다.

그림 3을 자세히 설명하면 우선 (a)~(c)와 (d)~(f)의 차이점은 배선의 저항이 포함되지 않는 경우와 포함되는 경우이다. 즉, (a)~(c)인 경우에는 배선이 Comb type이므로 인접 Inverter간의 직접적인 연결 배선 길이가 짧아서 배선의 저항은 거의 없다고 할 수 있다. 반대로 (d)~(f)인 경우에는 배선이 직렬로 연결되어 있으므로 배선의 저항에 의한 영향이 매우 크며, 일반적인 배선의 형태를 나타낸다고 할 수 있다. 하지만 두 경우 모두 배선의 정전용량은 똑같도록 설계하였다. 위와 같이 두 구조를 고안한 이유는 Comb type인 경우에는 배선 저항을 무시하여 순수한 정전용량의 변화만을 분석할 수 있으므로 정확하게 Crosstalk에 의한 Coupling

capacitance의 변화량을 파악할 수 있기 때문이다. 그림 3의 (a)와 (d)는 Crosstalk이 발생하지 않은 기준 배선인 경우이며, (b)와 (e)는 Signal line과 Aggressive line의 위상이 같은 동위상 Crosstalk이 발생한 경우를 나타낸다. 그림 3의 (c)와 (f)는 (b)와 (e)와는 반대로 Signal line과 Aggressive line의 위상이 정반대인 역위상 crosstalk이 발생하도록 한 경우이다. 따라서 Crosstalk이 발생한 경우의 지연시간과 발생하지 않은 기준 배선의 지연시간의 차이를 이용함으로써 Crosstalk에 의한 영향을 정확하게 파악할 수 있는 것이다.

배선에 의한 지연시간은 식(2)와 같이 표현되며 그림 3과 같은 Comb type인 경우에는 배선의 저항이 무시되어 식 (3)과 같이 단순화된다.^{[2], [6]} R_{INT} , R_{ON} 과 C_{TR} 은 각각 단위 길이당 배선의 저항, 소자의 저항과 정전용량을 나타내며 A는 상수를 나타낸다. 따라서 식(3)에서 지연시간은 배선의 정전용량에 비례하며, 배선의 정전용량은 그림 1과 같이 Coupling capacitance에 비례하므로 그림 3과 같은 구조에서 (a), (b)와 (c) 각각을 적용한 Ring oscillator들의 지연시간을 측정함으로써 Crosstalk에 의한 Coupling capacitance의 변화량을 평가할 수 있게 된다.

$$T_{D.Serp} = 0.4R_{INT}C_{INT}L^2 + 0.7R_{ON}C_{INT}L + 0.7R_{INT}C_{TR}L \quad (2)$$

$$T_{D.Comb} = AC_{INT}L \quad (3)$$

2. 측정 결과를 이용한 분석 방법

이 절에서는 그림 1과 3과 같은 테스트 회로를 이용하여 측정한 Ring oscillator 지연시간 결과를 이용하여 Coupling capacitance 변화량을 분석하는 방법을 설명하고자 한다. 우선 그림 3(d)와 같은 일반적인 배선의 지연시간은 앞의 식 (1)과 같이 표현되며, 배선의 저항이 무시되는 Comb type인 ($R_{INT} \times L \ll R_{ON}$ 이고 $C_{INT} \times L \gg C_{TR}$) 경우에는 식 (3)과 같이 표현된다. ($A = 0.7R_{ON}$) 식 (3)에서 순수한 Coupling capacitance에 의한 지연시간, $T_{D.Coupling}$ 성분만을 추출하면 식 (4)와 같이 표현되며 여기서 $C_1 = C_C/C_{INT}$ 는 Coupling capacitance 와 전체 배선의 Capacitance, $C_{INT}(C_{INT} = C_A + C_F + C_C)$ 의 비율로서 역시 Ring oscillator를 이용하여 구할 수 있다.^[2] Crosstalk에

의해 Coupling capacitance가 ΔC_C 만큼 변화하면 식 (3)은 식 (5)와 같이 표현된다.

$$T_{D.Coupling} = A C_C L = T_{D.Comb} \times C_1 \quad (4)$$

$$T_{C.Comb} = A (C_{INT} + \Delta C_C) L \quad (5)$$

그러므로 식 (5)에서 식 (3)을 뺀으로써 ($T_{C.Comb} - T_{D.Comb}$) Crosstalk에 의한 지연시간을 이용하여 ΔC_C 를 쉽게 구할 수 있다. Coupling capacitance의 값은 비슷한 방법으로 이전에 분석되었던 방법을 이용하여 지연시간 측정용 Ring oscillator에서 Coupling capacitance가 있는 경우와 없는 경우의 차이를 이용함으로써 구할 수 있다. 그러므로 Crosstalk에 의한 Coupling capacitance의 변화비율은 식 (6)과 같이 측정된 지연시간을 이용하여 나타낼 수 있다. 따라서 Comb type 테스트 회로만을 이용하여 Coupling capacitance의 변화율을 정확하게 측정할 수 있게 된다.

$$\Delta C_C / C_C = |T_{C.Comb} - T_{D.Comb}| / T_{D.Coupling} \quad (6)$$

그림 3의 (d)~(f)과 같은 Serpentine인 경우에는 앞에서 Comb type 회로를 이용하여 구한 값들을 이용하여 역시 Coupling capacitance의 변화량을 구할 수 있다. Serpentine인 경우의 지연시간은 앞의 식 (2)와 같으며, Crosstalk에 의해 Coupling capacitance가 변화한 경우에는 식 (7)과 같이 표현된다. 따라서 식 (7)에서 식 (2)를 빼면 $R_{INT} \times L \gg R_{ON}$ 조건에서 식 (8)과 같이 단순화된다. 또한 식 (2)와 식 (3)에서 배선의 길이가 긴 Serpentine type인 경우에는 $C_{INT} \times L \gg$

C_{TR} 의 조건에서 식 (9)가 유도된다. 그러므로 최종적으로 식 (8)과 식 (9)에서 Serpentine type인 경우의 Coupling capacitance의 변화량은 식 (10)과 같이 표현될 수 있다. 위와 같이 유도된 수식을 간략히 정리하면 표 1과 같이 표현된다.

$$T_{C.Serp} = 0.4 R_{INT} (C_{INT} + \Delta C_C) L^2 + 0.7 R_{ON} (C_{INT} + \Delta C_C) L + 0.7 R_{INT} C_{TR} L \quad (7)$$

$$T_{C.Serp} - T_{D.Serp} = 0.4 R_{INT} \Delta C_C L^2 \quad (8)$$

$$(T_{D.Serp} - T_{D.Comb}) C_1 = 0.4 R_{INT} C_C L^2 \quad (9)$$

$$\Delta C_C / C_C = (T_{C.Serp} - T_{D.Serp}) / ((T_{D.Serp} - T_{D.Comb}) C_1) \quad (10)$$

III. 실험 결과 및 토의

테스트 시편은 일반적인 0.15 μm CMOS 기술을 이용하여 제작하였다. CMOS 소자를 공정 후 7층 다층배선 공정을 적용하였으며, 사용한 배선의 폭과 간격은 각각 0.22 μm 로 동일하고, IMD는 배선 성능을 개선시키기 위해 저유전체인 Fluorinated Silicate Glass (FSG, $k=3.7$)을 사용하였다. 소자의 제작을 위한 주요 공정의 Flow는 그림 4와 같으며, 실험에 사용된 배선의 주요

■ STI (Shallow trench isolation) - depth 3500Å
■ Retrograde twin well
■ Dual No gate oxide;
■ LDD (Lightly Doped Drain) Ion Implantation
■ Halo implantation;
■ Oxide and nitride double sidewall;
■ Source/Drain Ion Implantation
■ Novel two-step Cobalt salicide (Co/Ti)

그림 4. 테스트 회로 제작을 위한 주요 Process flow.

Fig. 4. Process flow for fabrication of test circuit.

표 1. 지연시간의 정의 및 ΔC_C 와 $C_{C,eff}$ 를 추출하기 위한 수식들

Table 1. Delay time definition and the equation for extracting ΔC_C and $C_{C,eff}$.

$T_{D,X}$	Interconnect delay time without crosstalk, X is Comb for comb type and Serp for serpentine type interconnect load
$T_{C,X}$	Interconnect delay with crosstalk, X is Comb for comb type and Serp for serpentine type interconnect load
C_1	Ratio of C_C / C_{INT}
ΔC_C for Multi Fan-out	$\Delta C_C = \frac{C_C \times T_{C.Comb} - T_{D.Comb}}{T_{D.Comb} \times C_1}$
ΔC_C for Global interconnect	$\Delta C_C = \frac{C_C \times T_{C.Serp} - T_{D.Serp}}{(T_{D.Serp} - T_{D.Comb}) \times C_1}$
$C_{C,eff}$	$C_C - \Delta C_C$ for in-phase crosstalk $C_C + \Delta C_C$ for anti-phase crosstalk

표 2. 실험에 사용된 배선 및 소자의 주요 변수들

Table 2. Interconnect and key device parameters used for experiments.

M1 Line width/space	0.22/0.22 μm
M2 Line width/space	0.24/0.24 μm
Thickness of Metal	0.53 μm
ILD/IMD thickness	0.70 / 0.80 μm
Dielectric constant	3.7
Id.sat (N/PMOS) ($\mu\text{A}/\mu\text{m}$)	670 / 280
Operating voltage	1.5 V

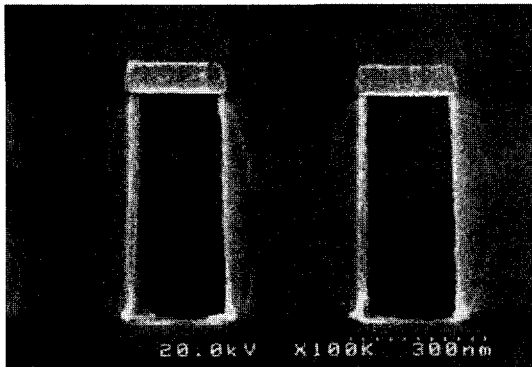


그림 5. 제작된 배선의 SEM 단면도.
Fig. 5. SEM profile of the fabricated interconnect lines.

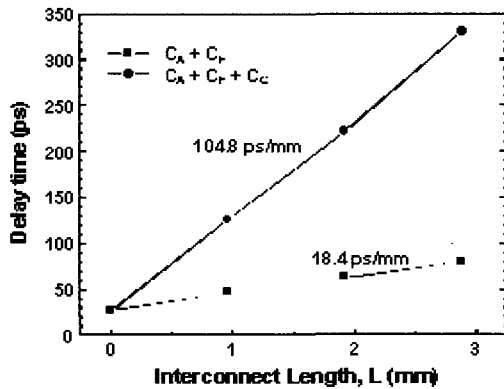
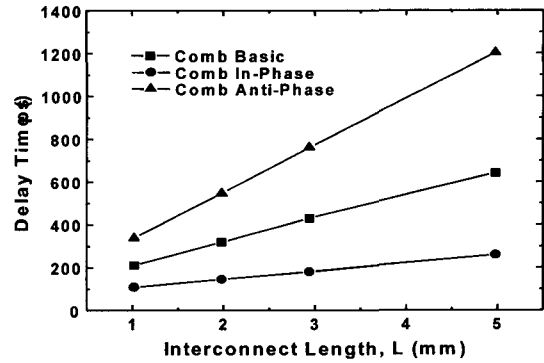


그림 6. 전체 배선 정전용량에서 Coupling capacitance 성분이 차지하는 비율.
Fig. 6. Percent of coupling capacitance, C_c to total interconnect capacitance.

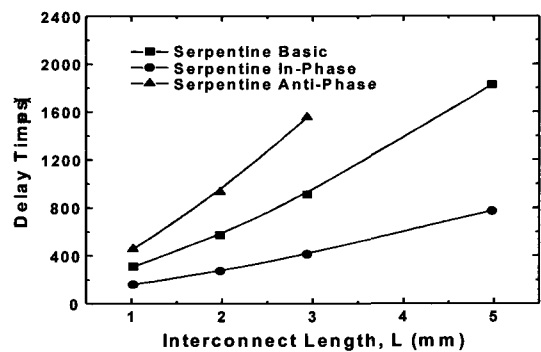
변수들은 표 2와 같다. 본 연구에서 가장 중요한 배선은 그림 1 및 그림 3에서 Signal line과 Aggressive line으로 작용하는 Metal 1 layer이며, 제작된 Metal 1 층의 단면도는 그림 5와 같다.

그림 6는 먼저 전체 Interconnect capacitance에서 Coupling capacitance가 차지하는 비율을 추출하기 위한 측정 결과를 나타내는 것으로 그림 2의 Area capacitance와 Fringe capacitance에 Coupling capacitance 유무에 따른 지연시간 차이로부터 Coupling capacitance의 비율을 추출할 수 있다.^[1] 이와 같은 측정 결과로부터 Coupling capacitance가 전체 배선의 Capacitance에서 차지하는 비율은 82.4 %임을 보여주고 있다. 따라서 Coupling capacitance가 매우 중요함을 알 수 있다.

그림 7는 그림 1과 같은 구조에서 Crosstalk 유무에 따른 Ring Oscillator의 지연시간 변화 특성을 나타내고 있다. 즉, Comb type이나 Serpentine type 모두 Crosstalk이 없는 경우를 기준으로 할 때 동위상인 경



(a)



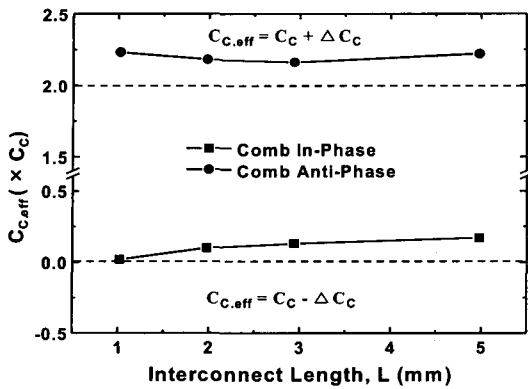
(b)

그림 7. Crosstalk에 따른 지연시간 변화량. 위상 차이에 따른 지연시간 의존성의 차이로부터 Crosstalk에 의한 Coupling capacitance 변화량 추출. (a) Comb type, (b) serpentine type.

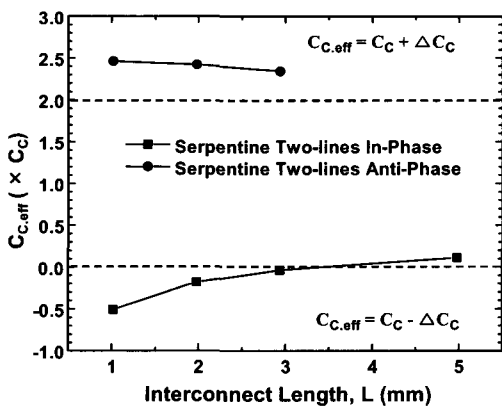
Fig. 7. Delay time variation (TD.Cross) by crosstalk. Coupling capacitance variation is extracted using the different dependence on the phase. (a) Comb type, (b) serpentine type.

우에는 지연시간이 매우 감소하였으며, 역위상인 경우에도 지연시간이 상당히 증가하였는데 이는 식 (3)에서와 같이 모두 배선의 정전용량 변화에 의한 것으로 바로 Signal line과 Aggressive line간의 Coupling capacitance의 변화에 기인한다고 할 수 있다.

그림 6과 그림 7의 데이터를 표 1과 같은 수식에 이용하여 Coupling capacitance 변화량을 구하면 그림 8과 같이 구해진다. 즉, Comb type인 경우 그림 8(a)와 같이 역위상 crosstalk에 의해 Coupling capacitance가 Static한 값보다 더 크게 변화하여 ($\Delta C_c > C_c$) 유효 coupling capacitance, $C_{c,eff}$ 가 $2C_c$ 이상이 되는 것을 나타내고 있으며, 동위상인 경우에는 역위상에 비해 변화량은 작지만 거의 C_c 에 육박함을 나타내고 있다. Serpentine type인 경우에는 다소 길이에 따른 의존성



(a)



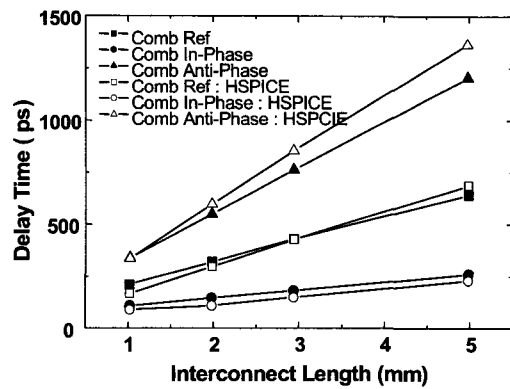
(b)

그림 8. 동위상 및 역위상 각각의 경우에 배선 길이에 따른 Coupling capacitance 변화량. (a) Comb type, (b) Serpentine type.

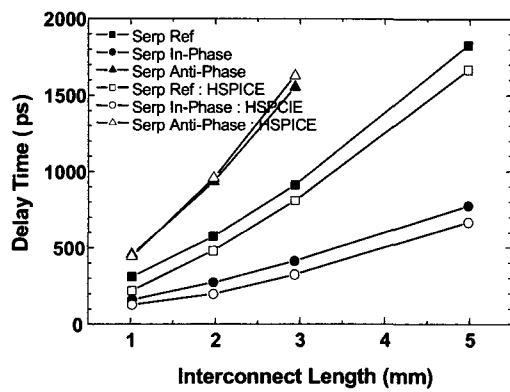
Fig. 8. Effective coupling capacitance, $C_{c,eff}$ with in- and anti-phase crosstalks. (a) Comb type and (b) Serpentine type.

이 있지만, 3 mm 이하의 길이에서는 동위상나 역위상 crosstalk에 상관없이 $\Delta C_c > C_c$ 의 특성을 보이고 있으며, 특히 역위상인 경우가 동위상인 경우보다 Coupling capacitance의 변화량이 더 크게 나타나고 있다. 따라서 배선 간의 Crosstalk에 의해 ΔC_c 가 C_c 의 값보다 크게 나타남을 증명하였으며, 이러한 Coupling capacitance의 변화량이 배선에 의한 지연시간 평가에 반영이 되어야 칩의 동작속도가 정확히 예측될 수 있다고 할 수 있다.

앞에서와 같이 측정된 Crosstalk에 의한 지연시간 변화 및 Coupling capacitance의 변화량을 검증하기 위해 같은 구조를 이용하여 HSPICE 시뮬레이션과 비교하였다. 각 배선의 경우를 살펴보면, 우선 Comb type인 경우에는 그림 9(a)와 같이 Crosstalk이 없는 경우에는 측정 값과 시뮬레이션 값이 거의 비슷하고, 동위상 Crosstalk이 발생한 경우에는 시뮬레이션 값이 측정 값



(a)



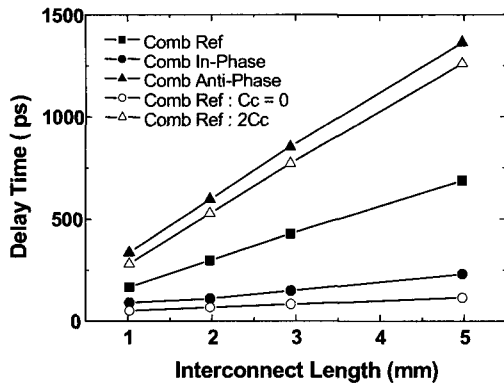
(b)

그림 9. Crosstalk 발생에 따른 지연시간의 측정 데이터와 HSPICE 시뮬레이션 값과의 비교. (a) Comb type, (b) Serpentine type.

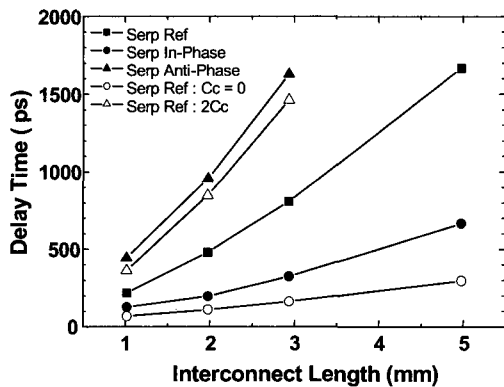
Fig. 9. Comparison of HSPICE simulation with measured data with and without crosstalk. (a) Comb type and (b) Serpentine type.

에 비해 작으며, 역위상에서는 반대로 더 크게 나타나고 있다. 따라서 시뮬레이션에서는 Crosstalk에 의한 영향이 좀 더 잘 나타나고 있음을 알 수 있다, Serpentine type인 경우에는 그림 9(b)와 같이 Crosstalk이 없는 기준 구조에서 시뮬레이션 값이 측정 값보다 다소 작은 값을 나타내고 있지만 역위상 또는 동위상 crosstalk이 발생한 경우에는 Comb type과 비슷한 경향을 나타내고 있다. 따라서 배선에 의한 지연시간은 Crosstalk에 의해 많은 영향을 받고 있음을 알 수 있다.

배선에 의한 영향을 좀 더 체계적으로 분석하여 역위상에서는 Coupling capacitance가 $2C_c$ 이상으로 커지고, 동위상에서는 0으로 작아지는 지를 확인하기 위해 그림 1 및 2와 같은 구조에서 Signal line 옆의 Aggressive line을 Ground로 묶어두고 Coupling capacitance의 값을 $2C_c$ 또는 0로 하고 HSPICE 시뮬



(a)



(b)

그림 10. Coupling capacitance의 값을 변화시키 가면서 지연시간을 비교한 HSPICE 시뮬레이션을 결과. (a) Comb type, (b) Serpentine type.

Fig. 10. HSPICE simulation result with variation of Coupling capacitance without crosstalk. (a) Comb type and (b) Serpentine type.

레이션을 하여 보았다. 시뮬레이션 결과 그림 10과 같이 역위상 crosstalk이 경우에는 $\Delta C_c = C_c$ 로 놓았음에도 지연시간이 역위상 crosstalk이 발생한 경우보다 값이 작음을 나타내고 있다. 이는 그림 8에서와 같이 역위상 crosstalk인 경우에는 $\Delta C_c > C_c$ 임을 나타낸다고 할 수 있다. 반면에 $\Delta C_c = C_c$ 로 놓은 경우에는 모두 동위상 Crosstalk인 경우에 비해 지연시간이 작았는데, 이는 동위상 crosstalk에서는 $\Delta C_c < C_c$ 라는 것을 의미하고 그림 8(a)의 Comb type인 경우와는 잘 맞음을 나타내지만, Serpentine type의 그림 8(b)와는 다소 차이가 있음을 나타내고 있다.

그러나 역위상인 경우를 보면 앞의 측정 결과와 일치하는 결과를 보임으로서 다시 한번 역위상 crosstalk인 경우에는 Coupling capacitance의 변화량이 Static coupling capacitance의 양보다 큰 현상 ($\Delta C_c > C_c$)

이 맞음을 알 수 있다. 따라서 동위상 crosstalk인 경우나 역위상 crosstalk 모두 $\Delta C_c = C_c$ 가 아니라 환경에 따라 달라질 수 있으며, 역위상 crosstalk에서는 $\Delta C_c > C_c$ 이고 동위상 crosstalk에서는 $\Delta C_c < C_c$ 라고 할 수 있다. 따라서 정확한 회로 또는 칩의 동작 속도 평가를 위해서는 Crosstalk에 의한 Coupling capacitance의 정확한 변화량 평가가 매우 중요함을 알 수 있다.

IV. 결 론

본 논문에서는 이론적으로 제기되었던 Coupling capacitance 변화량이 Static coupling capacitance 값보다 클 수 있다는 것을 새로운 테스트 구조를 이용하여 실험적으로 증명하였으며 HSPICE 시뮬레이션을 이용하여 결과를 검증하였다. 측정된 결과 및 HSPICE 시뮬레이션을 이용한 연구결과 동위상 crosstalk인 경우에는 Coupling capacitance의 변화량, ΔC_c 가 Static coupling capacitance, C_c 보다 약간 작았지만 ($\Delta C_c < C_c$), 역위상인 경우에는 Static coupling capacitance보다 크게 나타나서 ($\Delta C_c > C_c$) 거의 $1.5C_c$ 에 육박하는 경우도 보여주고 있다. 따라서 배선에 의한 정확한 지연시간 평가를 위해서는 동위상 또는 역위상 Crosstalk 유무를 정확히 판단하여 Coupling capacitance 변화 폭을 파악하는 것이 매우 중요하다.

참 고 문 헌

- [1] S. K. H. Fung, et. al, "65nm CMOS High Speed, General Purose and Low Power Transistor Technology for High Volume Foundry Application", in Tech. Symposium of VLSI Technology, 2004, pp. 92-93
- [2] H. D. Lee, M. J. Jang, and D. M. Kim "On-Chip Characterization of Interconnect Parameters and Time Delay in 0.18 um CMOS Technology for ULSI Circuit Applications", IEEE Trans. Electron Devices, vol. 46, No. 5, pp. 1073-1079, May 2000.
- [3] D. H. Cho, Y. S. Eo, M. H. Seung, N. H. Kim, J. K. Wee, O. K. Kwon, and H. S. Park, "Interconnect Capacitance, Crosstalk, and Signal Delay for 0.35 mm CMOS Technology", in IEDM Tech. Dig., 1996, pp. 619-622
- [4] M. T. Bohr, "Interconnect Scaling The Real Limiter to High Performance ULSI", in IEDM Tech. Dig., 1995, pp. 241-244
- [5] S. Y. Oh and K. J. Chang, "2001 Needs for

- Multi-Level Interconnect Technology", IEEE Circuits & Devices, pp. 16-21, Jan. 1995.
- [6] J. A. Davis, V. V. De, and J. D. Meindl, "A Stochastic Wire-Length Distribution for Gigascale Integration (GSI) Part I: Derivation and Validation", IEEE Trans. Electron Devices, vol. 45, pp. 580-589, Mar. 1998.
- [7] H. D. Lee, M. J. Jang, D. G. Kang, J. M. Hwang, Y. J. Kim, O. K. Kwon, and D. M. Kim, "Characterization of Crosstalk-Induced Noise for 0.18 μm CMOS Technology with 6-Level Metallization Using Time Domain Reflectometry and S-Parameters", in IEDM Tech. Dig., 1999, pp. 905-908
- [8] F. Moll, M. Roca and A. Rubio, "Measurement of crosstalk-induced delay errors in integrated circuits", Electronics Letters, vol. 33, no. 19, pp. 1623-1624, Sept. 1997.
- [9] T. Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSIs", IEEE Trans. Electron Devices, vol. 40, No. 1, pp. 118-124, Jan. 1993.
- [10] K. Yamashita, S. Odanaka, "Impact of Crosstalk on Delay Time and a Hierarchy of Interconnects", in IEDM Tech. Dig., 1998, pp. 291-294
- [11] K. Yamashita, S. Odanaka, K. Egashira, and T. Ueda, "On-Chip Interconnect Evaluation on Delay Time Increase by Crosstalk", in IEDM Tech. Dig., 1999, pp. 631-634
- [12] H. D. Lee, M. J. Jang, D. G. Kang, Y. J. Lee, J. M. Hwang, and D. M. Kim, "Real Time On-Chip Characterization of Time Delay Arising from Multi-Level-Metallization : Decoupling of Pure Charging and Drift-and-Charging", in IEDM Tech. Dig., 1998, pp. 287-290
- [13] K. Yamashita, S. Odanaka, K. Egashira, and T. Ueda, "On-Chip Interconnect Evaluation on Delay Time Increase by Crosstalk", in IEDM Tech. Dig., 1999, pp. 631-634
- [14] A. B. Kahng, S. Muddu, and E. Sarto, "On Switch Factor Based Analysis of Coupled RC Interconnects", in Proc. Design Automation Conference, 2000, pp. 79-84
- [15] H. D. Lee, M. J. Jang, D. G. Kang, J. M. Hwang, Y. J. Kim, O. K. Kwon, and D. M. Kim, "Characterization of Crosstalk-Induced Noise for 0.18 μm CMOS Technology with 6-Level Metallization Using Time Domain Reflectometry and S-Parameters", in IEDM Tech. Dig., 1999, pp. 905-908
- [16] H. B. Bakoglu, *Circuits, Interconnection, and Packaging for VLSI*, Addison-Wesley Publishing Co., 1990.

 저 자 소 개

지 희 환(학생회원)

대한전자공학회 논문지 SD편, 제41권7호 참조
 현재 충남대학교 전자공학과 박사과정

박 성 형(정회원)

대한전자공학회 논문지 SD편, 제41권7호 참조
 현재 매그나칩반도체 선임연구원

이 희 덕(정회원)

대한전자공학회 논문지 SD편, 제41권7호 참조
 현재 충남대학교 전자공학과 교수

한 인 식(학생회원)

대한전자공학회 논문지 SD편, 제41권7호 참조
 현재 충남대학교 전자공학과 석사과정

김 용 구(학생회원)

대한전자공학회 논문지 SD편, 제41권7호 참조
 현재 매그나칩반도체 연구원