

논문 2005-42SD-5-5

UTMI 표준에 부합하는 USB2.0 송수신기 칩 설계

(A UTMI-Compatible USB2.0 Transceiver Chip Design)

남 장 진*, 김 봉 진**, 박 홍 준*

(Jang-Jin Nam, Bong-Jin Kim, and Hong-June Park)

요 약

본 논문에서는, UTMI호환 USB2.0 PHY 칩의 구조와 세부 설계 내용 전반에 대하여 기술하였다. 노이즈 채널 환경에서, 수신데이터의 유효성을 판단하기 위한 방법으로 squelch 상태 검출 회로 및 전류모드 슈미트-트리거 회로를 설계하였으며, 레플리카 바이어스 회로를 사용한 온칩 종단(ODT) 회로와, 480Mbps 데이터 송신을 위한 전류모드 차동 출력 구동회로를 설계하였다. 또한, 플레시오크로너스 클럭킹 방식을 사용하는 USB 시스템에서, 송수신단 사이의 주파수 차이를 보상하기 위하여, 클럭데이터 복원회로와 FIFO를 사용한 동기화 회로를 설계하였다. 네트워크 분석기를 이용한 손실전송선(W-model) 모델 파라미터를 측정을 통해 추출하였으며, 설계를 위한 시뮬레이션 과정에 활용하였다. 설계된 칩은 0.25um CMOS 공정으로 제작하였으며, 이에 대한 측정 결과를 제시하였다. IO패드를 제외한 칩의 코어 면적은 $0.91 \times 1.82mm^2$ 이었고, 2.5V 전원전압에서 전체 전력소모량은, 480MHz 동작 시 245mW, 12MHz 동작 시 150mW로 시뮬레이션 되었다.

Abstract

The architecture and the implementation details of a UTMI(USB2.0 Transceiver Macrocell Interface) compatible USB2.0 transceiver chip were presented. To confirm the validation of the incoming data in noisy channel environment, a squelch state detector and a current mode Schmitt-trigger circuit were proposed. A current mode output driver to transmit 480Mbps data on the USB cable was designed and an on-die termination(ODT) which is controlled by a replica bias circuit was presented. In the USB system using plesiochronous clocking, to compensate for the frequency difference between a transmitter and a receiver, a synchronizer using clock data recovery circuit and FIFO was designed. The USB cable was modeled as the lossy transmission line model(W model) for circuit simulation by using a network analyzer measurements. The USB2.0 PHY chip was implemented by using 0.25um CMOS process and test results were presented. The core area excluding the IO pads was $0.91 \times 1.82mm^2$. The power consumptions at the supply voltage of 2.5V were 245mW and 150mW for high-speed and full-speed operations, respectively.

Keywords : USB2.0, CMOS transceiver, envelope detector, clock data recovery(CDR)

I. 서 론

개인용 컴퓨터(PC)의 CPU 동작 주파수가 수 GHz로 증가하면서, PC와 주변기기 사이의 동작 속도 차이에 의해 발생하는 병목 현상을 완화하기 위해서 고속 입출력 인터페이스에 대한 요구가 증가하게 되었다. 특히, 외부 기기로부터의 멀티미디어 데이터를 실시간으로 처리하기 위해서는 수백 Mbps이상의 대역폭을 갖는 고속 입출

력 인터페이스가 요구된다. 480Mbps의 대역폭을 갖는 USB(Universal serial bus) 2.0 인터페이스는 이러한 응용에 가장 적합한 한 방식으로 널리 사용되고 있다.

비록 USB가 PC 기반의 범용 직렬 인터페이스를 표방하고 있지만, 기존의 주변장치를 USB용 장치로 전환하기 위해서는 USB 시스템 전반에 대한 이해뿐만 아니라, 480Mbps로 동작하는 고속의 아날로그 회로 블록을 저속의 디지털 로직 디바이스와 더불어 one-chip으로 구현해야 하는 어려움이 따르게 된다. 기존의 주변장치 프레임워크를 그대로 유지하면서도 주변기기가 USB 인터페이스에 보다 쉽게 연결될 수 있도록 하기 위하여, UTMI(USB2.0 Transceiver Macrocell Interface) 표준이 발표되었는데,

* 정회원, ** 학생회원

포항공과대학교 초고속 CMOS 집적회로 연구실
(High Speed CMOS IC Laboratory, POSTECH)
접수일자: 2005년2월18일, 수정완료일: 2005년4월20일

이는 많은 시간과 노력을 필요로 하는 USB 프로토콜 관련 블록들인 송수신기 (transceiver)와 SIE (serial interface engine)는 ASIC vendor 들이 IP 형태로 개발하도록 하고, 장치 개발업자들은 주변장치와 관련된 로직만 구현할 수 있게 함으로써, 개발시간 단축을 통한 시장 대응력을 가능하게 하였다.

그림 1에 USB2.0 인터페이스 칩의 간단한 블록 다이어그램을 보였다. 이 칩은 PC와 주변장치 사이에 위치하고, 최대 길이 5m의 USB 케이블을 통해서 PC나 USB2.0 허브에 연결된다. USB2.0 인터페이스 칩은 물리계층인 송수신기 (transceiver)와 serial interface engine (SIE)으로 이루어져 있다. 송수신기는 기본적으로, USB2.0 PC와의 전기적 인터페이스를 담당하는데, 일종의 SERDES (Serializer-Deserializer) 기능을 한다. 즉, USB 케이블로부터의 직렬 데이터를 병렬 데이터로 변환하여 SIE 블록으로 넘겨주거나, 혹은 SIE로부터의 병렬 데이터를 직렬 데이터로 전환하여 케이블로 전송하는 기능을 수행한다. 송수신기와 SIE 사이의 인터페이스는 UTMI (USB2.0 Transceiver Macrocell Interface) 표준^[1]에 의해 정의된다.

본 논문에서는, UTMI 표준^[1] 및 USB2.0 표준^[2]을 만족하는 USB2.0 송수신기 칩의 설계 및 테스트에 대한 기술적 내용에 대하여 기술하였다. 설계된 칩은 0.25um 1-poly 5-metal CMOS 공정을 이용해서 제작되었다. USB-IF(Implementor's Forum)에서 규정한 전기적 규격 만족을 위해 구현된, 출력 구동회로 및 replica bias 기법을 이용한 온칩 종단 회로(ODT:on-die termination)에 대하여 기술하며, 고속 전송 신호의 신뢰성 향상을 위해 요구되는 전류 모드 squelch 상태 검출회로에 대하여 기술한다. 또한, 플레시오크로너스 클럭킹 방식을 사용하는 USB 시스템에서, 클럭 데이터 복원회로와 FIFO를 이용한 데이터 동기화 기법에 대해 기술하고, 기본적인 USB 프로토콜 처리를 위한 디지털 로직 블록의 아키텍처에 대하여 기술 한다.

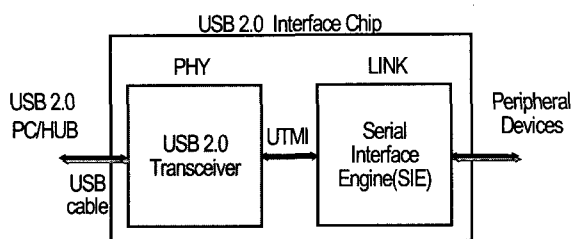


그림 1. USB2.0 인터페이스 칩의 블록 다이어그램
Fig. 1. Block diagram of USB2.0 interface chip.

II. 송수신기의 구조

그림 2에는 구현된 USB2.0 송수신기 칩의 송신단 구조를 보였다. 데이터를 전송 시, SIE로부터의 16비트 병렬 데이터는 직렬 데이터로 변환된 후, 전송 데이터에 송신단 클럭정보 인가를 위해, bit stuffing과 NRZI 인코딩 과정을 거친 후, HS(High-speed: 480Mbps) 혹은 FS(Full-speed:12Mbps) 출력 구동회로를 통해 케이블로 전송된다. 디지털 로직 블록은, HS 모드에서는 480MHz, FS 모드에서는 12MHz의 로컬 클럭에 동기되어 동작하는데, MUX 블록은 HSPLL 및 FSPLL로부터 생성된 로컬 클럭을 디지털 로직 블록으로 공급해 준다.

HS 모드에서의 데이터 전송은 전류 모드 출력 구동회로를 통해 이루어지며, USB 케이블 양단은 전송선 임피던스와 동일한 45Ω의 저항으로 종단된다. FS 모드에서의 데이터 전송은, 종단 저항 없이 전압 모드 출력 구동회로를 통해서 전송된다. USB 케이블 양단에서의 신호레벨은 HS 모드에서는 ±400mV이고, FS 모드에서는 CMOS 레벨(±VDD)을 갖는다. 클럭데이터 복원회로의 BER 특성과 출력 구동회로의 전기적 특성을 측정하기 위한 수단으로, 테스트 블록 안에 PRBS 패턴 생성기를 구현하였다.

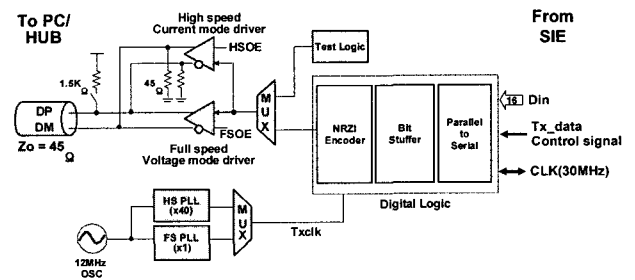


그림 2. 구현된 송수신기칩의 송신단 구조
Fig. 2. Transmitter architecture of the implemented transceiver chip.

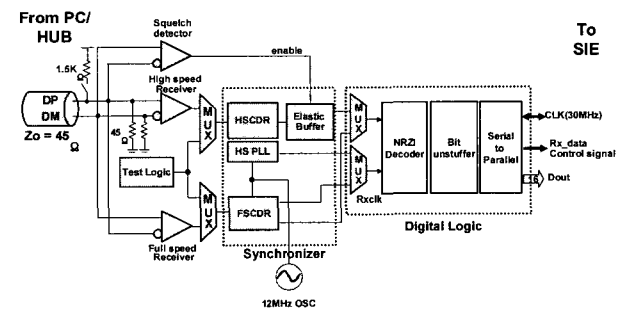


그림 3. 구현된 송수신기칩의 수신단 구조
Fig. 3. Receiver architecture of the implemented transceiver chip.

그림 3은 수신단의 구조를 보여준다. HS 모드 동작 시, $\pm 400\text{mV}$ 레벨로 전송된 데이터는 HS 수신회로를 통해서 CMOS 레벨로 변환된 후, HS 클럭데이터 복원회로와 elastic buffer를 거치면서 로컬 클럭과 동기가 이루어진다. 그러나 FS 수신 모드에서는, 수신된 데이터의 로컬 클럭과의 동기화는 이루어지지 않는다. 따라서, 수신된 데이터는 FS CDR을 거친 후에도 여전히 호스트 클럭에 동기된 상태이며, 복원된 호스트 클럭에 동기되어 디지털 로직 블록은 동작하게 된다. HS 데이터 수신 시, 케이블을 통해 전송되는 신호의 노이즈에 대한 신뢰성을 높이기 위하여 squelch 상태 검출회로가 사용되었다. 본 설계에서는, 수신단 신호 전압이 $\pm 100\text{mV}$ 이하인 입력에 대해서는 FIFO를 disable 시킴으로써 디지털 로직 블록 및 SIE로의 신호 전송을 차단하였다. USB 케이블의 양단에 위치하는 45Ω 의 종단 저항은 HS 신호 송수신 시에만 연결되며, FS 모드에서는 $1.5\text{K}\Omega$ 의 pull-up 저항만이 연결되도록 내부 제어회로를 구성하였다.

USB1.1^[4] 송수신기의 경우, 12Mbps 의 낮은 데이터 전송율로 인해, 모든 회로블록은 Verilog나 VHDL과 같은 HDL을 이용하여 로직 합성을 수행함으로써 설계가 가능하였다. 그러나, 최대 동작 주파수가 480Mbps 에 이르는 USB2.0 송수신기에서는, 낮은 신호레벨을 갖는 아날로그 출력 구동회로 및 수신회로, 바이어스 생성회로, 클럭 생성회로 등의 요구로 인해, 표준 cell libraries를 이용한 로직 합성만으로는 설계에 어려움이 따르게 되었다. 본 설계에서는, 디지털 블록은 Verilog를 이용하여 설계한 후 트랜지스트 레벨로 변환하여 구현하였으며, 아날로그 블록은 Hspice를 이용하여 트랜지스트레벨로 설계하였다. 전체 칩은 트랜지스터 레벨의 full-custom 방식으로 구현하였다.

III. USB2.0 신호 전송 환경

그림 4에는 HS 모드에서의 신호 전송 환경을 보였다. HS 송수신기는 내부 전류원(I_o)을 활성화시키고, 이 전류를 스위치를 이용해 두 데이터 출력 선 중 하나로 연결시킨다. 이러한 방법으로, 송수신기는 high speed J('1') 또는 K('0') 상태를 전송하게 된다. 전류원의 크기와 종단 저항(R_{TERM})의 크기가 구동 전압 레벨을 결정한다. 전류원(I_o)은 17.78mA 로 설계 되었으며, 케이블 출력 노드로부터 ground로의 DC 저항은 USB 케이블의 특성 저항(45Ω)과 같은 45Ω 으로 설계되었다. 따라서, 케이블 양단에는 $\pm 400\text{mV}$ 의 차동 전압이 유지된다.

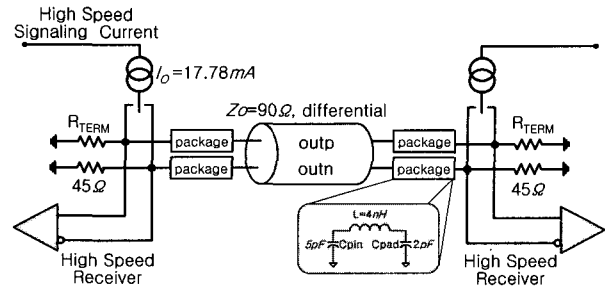


그림 4. USB2.0 시스템의 신호 전송 환경
Fig. 4. Conceptual diagram of the USB2.0 signaling environment.

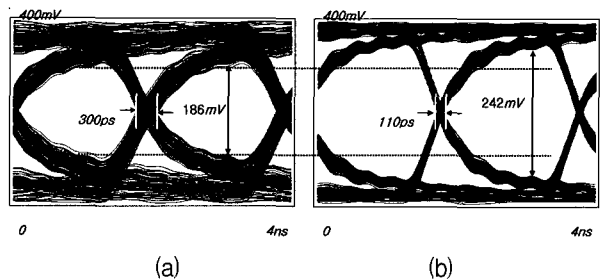


그림 5. USB 케이블 양단에서의 시뮬레이션 eye 다이어그램(a)송수신단에서 단일 종단한 경우 (b)케이블 양단을 모두 종단한 경우
Fig. 5. Simulated eye diagrams at receiver side after passing through a 5m un-shielded USB cable (a) single termination at source side (b) dual termination at both source and load sides.

HS 모드에서는 480Mbps 로 데이터 송수신이 이루어진다. USB1.1과 동일한 케이블과 커넥터를 사용하는 환경에서도, 480Mbps 의 신호를 안정적으로 송수신하기 위하여, USB2.0에서는 케이블의 양 단을 동시에 종단하는 double 종단 기법을 채택하였다. 종단 저항($R_T = 40\Omega$)과 USB 케이블의 특성 저항($Z_o = 45\Omega$) 사이에 10%의 mismatch가 생겼다고 가정할 때, 종단 저항에서의 반사 계수는 -5.9% 가 된다. 즉, 송신기나 수신기 중 어느 한 쪽에서만 USB 케이블의 종단이 이루어질 경우, 수신기 측에서는 전송신호 보다 5.9% 왜곡된 신호가 수신 된다. 반면, USB 케이블의 양 단이 모두 종단되는 double 종단의 경우, 전송된 신호의 $(-5.9\%)^2$, 즉 0.35% 만이 왜곡되므로 보다 안정적인 신호 수신이 가능하게 된다.

그림5는, 5미터 USB 케이블의 송수신단 측에서만 종단하였을 경우와 송수신단 모두 종단하였을 경우의 시뮬레이션 결과 파형을 보였다. 시뮬레이션에서는, 이상적인 전류원과 USB 커넥터를 가정하였으며, 칩의 패키지로 인한 불연속성은 그림.4에서와 같이 모델링 하였다. 케이블 양단을 종단한 경우가 한쪽 단만을 종단하였을 경우보다, 전압 여유 및 타이밍 여유가 각각 1.3배, 2.7배 증가

표 1. USB 케이블의 손실 전송선(W-model) 모델 파라미터

Table 1. Lossy transmission line model (W-model) parameter of a un-shielded USB cable.

L0(nH/m)	C0(pF/m)	R0	G0	Rs(Ω/m)	Gd(Ω^{-1}/m)
172.125	85	0	0	2.5e-4	9e-12

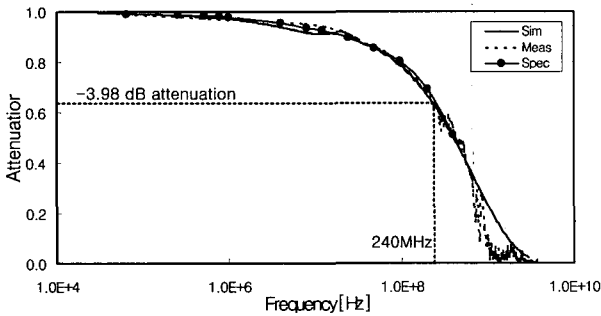


그림 6. USB 케이블의 감쇄도 측정 결과와 시뮬레이션 결과의 비교 그래프

Fig. 6. Comparison between measured and simulated attenuation plots of a 5-meter un-shielded USB cable.

함을 볼 수 있다. 즉, double 종단기법은 커넥터, 패키지 및 보드와 관련된 불연속성에 의한 반사 효과를 줄이는데 효과적이므로, USB1.1과 동일한 채널 환경에서의 USB2.0 데이터 전송을 달성에 유용한 종단 방식이 될 수 있다.

Hspice를 이용한 시스템 설계의 편의를 위하여, USB 케이블의 전송선 W-model이 표.1과 같이 network analyzer를 사용한 측정을 통해 마련되었다. 측정은 케이블의 두 차동 신호선 중 하나의 신호선에 대해서만 수행되었으며, 나머지 하나의 신호선은 측정과정 동안 floating된 상태를 유지하였다. 그림 6에는 5미터 USB 케이블에 대한 측정데이터와 추출된 모델 파라미터를 이용한 Hspice 시뮬레이션 파형 사이의 감쇄 특성을 보였다.

IV. 세부 회로 구현

1. High-Speed 전류 구동회로

그림 7.(a)에는 HS 출력 구동회로를 보였다. 이 회로는 전류 구동방식의 PMOS 차동 입력단으로 이루어져 있다. 차동 입력단은, 출력 노드(outn, outp)의 전압이 0~400mV 사이의 낮은 값을 가지므로, PMOS 트랜지스터를 사용하였다. RS1과 직렬로 연결된 M1(또는 RS2와 M2) 트랜지스트는 온칩 종단 저항을 구성하는데, replica 바이어스 회로에 의해 USB cable의 특성 저항(45 Ω) 값과 같게 조절된다. 외부 기준 저항(Rext)으로는 450 Ω 을 사용

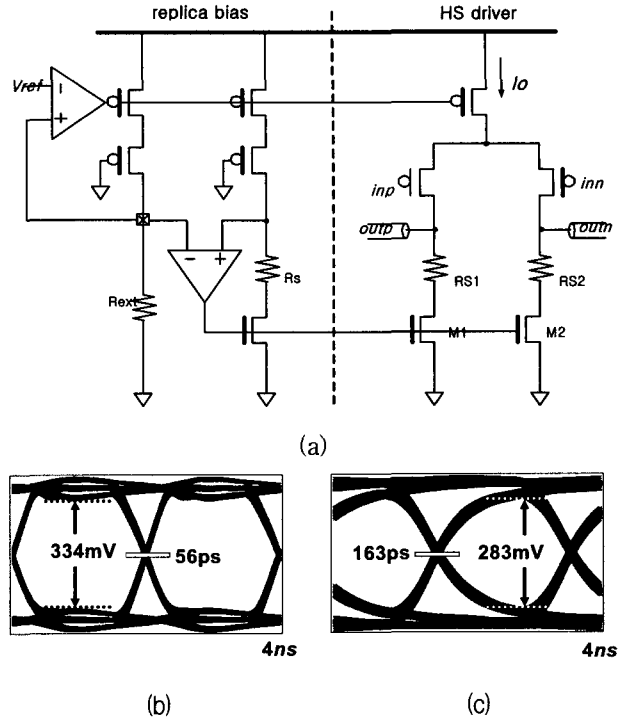


그림 7. (a)Replica 바이어스 회로를 사용한 온칩 종단회로와 HS 전류모드 구동회로 (b)전송단에서의 시뮬레이션 eye 다이어그램 (c)수신단에서의 시뮬레이션 eye 다이어그램

Fig. 7. (a) High-speed current mode driver circuit with the on-die termination using a replica bias circuit (b) Simulated eye diagrams at transmitter (c) Simulated eye diagrams at receiver sides.

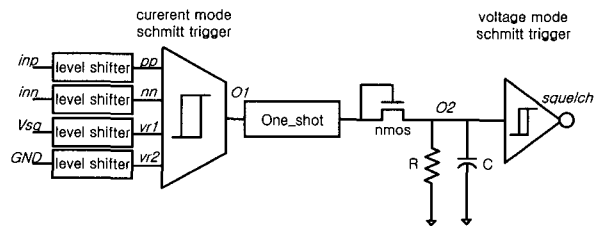
하였다. 밴드갭 생성회로로부터 공급되는 400mV의 기준 전압(Vref)과 450 Ω 의 외부 기준 저항(Rext)에 의해, replica 바이어스 회로는 출력 구동회로에 필요한 정전류원과 45 Ω 의 종단 저항을 제어하기 위한 바이어스 전압을 생성하는 기능을 한다. 즉, 구동 전류(Io)는 Vref 바이어스 전압과 Rext 외부 저항에 의해서 17.78mA로 결정된다. 따라서 수신단 케이블 양단이 45 Ω 저항으로 종단되어 있을 경우, 두 출력 노드의 차동 전압은 -400mV에서 +400mV 사이의 값을 갖게 된다. 그림.7.(b)와 (c)는 5미터 USB cable을 사용하였을 경우, 케이블 양단에서의 eye 다이어그램을 보여준다.

2. Transmission Envelope Detector

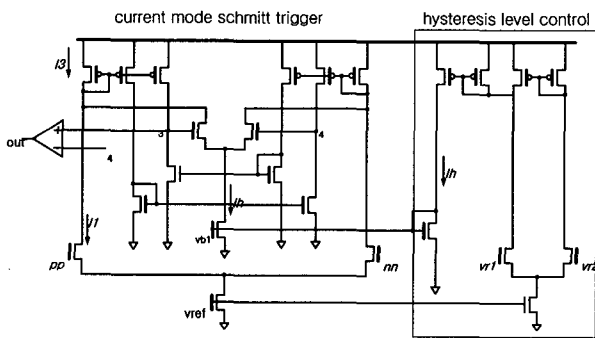
그림 8.(a)에는 transmission envelope detector (TED)라고 불리는 squelch 상태 검출회로를 보였다. TED는 USB 케이블을 통해서 수신된 차동 입력 신호의 전압 크기가 squelch 상태 전압인 125mV 보다 낮을 때를 data invalid 상태로 검출하는 기능을 한다. 이는 노이즈 환경에서 전송되는 데이터에 대한 신뢰성을 높이기 위해

사용되며, SIE로 공급되는 제어 신호인 'Linestate[1:0]' 생성에 중요한 역할을 한다. TED는 level shifter, 전류 모드 슈미트 트리거, 펄스 생성기, RC 저대역 필터, 그리고 전압 모드 슈미트 트리거로 이루어져 있다.

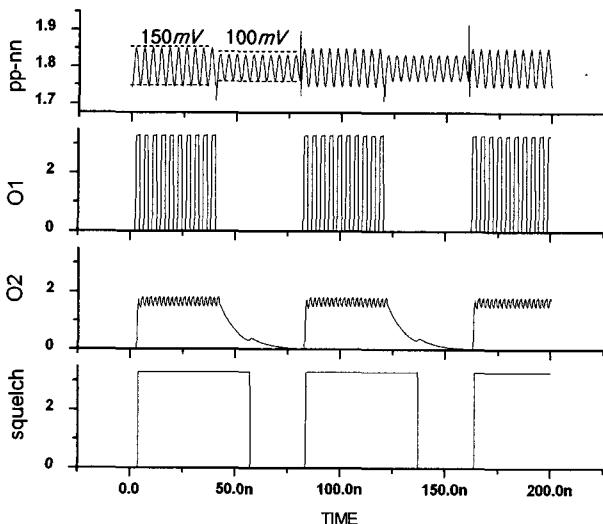
PMOS source-follower를 이용한 level shifter는 0 ~ 400mV의 입력 전압 레벨을 NMOS 입력 전압 레벨로 높여주는 기능을 하며, NMOS 차동 입력단으로 이루어진



(a)



(b)



(c)

그림 8. (a)transmission envelope detector 회로도 (b)hysteresis 레벨 제어를 위한 전류모드 슈미트-트리거 회로도(c)시뮬레이션 파형

Fig. 8. (a) Circuit schematic of the transmission envelope detector (b)Current mode Schmitt trigger with the hysteresis level control circuit (c) Simulated waveform.

전류 모드 슈미트 트리거는 125mV squelch 상태 전압보다 높은 차동 입력에 대해서만 출력을 생성하며, 125mV보다 낮은 입력에 대해서는 이전 상태를 유지 한다. One shot pulse 생성기는 전류모드 슈미트 트리거의 출력에 변화가 있을 때만 1ns의 펄스를 발생하여. NMOS 다이오드와 RC 저대역 필터로 이루어진 envelope detector에 전하를 공급한다. 이 때, NMOS 다이오드로 인해, O2 노드의 전압 레벨이 (VDD-Vth) 만큼 감소하게 되므로, 전압 모드 슈미트 트리거는 envelope detector로 인한 noise immunity를 향상시키기 위하여 사용되었다. LPF의 RC 시정수는 두 가지 경우를 고려하여 설계 되었다. 첫째는, 데이터의 유효성을 검출하는데 걸리는 시간이 4bit 이내 여야 하므로, 이는 RC 시정수의 upper limit을 제한한다. 둘째는, RC 시정수를 너무 작게 설정하게 되면, 입력 데이터에 천이가 발생하지 않을 경우, O2노드가 빨리 방전되므로 회로 동작에 있어 오류를 유발할 수 있다. 즉, 수신 데이터의 DC 데이터 비트 수에 의해 RC 시정수의 lower limit이 결정된다.

그림 8.(b)에는 전류모드 슈미트 트리거(CST) 회로를 보였다. Level shifter의 입력으로는 케이블의 두 데이터 신호(inn, inp), squelch 기준 전압(Vsq=125mV), 그리고 ground 전압이 인가되는데, level shift된 신호들(pp, nn, vr1, vr2)은 CST의 차동 입력단에 인가된다. CST 회로의 hysteresis 레벨은 차동 입력 전압(vr1-vr2)에 의해 결정된다. 즉, hysteresis 전류 I_h 는 (vr1-vr2)인 squelch 전압 125mV 비례하게 되며, I_o 는 케이블 입력 신호의 전압 레벨에 비례하여 흐르게 된다. 이때, $I_b = I_i + I_h$ 의 관계가 성립하므로, 결국 입력 신호의 전압 레벨이 hysteresis 레벨인 125mV를 초과하여 I_b 이상일 경우에만 CST의 출력이 변화하게 된다. 설계된 CST는 크게 두 가지 장점을 갖는다. 첫째는, CST의 regeneration 기능 때문에 전체적인 동작 속도가 증가하여 480Mbps의 데이터 수신이 가능하다는 것이며, 둘째는, 슈미트 트리거 기능으로 인해, 수신 데이터의 cross-over 지점에서의 상태 변화가 방지

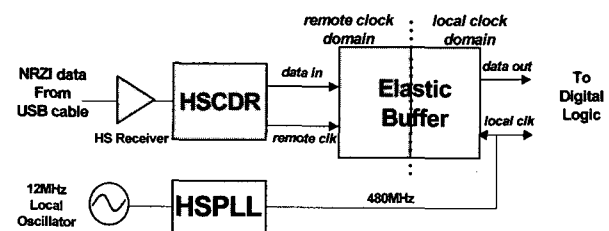


그림 9. 혼성 클럭 영역에서의 데이터 동기화 기법

Fig. 9. Data synchronization scheme in the mixed clock domain.

되는 것이다. 그림 8.(c)에는 480Mbps에서의 TED 전체 블록의 simulation 결과를 보였다. 입력 데이터의 차동 전압이 150mV 이상일 경우에 대해서만 squelch 신호가 High로 됨을 볼 수 있다.

3. Data Synchronization in Mixed Clock Domain

그림 9에 보인 바와 같이 HS 모드에서 USB2.0 송수신기는 두 개의 클럭 도메인을 갖는다. 입력 데이터는 송신단 클럭에 동기되어 있는 반면, 수신단 디지털 블록은 로컬 480MHz 클럭에 동기되어 동작하므로, 서로 다른 두 클럭 도메인의 동기화를 위한 수단으로 HSCDR과 FIFO를 이용하여 synchronizer를 구성하였다. HSCDR은 입력 NRZ 데이터로부터 송신단 클럭 정보와 이에 동기된 데이터를 복원한다. 송신단 클럭과 동기된 입력 데이터는 elastic buffer에 의해 로컬 클럭과 동기가 이루어지게 된다.

입력 데이터 패킷의 초기 SYNC 패턴 중, 4비트 이내의 빠른 동기화를 위하여, gated oscillator를 사용한 버스트모드 클럭데이터 복원회로^{[6][7][8]} 방식을 채택하였다. 구현된 버스트모드 클럭데이터 복원회로는 1비트 이내의 빠른 동기화 특성과 역시 1비트 이내의 latency를 가지므로, 요구되는 USB2.0 표준을 충분히 만족시킬 뿐 아니라, 디지털 로직 블록의 설계 시, 시간 여유를 증가시키는 장점을 갖는다. 빠른 동기화 특성과 간단한 구조에도 불구하고, 이 방식의 CDR은 별도의 지터 제거 기능이 없기 때문에, 입력 데이터에 존재하는 약 0.4UI의 지터가 그대로 복원된 클럭에 나타나게 되는 단점을 갖는다. 버스트모드 클럭데이터 복원회로에 의해 생성되는 지터는 뒷단의 elastic buffer에 의해 제거되는데, elastic buffer의 출력 클럭으로 PLL에 의해 생성된 로컬 클럭을 사용한다.

FS 모드에서는, 한 데이터 비트 주기가 83ns에 이르기 때문에, 채널에 의한 입력 데이터의 지터가 CDR의 복원 클럭에 미치는 영향은 매우 적다. 따라서, FS 모드에서는, elastic buffer를 통한 복원데이터와 클럭의 로컬 클럭 도메인으로의 동기화는 이루어지지 않는다. SIE와 PHY의 인터페이스는 로컬 30MHz 클럭에 동기 되므로, FS 모드에서의 로컬 클럭으로의 동기화는 디지털 블록과 SIE와의 인터페이스 과정에서 이루어지게 된다.

전술한 바와 같이, HS 모드에서의 클럭 동기화는 elastic buffer에 의해 이루어진다. 이때, elastic buffer의 크기는 송수신단 간의 클럭 주파수 차이와 최대 전송가능한 데이터 패킷의 크기에 의해 결정된다. 송수신단간 크리스탈 발진기 불일치로 인한 최대 주파수 차이는,

UTMI 표준에 의해 +/-500ppm 이내로 규정되며, 전송 가능한 최대 데이터 패킷은 1024 바이트 이므로, 1024 바이트의 데이터가 전송될 경우, 송수신단간 주파수 차이로 인해 생길 수 있는 에러 bit의 수는 다음과 같이 계산된다.

$$1000 \times 10^6 \times (1024 \times 8bit + 1452) \approx 9.64bits$$

위에서 1452 비트는 패킷과 관련한 최대 추가비트를 의미한다. 송수신단 클럭중 어느 한쪽이 빠르거나 느릴 경우를 모두 고려하여야 하므로, 최대 +/- 10 bits의 에러 비트가 생성될 수 있다. 송수신단 PLL에 의한 지터 및 출력구동회로 및 수신단 회로에 의한 지터 및 FIFO의 metastability를 고려하여 +/- 2비트의 여유 비트를 고려하여 24 비트의 토크링 형태^[9]의 FIFO를 설계하였다.

V. 측정 결과

테스트 칩은 0.25um 1-poly 5-metal CMOS 공정으로 구현되었다. 그림.10에는 제작된 칩의 레이아웃을 보였다. IO 패드를 제외한 코어 면적은 $0.91 \times 1.82mm^2$ 이었다. 칩의 전체 전력 소모는, 2.5V 전원을 사용하여 480MHz 동작 시, 245mW로 시뮬레이션 되었다. 표.2는 각 기능 블록들에 의한 전력 소모 양을 보여준다. 480MHz로 동작하는 PLL을 포함하는 HSCDR이 가장 큰

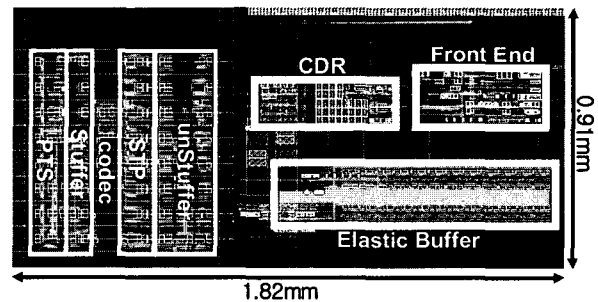


그림 10. 칩 레이아웃

Fig. 10. chip layout.

표 2. 각 기능 블록의 전력 소모량

(@V_{dd}=2.5V, f_{clk}=480MHz)

Table 2. Power budgets of each functional block.

(@V_{dd}=2.5V, f_{clk}=480MHz)

Module	Power (V _{DD} =2.5V)	Percentage
Front end	22mA(55mW)	22.4%
HSCDR	42mA(105mW)	42.9%
FSCDR	4mA(10mW)	4.1%
Elasticity buffer	9mA(22.5mW)	9.2%
Shared logic	21mA(52.5mW)	21.4%
total	98mA(245mW)	100%

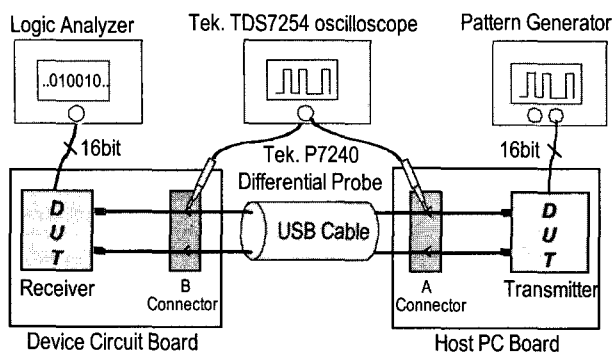


그림 11. 테스트 환경
Fig. 11. test environment.

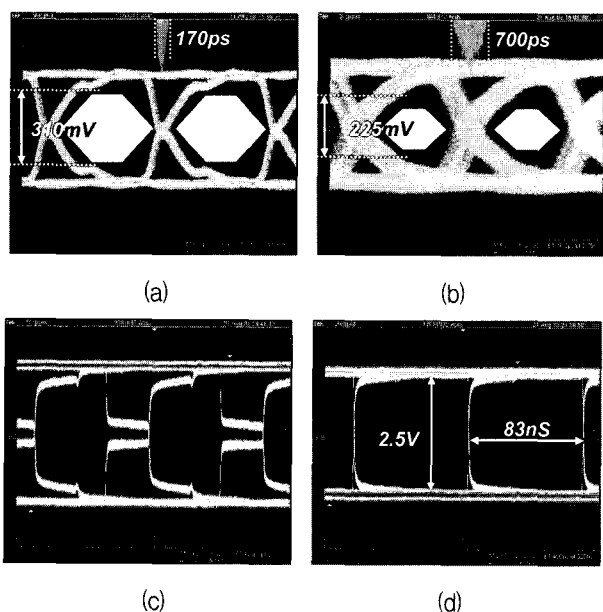


그림 12. Eye 패턴 측정 결과(a)HS 모드:송신단 eye 다이어그램(b)HS 모드:수신단 eye 다이어그램 (c)FS 모드 송신단 eye 다이어그램(d)FS 모드 수신단 eye 다이어그램

Fig. 12. Measured eye patterns(a) transmitter output at high-speed mode(b) receiver input at high-speed mode(c) transmitter output at full-speed mode(d) receiver input at full-speed mode.

전력(42.9%)을 소모하였다.

테스트를 위한 설정은 그림.11과 같다. 송신단과 수신단은 각각 호스트 PC와 다바이스 회로 보드로 가정하였다. 두 테스트 칩은 5미터 길이의 USB 케이블로 연결되었다. PRBS 데이터를 USB 케이블을 통해 전송한 후, 차동 probe를 이용하여 케이블 양단에서의 전기적 특성을 테스트 하였다. 프로토콜 동작 테스트는 로직 분석기를 사용하여 수행하였으며, BER 측정기를 이용하여 클럭데이터 복원회로의 성능을 검증하였다.

그림 12는 HS 와 FS 모드 동작시, 케이블 양단에서 측

표 3. USB2.0 PHY 칩의 성능 요약

Table 3. Performance summary of the implemented USB2.0 transceiver chip.

Process	0.25um CMOS 1P5M	
Electrical features	Timing jitter	170ps peak-to-peak @ HS Tx (spec.:208.3ps)
		700ps peak-to-peak @ HS Rx (spec.:833.3ps)
Voltage margin		310mV @ HS Tx (spec.:300mV)
		225mV @ HS Rx (spec.:150mV)
Termination	On-Die 45Ω termination External 1.5kΩ pull up resistor	
Power	245mW @ HS Tx 150mW @ FS Tx	
Area	0.911 x 1.82mm ²	

정된 데이터의 eye 다이어그램이다. 송신단과 수신단 측에서 측정된 지터는 각각 170ps와 700ps로써, USB2.0 표준(208.3ps와 833.3ps)을 만족함을 볼 수 있다. 송신단과 수신단의 전압 여유는 각각 310mV와 225mV 였다. FS 모드에서 신호는, CMOS 레벨(2.5V)의 83ns(12MHz) 주기로 전송된다. FS 모드 전송 시, 전송선의 종단이 이루어지지 않기 때문에, 케이블 왕복 지연시간 후에 송신단 신호레벨이 2.5V로 올라감을 볼 수 있다. 설계 칩의 전체 성능을 표.3에 요약 정리하였다.

V. 결 론

본 논문에서는 UTMI 호환 USB2.0 송수신기 칩의 구조 및 세부 회로 구현에 대하여 기술하였다. HS 모드에서의 종단저항을 온칩 상에 구현하였으며, 이를 이용한 전류모드 출력 구동회로 설계에 대하여 기술하였다. 수신 데이터의 유효성 보장 및 프로토콜 처리를 위한 squelch 상태 검출 회로 및 squelch 레벨 생성을 위한 전류 모드 슈미트 트리거 회로를 설계 하였으며, 또한, 플래시오크로너스 클럭킹을 사용하는 USB 시스템에서, 송수신단 사이의 주파수 차이 보상을 위하여, 클럭데이터 복원회로와 FIFO를 사용한 synchronizer를 설계 하였다. 설계된 칩은 full-custom 방법으로 레이아웃 하였고, 0.25um 1P5M CMOS 공정으로 제작되었다. 칩의 전기적 특성 및 CDR 성능 테스트, 그리고 프로토콜 레벨에서의 측정 방법 및 테스트 결과를 제시하였다.

참 고 문 헌

[1] *USB 2.0 Transceiver Macrocell Interface Specification, Revision 1.03*, Aug.4, 2000.
[2] *Universal serial bus specification, Revision 2.0*, April 27, 2000.

[3] J. J. Nam, Y. J. Kim, and H. J. Park, "A UTMI-Compatible Physical-Layer USB2.0 Transceiver Chip," *Proc. IEEE SOC Conference*, Sep. 2003.

[4] *Universal serial bus specification, Revision 1.x*, Sept.23, 1998.

[5] Z. Wang, "CMOS Current Schmitt Trigger With Fully Adjustable Hysteresis," *Electronic Letters*, Vol.25, No.6, pp.397-398, March 1989.

[6] Yusuke Ota, "High speed, Burst mode, Packet capable Optical receiver and Instantaneous Clock recovery for Optical Bus Operation," *Journal of Lightwave technology*, Vol.12, No.2, Feb. 1994.

[7] A. E. Dunlop, "150/30 Mb/s CMOS non-oversampled clock and data recovery circuits with instantaneous locking and jitter rejection," in *Proc. ISSCC95*, Vol.WP2.7, pp.4445, Feb. 1995.

[8] M. Nakamura, "A 156 Mb/s CMOS clock recovery circuit for burst-mode transmission," *IEICE Trans. Fundamentals*, Vol.E80-A, pp.296302, Feb. 1997.

[9] T. Chelcea, "A Low-Latency FIFO for Mixed-Clock Systems," *VLSI, 2000. Proceedings. IEEE Computer Society Workshop*, 2000.

저 자 소 개



남 장 진(정회원)
 1998년 경북대학교 전자전기 공학과 학사.
 2000년 포항공과대학교 전자전기 공학과 석사.
 2005년 포항공과대학교 전자전기 공학과 박사.

<주관심분야 : CMOS 고속 입출력 회로 설계, USB2.0 PHY, 클럭데이터 복원회로(Burst-mode CDR), 클럭 듀티사이클 보정회로, 저전력 I/O 인터페이스 설계(PWM), 클럭 생성 및 분배 회로 (PLL/DLL)>



김 봉 진(학생회원)
 2004년 포항공과대학교 전자전기 공학 학사.
 2005년 포항공과대학교 전자전기 공학과 석박사통합과정.

<주관심분야 : CMOS 고속 입출력 회로 설계, USB2.0 PHY>



박 흥 준(정회원)
 1979년 서울대학교 전자전기 공학과 학사.
 2000년 한국과학기술원 전자전기 공학과 석사.
 2004년 University of California, Berkeley, 전자공학 박사.

<주관심분야 : CMOS 고속 입출력 회로 설계, CMOS 아날로그 회로 설계, 신호 보존성 및 도선 모델링>