

논문 2005-42SD-5-3

자가검출회로 내장의 자가치유시스템 설계

(Design for Self-Repair System by Embedded Self-Detection Circuit)

서 정 일*, 성 낙 훈**, 오 택 진***, 양 현 모*, 최 호 용****

(Jung-Il Seo, Nak-Hun Seong, Taik-Jin Oh, Hyun-Mo Yang, and Ho-Yong Choi)

요 약

본 논문에서는 생명체의 구조를 모방하여, 디지털시스템에서 자가검출과 자가치유가 가능한 구조를 제안한다. 자가치유시스템은 인공 셀의 2차 배열과 여분의 인공 셀로 구성된다. 인공 셀은 멀티플렉서를 기본으로 한 로직블록(logic block)과 로직블록을 제어하기 위한 게놈블록(genome block)으로 구성된다. 인공 셀은 자가검출이 가능하도록 DCVSL (differential cascode voltage switch logic)구조로 설계된다. 만약 인공 셀에서 고장이 발생하면, 자가 검출되고 고장 난 인공 셀이 속한 열은 bypass기능만을 가지고 치유를 위해, 여분 셀과 이웃 셀을 이용하여 시스템을 재구성한다. 하이닉스 0.35 μ m공정을 이용해 1.14 \times 0.99 mm²의 코어면적을 가지는 2비트 업다운카운터를 제작하였고 회로시뮬레이션과 칩 테스트를 통해 검증하였다.

Abstract

This paper proposes an efficient structure which is able to perform self-detection and self-repair for faults in a digital system by imitating the structure of living beings. The self-repair system is composed of artificial cells, which have homogeneous structures in the two-dimension, and spare cells. An artificial cell is composed of a logic block based on multiplexers, and a genome block, which controls the logic block. The cell is designed using DCVSL (differential cascode voltage switch logic) structure to self-detect faults. If a fault occurs in an artificial cell, it is self-detected by the DCVSL. Then the artificial cells which belong to the column are disabled and reconfigured using both neighbour cells and spare cells to be repaired. A self-repairable 2-bit up/down counter has been fabricated using Hynix 0.35 μ m technology with 1.14 \times 0.99 mm² core area and verified through the circuit simulation and chip test.

Keywords : self-detection, self-repair, artificial cell, spare cell, DCVSL

I. 서 론

최근의 전자시스템들은 지속적이고 신뢰성 있는 동작이 더욱 더 요구됨에 따라, 고장이 있더라도 고장을 포용하는 고장포용(fault tolerance)설계기술이 더욱 중요해지고 있다^[1-8]. 이러한 고장포용기술은 항공기 혹은

우주선과 같이 극도의 안전을 요하는 시스템에서는 그의 중요성이 한층 더 부각되고 있다.

중전의 고장포용기술들에는 NMR(N-modular redundancy), 고장검출 및 정정코드 등을 이용한 여러 방법들이 있다^[1-3]. 그러나 이들 방법은 복잡한 구현이 요구되는 단점이 있다.

최근 이러한 고장포용기술의 특징을 이용하면서 높은 신뢰성과 지속성을 유지하는 면역전자학(immunotronics)과 태생전자학(embryonics)기술들이 활발히 연구되고 있다^[4-8].

면역전자학은 외부 바이러스의 침입으로부터 자신을 보호하고 감염에 대해 스스로 치유할 수 있는 인간의 면역시스템을 모방하여, 고장을 스스로 검출하고 고립시키며 치유할 수 있는 디지털시스템을 구현하는 기술이다^[4,5]. 이 기술은 인간의 면역시스템 특징과 하드웨어

* 학생회원, 충북대학교, 반도체공학과
(Dept of Semiconductor Eng., Chungbuk National University)

** 정회원, LG 필립스LCD(주)
(LG.PHILIPS LCD Co.)

*** 정회원, (주)픽셀플러스
(PIXELPLUS Co.)

**** 평생회원, 충북대학교, 전기전자컴퓨터공학부
(School of Electrical and Computer Eng. Chungbuk National University)

※ 본 논문은 부분적으로 IDEC의 지원으로 수행되었음.
접수일자: 2005년1월11일, 수정완료일: 2005년4월19일

고장포용을 동시에 적용하여, 디지털시스템의 높은 신뢰성과 지속적인 동작을 보장하지만 복잡한 시스템을 요구하는 단점이 있다.

태생전자학은 생명체의 구조와 특징을 이용하여 디지털시스템으로 구현하는 기술이다^[6-8]. 태생전자학에서 생명체는 여러 개의 분자가 모여 하나의 세포를 이루고 여러 개의 세포가 모여 하나의 기관을 이루고 있고 각 세포는 동등한 구조를 가지며, 각 세포의 게놈(genome) 해독에 의해 세포의 기능이 구별된다. 또한 각 세포는 자가검출과 자가치유 능력이 있어, 외부바이러스에 의한 손상에 대해 스스로 검출 및 치유를 하고, 경우에 따라 자신의 기능을 다른 세포가 대행하도록 한다. 태생전자학에서는 시스템을 생명체와 유사하게 인공 셀(artificial cell)로 시스템을 구성하고 여분의 셀(spare cell)을 이용하여 고장치유를 하는 고장포용 시스템을 구현하고 있다.

기존의 방법은 자가 치유방법과 구조를 제안하고 있지만 보다 더 효율적인 자가 검출방법과 구조가 필요하다.

본 논문에서는 태생전자학기술을 기반으로, 생태계의 구조와 특징을 모방하여 고장을 스스로 검출하고 치유할 수 있는 효율적인 자가 치유시스템을 설계한다. BDD (binary decision diagram)를 이용하여 시스템을 분할하여, 2차원적으로 동일한 구조를 갖는 인공 셀과 여분의 인공 셀(여분 셀)열로 구성한다. 또한 각 셀에 고장검출회로를 내장하여 DCVSL구조를 이용한 효율적인 설계가 이루어지도록 한다.

II장에서는 생태계와 자가 치유시스템과의 대응관계 및 일반적인 자가 치유시스템을 기술한다. III장에서는 자가 치유시스템 및 인공 셀을 구체적으로 설계하고, IV장에서는 자가 검출방법에 대해 기술한다. V장에서는 자가 치유 2비트 업다운 카운터를 설계한다. VI장에서는 시스템의 시뮬레이션과 테스트 결과를 보이고 VII장에서 결론을 맺는다.

II. 생명체보방 자가 치유시스템

태생전자학(embryonics)은 태생학(embryonic)과 전자학(electronics)의 합성어로, 생명체의 구조와 특징을 모방하여, 높은 신뢰성과 지속적인 동작을 유지할 수 있는 자가 치유시스템을 구현하는 기술이다.

본 장에서는 먼저 태생전자학에 의한 일반적 고장포용시스템의 구조에 대해 기술하고, 다음으로 태생전자

표 1. 생명체와 하드웨어의 구조 및 과정의 대응관계

Table 1. Correspondence relation of living beings and hardware.

	생명체	하드웨어
구조	population	system
	organism	multiprocessor
	cell	small processor
	molecule	basic element
과정	cellular division	인공 cell의 array
	cellular differentiation	인공 genome
	self-detection	자가검출회로
	self-repair	spare cell

학을 기반으로 한 기존의 고장포용시스템에 대해 기술한다^[6-8].

표 1은 태생전자학에서의 생명체와 하드웨어와의 구조 및 과정의 대응관계를 보여주며 크게 4단계의 구조로 대응된다.

군집수준(population level): 여러 기관이 모여 하나의 군집을 이룬다. 이는 하드웨어의 시스템에 대응된다.

기관수준(organism level): 여러 세포가 모여 하나의 기관을 이룬다. 이는 하드웨어의 다중프로세서에 대응된다.

세포수준(cell level): 여러 분자가 모여 하나의 세포를 이룬다. 이는 작은 프로세서에 대응된다.

분자수준(molecule level): 하나의 분자는 기본원소가 되며, 하드웨어의 mux, 기본게이트와 같은 기본 소자에 대응된다.

또한, 생명체는 크게 세포분열, 세포구별, 자가검출, 자가 치유의 4가지 특징을 가진다.

세포분열 (cellular division): 모든 세포는 그 구조가 모두 동일하며, 동일한 구조의 여러 세포들이 모여 하나의 기관을 이룬다. 이는 하드웨어 상에서 2차원적으로 모두 동일한 구조의 인공 셀을 설계하고, 이를 적절히 배열하여 하나의 시스템을 구현함으로써 이루어진다.

세포구별 (cellular differentiation): 각 세포는 게놈을 가지고 있어, 게놈의 해독에 의해 세포들 간의 기능이 구별된다. 이는 인공셀 내의 인공게놈블록에 의해 이루어진다.

자가 검출 (self-detection): 세포는 자신의 손상을 스스로 검출하는 기능이 있다. 이는 모든 인공 셀 내에 고

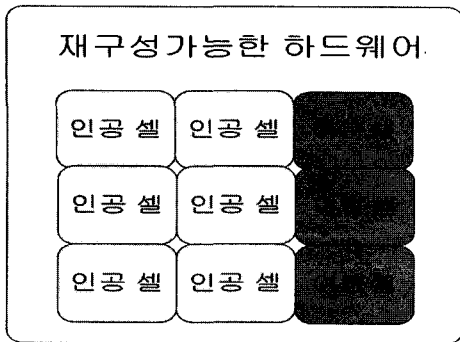


그림 1. 자가치유시스템의 구조
Fig. 1. The structure of a self-repair system.

장검출 기능을 내장시킴으로써 이루어진다.

자가 치유 (self-repair): 세포는 자신의 손상을 스스로 치유할 수 있다 이는 자가 치유시스템 내에 여분의 인공 셀을 두고, 고장 난 인공 셀을 여분의 인공 셀로 대체함으로써 이루어진다.

그림 1은 태생전자학에 기반을 둔 생명체모방 자가 치유시스템의 구조를 보여준다^[7-8].

자가 치유시스템은 재구성 가능한(reconfigurable) 인공 셀과 치유를 위한 여분 셀로 구성된다. 배열내의 모든 인공 셀은 자신의 제어레지스터뿐만 아니라, 고장이 발생하였을 경우 그 기능을 대신할 수 있도록 이웃의 레지스터까지 가지고 있다. 인공 셀의 기능은 배열내의 자신의 위치에 따라 제어레지스터를 선택함으로써 이루어진다.

임의의 인공 셀에 고장이 발생하면, 인공 셀은 스스로 고장을 검출하며, 고장검출 신호에 의해 제어레지스터는 고장 난 셀의 모든 기능을 정지시키고 여분 셀을 이용하여 그 기능을 대신한다.

자가 치유시스템은 고장에 대한 검출과 치유가 하드웨어만으로 가능하며, 효율적인 고장 자가 검출 및 자가 치유로 디지털시스템의 높은 신뢰성과 지속성을 보장한다.

III. 자가치유시스템의 설계

자가치유시스템은 그림 1과 같이 인공 셀의 배열과 최우열(最右列)의 여분 셀로 구성된다. 인공 셀에는 고장 검출기능을 두어 인공 셀에 고장이 발생할시 자가 치유가 가능하게 한다.

본 장에서는 자가 치유가 가능한 자가 치유시스템의 설계에 관해 상세히 기술한다.

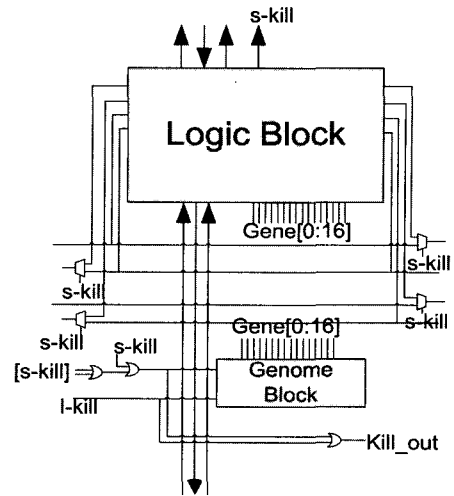


그림 2. 인공 셀의 구조
Fig. 2. The structure of an artificial cell.

1. 인공 셀의 구조

인공 셀은 자가 치유시스템의 최소 논리 단위 블록으로 기본적으로 mux (multiplexer)에 의한 기본 데이터 처리 기능을 가진다. 인공 셀의 구조는 그림 2와 같이 인공 셀의 주 기능을 담당하는 논리(logic) 블록과 논리 블록의 제어신호를 출력하는 게놈(genome) 블록으로 구성되어 있다.

논리 블록은 인접한 좌우상하의 인공 셀들의 데이터 출력을 입력으로 받아서, mux를 이용하여 기본 데이터를 처리한다. 게놈블록은 자기자신의 고장신호(s-kill), 좌측 인공cell의 고장신호(l-kill)에 의해 논리블록 제어 신호를 발생한다.

kill 신호는 인공 셀의 고장 발생 시 활성화되어, 논리 블록과 게놈 블록의 입출력을 제어하고 인공 셀의 bypass 동작과 정상동작을 선택하도록 한다.

1.1 논리 블록의 설계

그림 3은 논리 블록의 구조를 보여준다. 기본구조는 입력 mux (CM), 메인 mux (MM), 출력 mux (OM)으로 구성된 동작블록과 데이터의 흐름을 제어하기 위한 Router 블록으로 구성된다.

동작블록에서는 게놈블록으로부터 제어신호를 받아 인접 셀의 출력을 선택한다. 또한 순차회로의 기능을 갖기 위해 1-비트의 플립플롭을 내장하여 출력데이터를 저장한다.

라우터(Router)블록은 기본적으로 인접 셀들의 라우터블록과 연결되어 있어 인접 셀의 이웃 인공 셀들과 데이터를 주고받을 수 있도록 되었다.

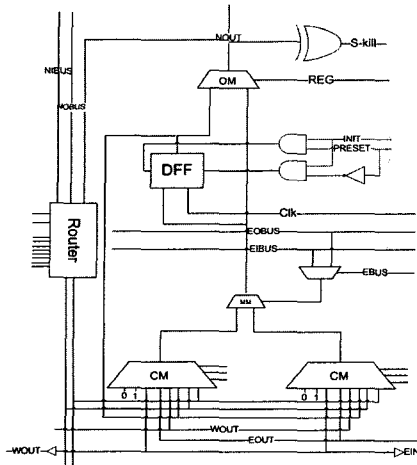


그림 3. 논리 블록의 구조
Fig. 3. The structure of a logic block.

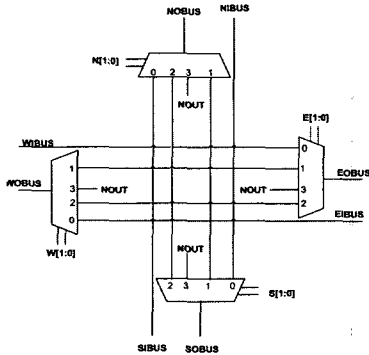


그림 4. Router의 구조
Fig. 4. The structure of a router.

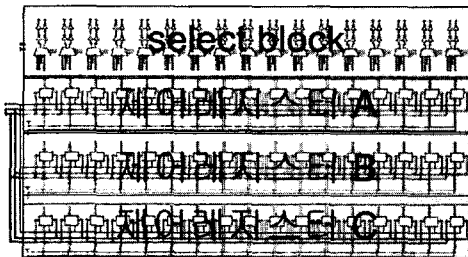


그림 5. Genome 블록의 구조
Fig. 5. The structure of a genome block.

라우터블록은 그림 4와 같은 구조를 가진다. 계놈에서 발생하는 제어신호에 따라 좌우상하 인공 셀의 라우터 블록의 출력과, 자신의 인공 셀의 논리블록 출력중 하나를, 좌우상하의 라우터블록에 보낸다. 계놈블록에서 발생하는 제어신호는 좌측 셀의 kill신호(l-kill)와 자신의 kill신호(s-kill)에 의해 결정된다.

1.2 계놈 블록 설계

계놈 블록은 논리 블록을 제어하는 기능을 수행하며 제어신호인 gene을 출력하며, 정상동작시의 gene을 가

논리 블록		ROUTER 블록			RESET & TEST			
LEFT[2:0]	RIGHT[2:0]	N [1:0]	S [1:0]	E [1:0]	W [1:0]	P	R	EB

그림 6. 제어신호 gene[0:16]
Fig. 6. Control signals gene[0:16].

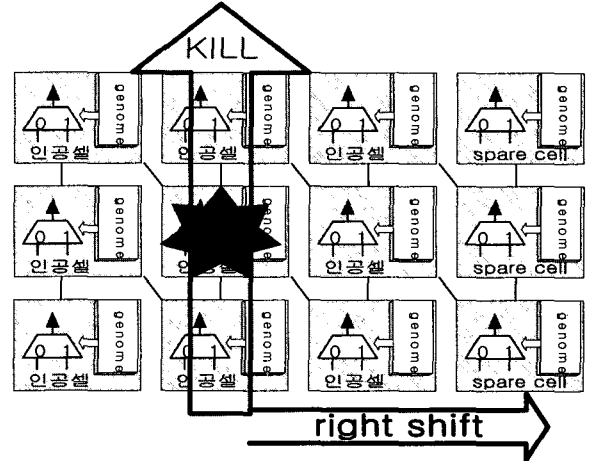


그림 7. 자가 치유시스템의 자가 치유과정
Fig. 7. Self-repair processing of self-repair system.

지고 있는 제어레지스터 A, 고장동작시의 gene을 가지고 있는 제어레지스터 B, 좌측열의 기능을 하기 위한 제어레지스터 C와 제어레지스터를 선택하는 select block으로 구성된다. 그리고 어떤 제어레지스터를 선택할지는 kill 신호에 의해 결정된다.

논리 블록을 제어하는 제어신호gene은 그림 6과 같이 17비트로 구성된다.

LEFT[2:0]와 RIGHT [2:0]은 로직블록의 CM의 선택 신호이며, N[1:0], S[1:0], E[1:0], W[1:0] 신호는 라우터블록에 있는 각 mux들의 선택신호이다. P는 preset 신호이고 R은 출력신호가 플립플롭을 거쳐 feedback 되는 신호이다. 그리고 EB는 CM의 출력을 받는 MM의 선택신호이다.

2. 자가 치유 과정

그림 7은 자가 치유시스템의 자가 치유과정을 보여 준다.

임의의 인공 셀에서 고장이 발생되면 자가 검출회로에서 검출되어 kill 신호가 활성화된다. 이때, 고장난 인공 셀이 속한 열의 모든 인공cell들의 kill 신호가 활성화되어 bypass기능만을 수행하고, 그 열의 기능은 우측 열로 쉬프트 된다. 나머지 인공 셀과 여분 셀들은 각각 좌측열의 기능을 대신 수행한다. 이러한 과정으로 시스템이 재구성되어 시스템이 정상동작을 수행하게 한다.

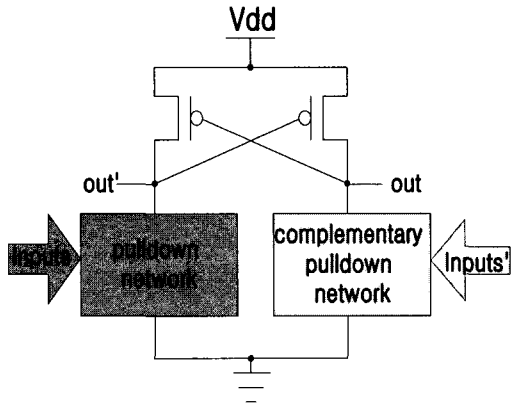


그림 8. DCVSL의 일반적인 구조
Fig. 8. A general structure of DCVSL.

IV. DCVSL을 이용한 고장 자가 검출 회로

본 논문에서는 인공 셀의 고장을 효율적으로 자가 검출하는 방법으로 DCVSL (differential cascode voltage switch logic)구조를 이용한 방법을 제안한다. 그림 8은 DCVSL의 구조를 보여준다.

DCVSL은 pull-down network과 complementary pull-down network으로 구성되어 정상동작 시에는 항상 출력(out, out')이 보수인 '10' 혹은 '01'을 가지고, 고장이 발생할 시에는 동일한 값 '00' 또는 '11'이 나온다^[8].

만일 DCVSL구조의 회로에서 고장이 발생하면, 출력(out, out')은 보수관계가 아닌 동일한 값을 가지고 되며, 출력을 XOR를 이용해 비교함으로써 쉽게 고장검출을 할 수 있다.

V. 자가치유 2비트 카운터 설계

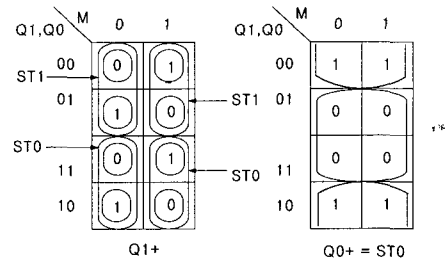
본 장에서는 자가치유시스템의 예로서 2비트 업다운 카운터를 설계한다.

동일한 인공 셀들의 배열로 구성된 자가치유시스템을 설계하기 위해서는 BDD (binary decision diagram) 표현을 사용한다^[7,8,9,10]. 왜냐하면 BDD는 2차원 공간을 잘 활용한 그래픽 표현이고 그 구조가 mux에 의해 쉽게 구현될 수 있기 때문이다.

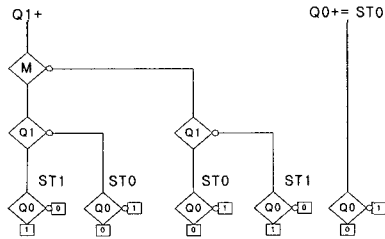
2비트 업다운카운터의 업카운트와 다운카운트 동작을 기술하면 다음 식 (1), (2)와 같다.

$$M=1 : Q1, Q0 = 00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \text{ (up)} \quad (1)$$

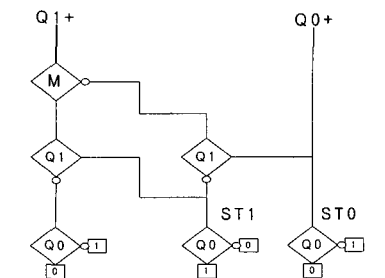
$$M=0 : Q1, Q0 = 00 \rightarrow 11 \rightarrow 10 \rightarrow 01 \rightarrow 00 \text{ (down)} \quad (2)$$



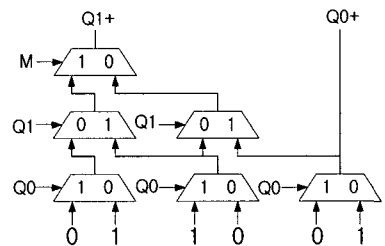
(a) 2비트 카운터 상태표



(b) 2비트 카운터 BDD 표현



(c) 간략화한 2비트 카운터 BDD 표현



(d) MUX로 구현한 2비트 카운터

그림 9. 2비트 업다운카운터의 BDD표현
Fig. 9. Design of a 2-bit up/down counter.

여기서, M은 2비트 업다운카운터의 모드(mode)신호이며, Q1과 Q0는 2비트 업다운카운터의 출력이다.

그림 9는 2비트 업다운카운터의 BDD표현과 mux로의 구현을 보여준다.

그림 9(a)는 K-map을 이용하여 2비트 업다운카운터의 상태표를 보여준다, 그림 9(b)는 각 상태를 BDD로 표현하고, 그림9(c)는 그림 9(b)의 동일한 상태를 통합하여 BDD표현을 간략화한 표현이다. 그리고 그림 9(d)는 간략화 된 BDD표현을 2-to-1 mux로 대응시켜 얻은 2비트 업다운카운터의 하드웨어 구조이다.

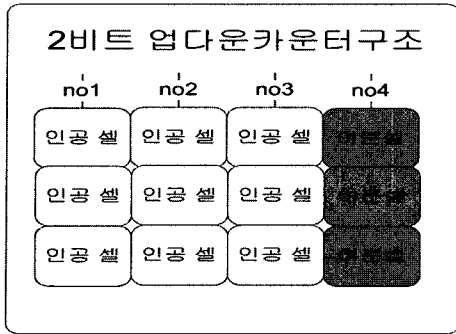


그림 10. 자가치유 가능한 2비트 업다운카운터
Fig. 10. A self-repairable 2-bit up/down counter.

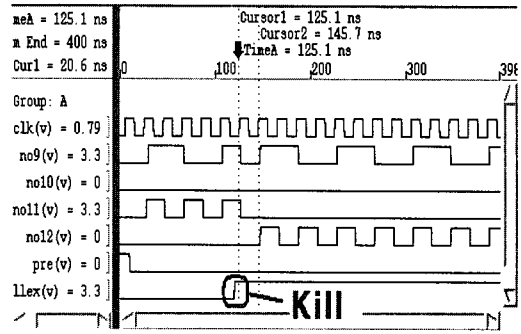


그림 12. 자가치유 2비트 카운터의 시뮬레이션
Fig. 12. The simulation of self-repairable 2-bit up/down counter.

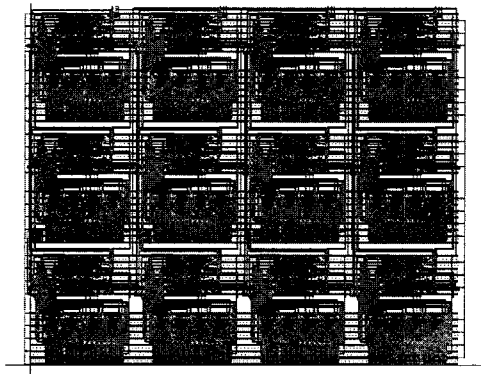


그림 11. 레이아웃도
Fig. 11. Layout.

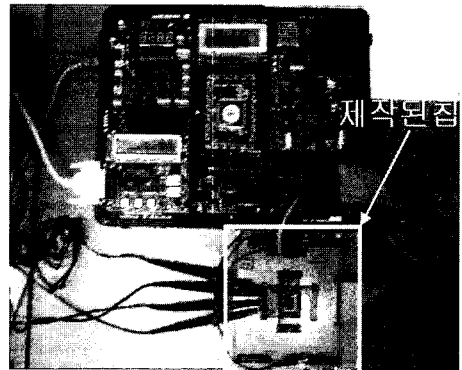


그림 13. 테스트 구성도
Fig. 13. Test configuration.

이를 토대로 자가치유가능한 2비트 업다운카운터를 설계하면 그림 10과 같다

업다운카운터는 인공 셀의 3×3 배열과 그 최우열에 여분 셀을 추가하여 구현하였다. 그림 9(d)의 각 mux의 기능은 인공 셀에 대응되도록 하였고, 각 인공 셀은 DCVSL의 자가검출 기능을 가지고 있다.

VI. 칩 설계와 테스트

DCVSL을 이용하여 고장검출 회로가 내장된 자가치유 2비트 업다운카운터를 하이닉스 0.35μm CMOS 공정을 이용하여 완전주문형으로 설계하였다.

그림 11은 레이아웃도를 보여준다. 사용된 트랜지스터 수는 총 12,980개이고 코어면적은 1.14 × 0.99 mm²이다.

설계 검증을 위해 EPIC의 NANOSIM tool을 이용하였고 시뮬레이션 결과는 그림12와 같다. 여기서 no9는 그림 10의 no1과 대응되고, no10은 no2, no11은 no3, no12는 no4와 각각 대응된다.

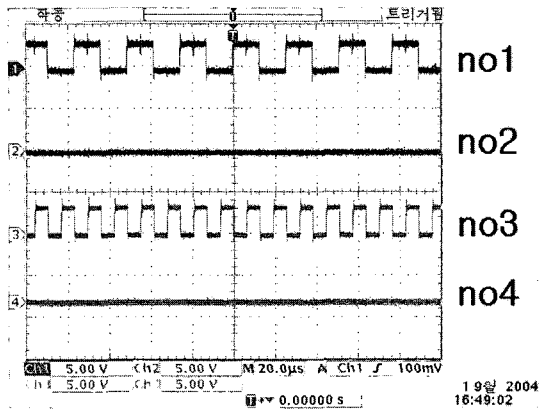
그림 12를 보면 고장이 없을 경우(kill=0)에는 no9와 no12에서 카운터 동작을 하는 것을 볼 수 있고, 고장이 발생했을 경우(kill=1)에는 고장난 no11대신 no12에서 카운팅 되는 것을 확인할 수 있다.

제작된 칩은 그림 13과 같이 FPGA kit(Agent 2000)을 이용하여 테스트하였다.

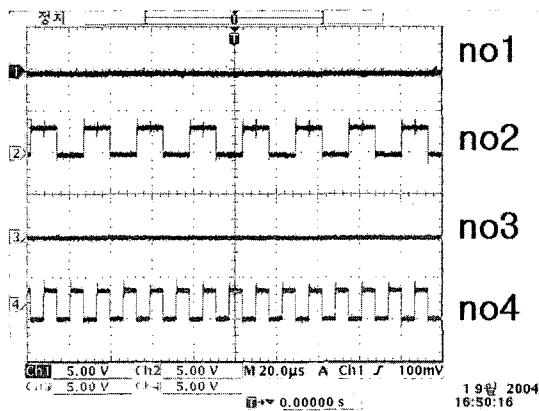
그림 14는 정상동작시와 각 열에 고장 삽입시의 결과를 보여준다.

(a)는 정상동작시의 출력으로 no1과 no3에서 정상적으로 2비트 카운터동작이 됨을 확인할 수 있다. (b)는 첫 번째 열에 고장 인가시의 출력으로 첫 번째 열의 기능이 두 번째 열로 시프트 되고 두 번째 열의 기능은 세 번째 열로, 세 번째 열의 기능은 여분의 열로 시프트 되어 no2와 no4에서 정상적인 카운터동작을 확인할 수 있었다. (c)는 두 번째 열에 고장 인가시의 출력으로 두 번째 열의 기능이 세 번째 열로 시프트 되고, 세 번째 열의 기능은 여분 셀로 시프트 되어 no1과 no4에서 정상적인 카운터동작이 됨을 확인할 수 있다.

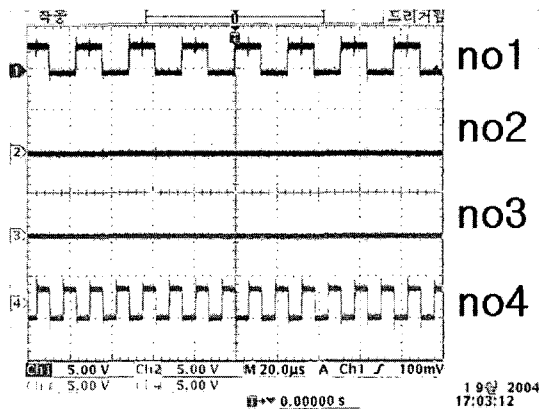
따라서 시스템에 고장이 발생하면 스스로 고장을 검



(a) 정상 동작시의 출력



(b) 첫 번째 열에 고장 인가시의 출력



(c) 두 번째 열에 고장 인가시의 출력

그림 14. 테스트결과

Fig. 14. Experimental results.

출하고, 치유하여 정상적인 동작을 함을 알 수 있다.

VII. 결 론

본 논문에서는 생명체의 구조를 모방하여, 고장을 자가검출하여 자가치유할 수 있는 자가치유시스템의 설계를 제안하고 그 설계예로 2비트 업다운카운터를 설계하

였다.

자가치유가능한 시스템은 인공 셀과 여분 셀의 배열로 구성되고, 고장 자가검출을 위해 DCVSL구조를 이용하여 인공 셀을 설계하였다. 하이닉스 0.35 μ m공정을 이용하여 2비트 업다운카운터를 완전주문형으로 칩을 제작하고 칩이 정상적으로 동작함을 확인하였다.

향후에는 보다 대규모의 시스템에 적용할 수 있는 자가치유시스템의 구현방법 및 설계가 필요하다.

참 고 문 헌

- [1] V. Shen and F. Shen, "Requirements specification and analysis of fault tolerant digital systems," *IEEE Trans. on Man and Cybernetics, Part A*, vol. 32, no. 1, pp. 149-159, Jan. 2002.
- [2] H. Fahmy, S. Ghoneim and A. Pacha, "Fault tolerant communication with partitioned dimension-order routers with complex faults," in *Proc. of 15th International Conference on Information Networking*, pp. 361-366, Jan. 2001.
- [3] M. Yen, W. Fuchs, and J. Abraham, "Designing for concurrent error detection in VLSI: Application to a microprogram control unit," *IEEE J. Solid State Circuits*, vol. 22, no. 4, pp. 595-605, Apr. 1987.
- [4] D. Bradley and A. Tyrrell. "Immunotronics: Novel finite state machine architectures with built-in self-test using self-nonsel self-differentiation," *IEEE Trans. on Evolutionary Computation*, vol. 6, no.3, pp. 222-238, June 2002.
- [5] D. Bradley and A. Tyrrell. "Hardware Immune System for Benchmark State Machine Error Detection," *IEEE Trans. on Evolutionary Computation*, vol. 1, pp.813-818, May 2002.
- [6] C. Ortega-Sanchez and A. Tyrell, "Design of a basic cell to construct embryonic array," in *Proc. of IEEE Computers and Digital Techniques*, vol. 145, no. 3, pp. 242-248, May 1998.
- [7] D. Mange, "Embryonics: A new methodology for designing FPGA with self-repair and self-replication," *IEEE Trans. on VLSI Systems*, vol. 6, no 3, pp. 387-399, Sept. 1998.
- [8] L. Prodan, G. Tempesti, D. Mange, and A. Stauffer, "Embryonics: Artificial cells driven by artificial DNA," in *Proc. of 4th International Conference ICES, Lecture Notes in Computer Science*, pp. 100-111, May 2001.
- [9] M. Rabaey, *Digital Integrated Circuits*, Prentice-Hall Inc., pp. 522-543, 1996.
- [10] B. Yang and Y. Chen, "Space and Time

Efficient BDD Construction via Working Set controller," in Proc. of ASPDAC '98, pp. 423-432, Feb. 1998.

저 자 소 개



서 정 일(학생회원)
2004년 충북대학교 전자공학과 졸업(공학사).
2005년~현재 충북대학교 반도체 공학과 석사 과정.
<주관심분야 : DFT & Testing, Memory설계>



성 낙 훈(정회원)
2002년 충북대학교 전자공학과 졸업(공학사).
2004년 충북대학교 반도체공학과 졸업(공학석사).
2004년~현재 LG 필립스 LCD 연구원
<주관심분야 : DFT & Testing, SoC설계>



오 택 진(정회원)
2001년 충북대학교 반도체공학과 졸업(공학사).
2004년 충북대학교 반도체공학과 졸업(공학석사).
2004년~현재 픽셀플러스 연구원
<주관심분야 : DFT & Testing, SoC설계>



양 현 모(학생회원)
2003년 충북대학교 전자공학과 졸업(공학사).
2005년 충북대학교 반도체공학과 졸업(공학석사).
<주관심분야 : DFT & Testing, Memory설계>



최 호 응(평생회원)
1980년 서울대학교 전자공학과 졸업(공학사).
1982년 한국과학기술원 전기 및 전자공학과 졸업(공학석사).
1994년 오오사카대학교 전자공학 졸업(공학박사).

1980년 3월~1985년7월 삼성반도체연구원
선임연구원
1985년 8월~1996년 8월 부경대학교 부교수
1996년 9월~현재 충북대학교 전기전자컴퓨터
공학부 교수
<주관심분야 : DFT & Testing, SoC설계>