

논문 2005-42SC-3-3

# PDP 패턴검사를 위한 실시간 영상처리시스템 개발

(Real-Time Image Processing System for PDP Pattern Inspection with Line Scan Camera)

조 석 빈\*, 백 경 훈\*, 이 운 근\*\*, 남 기 곤\*\*\*, 백 광 렬\*\*\*

(Seog-Bin Cho, Gyeong-Hun Baek, Un-Kun Yi, Ki-Gon Nam, and Kwang-Ryul Baek)

## 요 약

본 논문에서는 PDP 상판의 패턴결함을 검출하는 영상처리 알고리즘을 제안하고, 이를 실시간으로 처리하기 위한 영상처리 하드웨어의 구현을 나타낸다. 제안된 영상처리 알고리즘은 참조영상의 패턴간격을 이용하여 결함영상을 추출하는 알고리즘이며, 영상처리 시스템은 실시간 구조로 설계된 고속 영상처리 하드웨어와 여러 개의 영상처리 하드웨어 제어를 위한 데이터관리 및 시스템제어 하드웨어로 나누어 구현하였다. 또한, 본 논문에서는 구현한 영상처리 시스템을 이용하여 실제 PDP 상판의 결함을 검사하는 실험 환경을 구성하여 패턴의 결함을 검사하는 실험을 수행하였다. 그 결과 제안한 알고리즘과 구현한 하드웨어의 우수성을 입증 하였다.

## Abstract

Various defects are found in PDP manufacturing process. Detecting these defects early and reprocessing them is an important factor that reduces the cost of production. In this paper, the image processing system for the PDP pattern inspection is designed and implemented using the high performance and accuracy CCD line scan camera. For the preprocessing of the high speed line image data, the Image Processing Part (IPP) is designed and implemented using high performance DSP, FIFO and FPGA. Also, the Data Management and System Control Part (DMSCP) are implemented using ARM processor to control many IPP and cameras and to provide remote users with processed data. For evaluating implemented system, experiment environment which has an area camera for reviewing and moving shelf is made. Experimental results showed that proposed system was quite successful.

**Keywords :** PDP, inspection, line-scan camera, image processing

## I. 서 론

최근 디스플레이 산업의 빠른 기술 개발로 인해 실생활에서 사용하는 많은 디스플레이 장치들이 하루가 다르게 변화하고 있다. 지난 1세기 동안 디스플레이 산업의 주류를 이루었던 브라운관이 퇴조하고 있는 반면 휴대 및 대형화가 용이하며 전력소모가 적은 다양한 형태

의 FPD (Flat Panel Display)가 등장하고 있다. TFT-LCD (Thin Film Transistor Liquid Crystal Display), PDP (Plasma Display Panel) 등이 이에 속한다.

이러한 FPD의 제조 공정 중에서 PDP 생산 공정에서는 생산성 향상을 위하여 각 주요 공정마다 검사를 하게 된다. 몇 가지 주요 검사 예를 들어보면, PDP 생산의 경우에 있어서는 원판 유리가 생산 공정에 투입되기 전에 부재의 손상, 핀홀(pinhole), 이물을 검사하기 위해 육안 검사, 매크로(macro) 검사기, 더스트(dust) 모니터를 통한 검사를 하고 있다. 또한 성막 공정에서는 막질, 막 두께, 이물을 검사하기 위해 막 두께 검사기, 면저항 측정기를 이용한 검사를 하고 있다.

최근 위와 같은 생산 공정 검사 중 유리위의 패턴검

\* 학생회원, \*\*\* 정회원, 부산대학교 전자공학과  
(Dept. of Electronics Engineering, Pusan National University)

\*\*\* 정회원, 부산경상대학 소방안전관리과  
(Dept. of Fire Protection and Safety Engineering, Busan Kyungsang College)

※ 이 논문은 부산대학교 자유과제 학술연구비(2년)에 의하여 연구되었음.

접수일자: 2004년12월9일, 수정완료일: 2005년5월4일

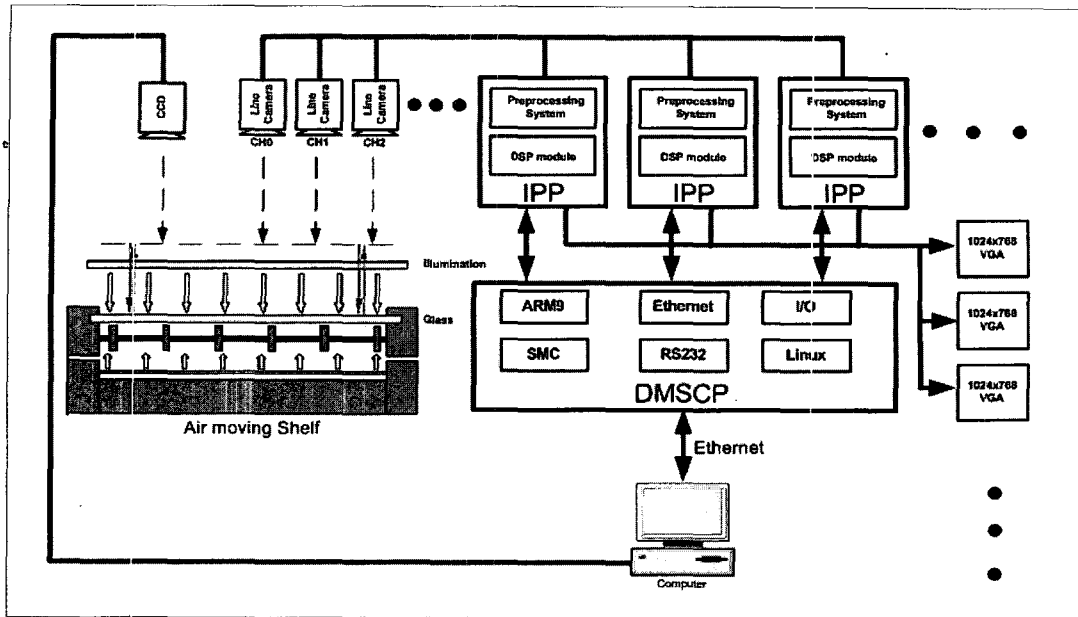


그림 1. PDP 패턴검사 시스템  
Fig. 1. PDP pattern inspection system.

사와 같이 특정 패턴의 검사를 자동화 하려는 연구가 활발히 진행되고 있다. 특히, 인간의 시각 능력을 컴퓨터 비전으로 대체하기 위해 많은 연구가 수행되었다. 이러한 연구에는 특징에 기반한 방법<sup>[1],[2]</sup>, 영상 비교<sup>[3],[4]</sup>에 의한 방법 등이 있다. 특징에 기반한 방법의 경우, 검사하고자 하는 영상의 주파수 특징을 이용하여 특정 주파수 외에 나타나는 영상을 결함으로 간주하는 방법이며, 영상비교에 의한 방법은 무결한 참조 영상을 기준으로 검사 영상과 비교를 통해 결함을 검사하는 방법이다. 최근의 연구 경향은 이들 방법에서 다양한 기법을 조합하거나 공유하고 있다. 이들의 공통된 점은 크게 두 가지로 구분된다. 하나는 대부분의 방법이 입력된 영상의 회전이나 이동에 영향을 크게 받기 때문에 어떻게 신뢰성 있는 알고리즘을 제공할 것인가에 초점이 맞추어지고 있다. 다른 하나는 검사 장비에 있어서 중요한 항목인 검사 시간에 초점이 맞추어지고 있다. 따라서 검사 시간을 줄일 수 있는 알고리즘을 개발하고, 실시간 구조의 시스템을 설계하는 연구가 진행되고 있다.

이에 본 논문에서는 PDP 상판의 패턴 결함 검사에 있어서 입력된 영상의 이동에 강인하게 동작하며, 라인 단위로 결함을 검사함으로써 고속의 검사를 가능하게 하는 영상 처리 알고리즘을 제안하고 이의 실시간 하드웨어를 구현하였다. 알고리즘에서는 실시간 처리를 위해 FPGA에서 하드웨어로 구현된 3x3 공간 필터링과 이진화를 이용하여 획득한 영상을 전처리하고 참조 영

상의 이진 영상으로부터 계산된 패턴의 간격 정보를 이용하여 결함 영상을 추출 하였다. 영상처리 하드웨어에서는 고속·고정밀 라인스캔 카메라를 이용하여 영상을 획득하고 FPGA (Field Programmable Gate Array)를 이용하여 3x3 공간 필터링 및 이진화를 실시간으로 수행하였다. 또한, 본 논문에서 제안한 영상처리 하드웨어는 DSP(Digital Signal Processor)를 이용하여 이진화된 영상에서 패턴결함 검출 알고리즘을 효율적으로 수행할 수 있도록 시스템의 구성을 최적화하였다. 임베디드 리눅스 시스템을 이용한 데이터 관리 및 시스템 제어 하드웨어에서는 계산된 결함의 크기와 위치 정보를 인터넷을 통해 사용자에게 전달할 수 있도록 하였다. 또한, 본 논문에서는 영상처리 시스템을 이용하여 PDP 패턴검사 시스템 실험 환경을 구현하였으며, 실험을 통해 제안한 알고리즘과 하드웨어의 우수성을 입증하였다.

## II. 본 론

### 1. PDP 패턴검사 시스템

PDP 패턴 검사 시스템은 그림 1에서와 같이 공기로 부양된 PDP 상판이 이송부를 통해 들어오면 이송 방향의 리니어 모터 동기 신호에 따라 기구부에 장착된 여러 대의 6kbyte 고정밀 라인스캔 카메라가<sup>[5]</sup> 라인 단위로 PDP 상판의 영상을 디지털 영상으로 변환한다. 변환된 영상은 본 논문에서 구현한 영상 처리 하드웨어(IPP: Image Processing Part)에서 전처리 과정과 결함

검출 과정을 거쳐 결함의 크기와 위치가 계산된 후, 데이터 관리 및 시스템 제어 하드웨어(DMSCP: Data Management and System Control Part)에 결과 데이터를 전달한다. 데이터 관리 및 시스템 제어 하드웨어는 여러 개의 영상 처리 하드웨어에서 검사된 결함 정보를 수집 및 관리하며, 자체 웹 서버를 통해 사용자 컴퓨터에 인터넷을 통해 결함 정보를 전달한다. 전달된 결함 정보는 사용자 컴퓨터에서 지도로 재구성되어 결함을 재확인하는 CCD 카메라의 좌표용 지도로서 역할을 한다. 사용자는 2축 CCD 카메라 시스템을 통해 결함지도의 좌표로 이동하여 고배율의 렌즈를 장착한 CCD 카메라로 결함을 확인함으로써 검사 과정을 완료하게 된다.

2. 영상처리 알고리즘

본 논문에서는 PDP 상판의 패턴 결함을 검사하기 위해 고성능 라인스캔 카메라를 사용하였다. 라인스캔 카메라는 수평 및 수직축 방향으로 고해상도의 영상 획득이 가능하여 필름, 직물 원단, 철강 등의 생산 공정에서 컨베이어 벨트에 설치되어 제품의 검사에 널리 사용되고 있다. 이러한 라인스캔 카메라를 이용하여 획득한 PDP 상판의 영상은 그림 2와 같은 처리 과정에 따라 결함 영상이 추출된다.

라인스캔 카메라로부터 획득된 영상은 카메라 특성으로 인한 백색 가우시안 잡음이 첨가되어 나타나게 된다. 따라서 잡음으로 인해 무결한 검사 영역 임에도 불구하고 결함으로 오인한 영상 처리 결과가 나타날 수 있다. 이에 본 논문에서는 백색 가우시안 잡음의 영향을 줄이기 위해 3x3 가우시안 공간 필터를 이용하였다. 그림 3은 3x3 가우시안 공간 필터링을 이용하여 획득한 PDP 상판의 영상을 필터링한 결과를 나타낸다.

그림 3은 6kbyte 라인스캔 카메라를 이용하여 실제 PDP 상판의 패턴 영상을 PC의 프레임 그래버를 통해 입력 받은 후, 256x256 크기의 해상도로 편집한 영상이며 단락, 돌출, 섬, 침식, 개방, 핀홀 같은 패턴의 결함을 컴퓨터 그래픽 도구를 이용하여 첨가하였다. 이를 살펴보면 백색의 가우시안 잡음이 저역통과 필터를 거쳐 줄어들었음을 알 수 있다.

3x3 가우시안 공간 필터링을 거친 영상은 그림 4와 같이 특정 임계 값에 의하여 이진 영상으로 변환된다. 그림 4를 살펴보면 이진 영상만으로도 PDP 패턴상의 결함이 잘 나타남을 알 수 있다. 또한, 이진영상으로 변환하게 되면 디지털 영상의 한 픽셀에 해당하는 8 비트 데이터는 한 비트로 줄어들게 되어 저장 공간을 줄일

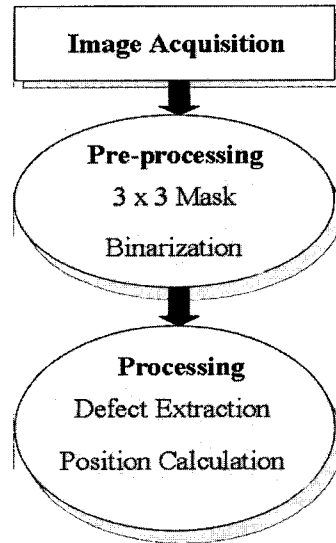


그림 2. 영상처리 과정  
Fig. 2. Flow chart of the image processing.

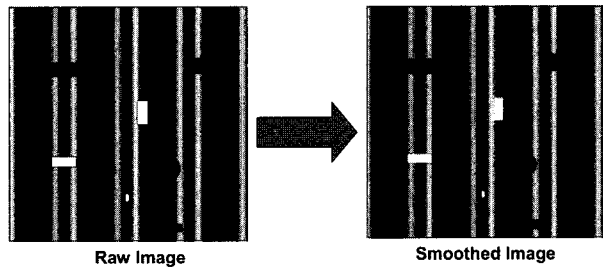


그림 3. 백색 가우시안 잡음의 제거  
Fig. 3. Removing of additive white gaussian noise.

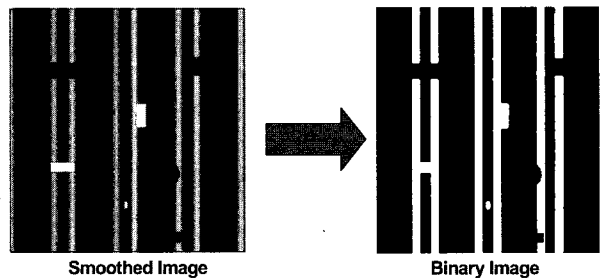


그림 4. 그레이 레벨 영상과 이진영상  
Fig. 4. Gray level image and it's binary image.

수 있을 뿐만 아니라 처리 속도도 높일 수 있게 된다. 결함 영상을 추출하기 위해 본 논문에서는 PDP 상판의 패턴 간격의 규칙성을 이용하여 단락, 돌출, 섬에 해당하는 결함 영상을 추출하였다. 패턴과 패턴 사이의 픽셀 간격이 좁은 경우 한 개의 패턴이 들어 갈 수 있다. 이를 이용하여 패턴 간격 만큼 쉬프트 한 영상과 원 영상의 논리곱을 취하면 결함 영상을 추출 할 수 있다. 이러한 방법은 획득한 영상의 정보를 이용하므로 검사하고자 하는 영상의 이동에 강인하게 동작할 수 있는 알고리즘이며, 라인 단위로 알고리즘을 수행할 수

있으므로 고속 연산이 가능하다는 장점을 가진다. 그림 5는 쉬프트 연산과 논리곱을 이용해 단락, 돌출, 섬에 해당하는 결함이 추출됨을 나타낸다.

쉬프트 연산을 이용한 결함 영상 추출에서는 침식, 개방, 핀홀 같은 결함을 찾아내기는 어렵다. 쉬프트 연산을 이용한 경우에 있어서 결함을 찾는 방법은 라인 영상에서 밝은 부분 즉, 패턴에 해당하는 부분이 원 영상과 교차하지 않음을 이용하는 방법이다. 따라서 검정 색으로 표현되는 부분들은 쉬프트 연산을 이용하여 추출할 수 없다. 이에 본 논문에서는 검정 색으로 표현되는 부분의 결함들이 패턴 상에 위치하는 결함이라는 점을 착안하여 라인 카메라로 획득한 이진 영상으로부터 흰색으로 표현되는 패턴의 위치정보를 미리 계산한 다음 검사 하고자하는 이진영상의 특정 위치에 검은색 부분이 나타나면 결함으로 간주하였다.

본 논문은 그림 6과 같이 쉬프트 연산을 이용한 방법과 패턴의 특징 위치를 고려한 결함 검출 방법 두 가지를 사용하여 결함 영상을 추출 하였다.

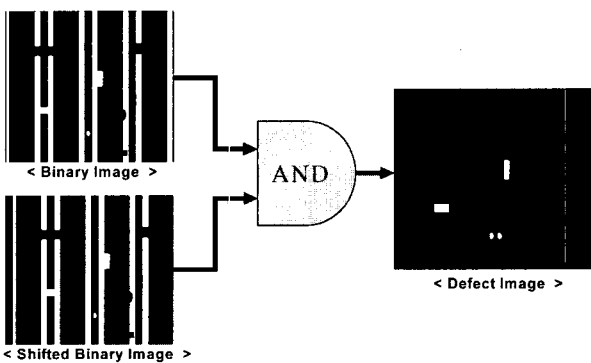


그림 5. 논리곱을 이용한 결함 영상의 추출  
Fig. 5. Extraction of the defect image using logical AND operation.

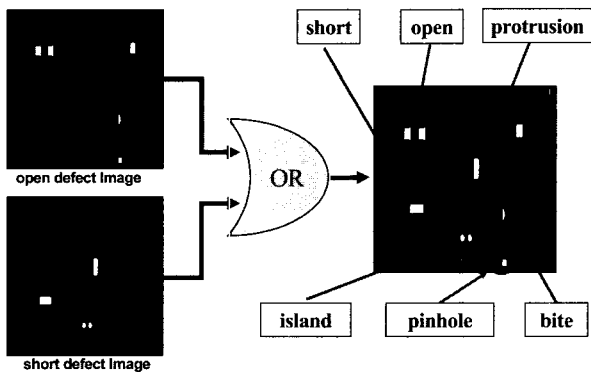


그림 6. 쉬프트 연산과 위치 계산을 이용한 결함 영상의 추출  
Fig. 6. Extraction of the defect image using shift operation and position calculation.

### 3. 영상처리 하드웨어

본 논문에서 제안된 영상처리 하드웨어의 구성은 그림 7과 같다. 카메라 링크 인터페이스<sup>[6]</sup>방식으로 입력된 라인 영상은 FIFO(First In First Out) 메모리와 FPGA의 블록램(Block Ram)<sup>[7]</sup>을 이용한 실시간 구조의 3×3 가우시안 공간필터와 FPGA의 내부에 구성된 이진화 모듈을 통해 이진화되어 쉬프트 레지스터에 저장된다. 저장된 데이터는 DSP로 전달되어 결함 영상 추출과정과 위치 및 크기 계산과정을 거쳐 메모리에 저장되게 된다. 또한 영상처리 하드웨어 내부에는 FPGA와 FIFO 메모리를 이용하여 라인 카메라의 디지털 영상을 1024x768 해상도의 프레임 영상으로 변환하여 VGA 모니터로 출력하도록 하였다. 이러한 기능은 라인 카메라로부터 들어오는 디지털 영상을 실시간으로 모니터링 함으로서 외부조명에 의한 영상의 변화 및 렌즈의 초점 조절이 용이하도록 하기 위함이다.

일반적으로, FPGA를 이용한 필터 설계 시 곱셈기를 직접 설계하여 구현하는 경우가 일반적이다. 곱셈기 설계의 경우 특히, VHDL를 사용하여 구현하는 경우 실제 동작속도를 50MHz 이상으로 동작시키기 어려우며, 구현 시 곱셈기 한 개당 10,000 게이트 정도의 게이트를 차지하여 대용량의 FPGA를 필요로 하게 된다. 이에 본 논문에서는 FPGA에 내장 되어있는 200MHz로 동작하는 블록램을 이용하여 실시간 구조의 3×3 가우시안 공간필터를 구현하였다. 이렇게 구현함으로써 실제 FPGA의 로직수도 줄이며 로직간의 데이터 패스도 짧아져 전달지연이 줄어들어 고속의 공간필터링을 수행할 수 있다. 그림 8은 블록램을 이용한 실시간 3×3 가우시안 공간 필터링 및 이진화를 나타내는 블록도를 나타낸다.

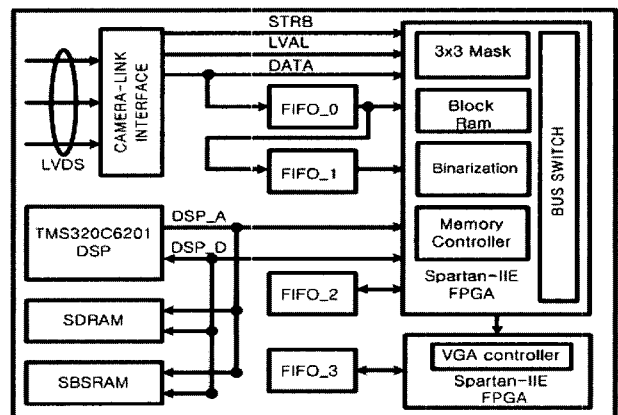


그림 7. 영상 처리 하드웨어의 구성  
Fig. 7. Hardware architecture for image processing.

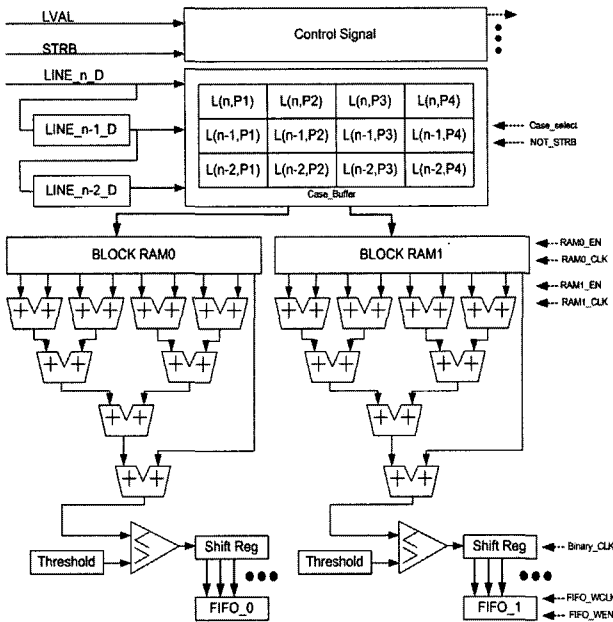


그림 8. 실시간 구조의 3x3 공간 필터 및 이진화  
 Fig. 8. Real-time structure of 3x3 spatial filter and binarization.

3x3 공간 필터에 의해 필터링 되고 이진화된 영상은 고속의 DSP를 통해 결함의 크기와 위치가 계산된다. DSP는 전원이 들어오면 우선 초기 설정을 수행한다. 초기 설정 과정은 DSP와 관련된 각종 레지스터 값을 조정하여 3x3 마스크 연산 결과에 해당하는 LUT(Look Up Table)을 생성하여 블록램에 데이터를 출력하는 과정을 포함하고 있다. 사용자는 원하는 종류의 마스크 연산의 결과를 미리 계산하여 LUT 형태로 만들어 놓고 전처리 단계에서 이를 참조하여 3x3 공간필터링을 수행한다. 초기화 설정이 완료되면 DSP는 외부로부터 검사시작에 관련된 데이터 저장 레지스터를 읽어 검사시작 명령을 읽게 되고 검사시작에 해당하는 명령일 경우 다음 단계로 넘어가며 그렇지 못한 경우 대기하게 된다. 검사 시작명령에 의해 검사가 시작되면 DSP는 전처리기로부터 한 라인에 해당하는 데이터가 전처리되었는지 확인하기 위해 외부의 FPGA로 부터 그래버 (graber) 레지스터를 읽게 되고 전처리 완료에 해당하는 데이터를 읽게 되면 FIFO 메모리로부터 전처리된 이진 데이터를 SDRAM으로 읽어온다. SDRAM에 들어온 이진 라인영상은 결함 검출 알고리즘에 따라 결함 이미지가 추출된다. 결함은 위치와 크기가 계산되어 SDRAM(Synchronous Burst Static Random Access Memory)에 저장되고, DSP는 다시 검사시작 명령을 대기하게 된다.

실제, 본 논문에서 구현한 영상처리 하드웨어는 그림

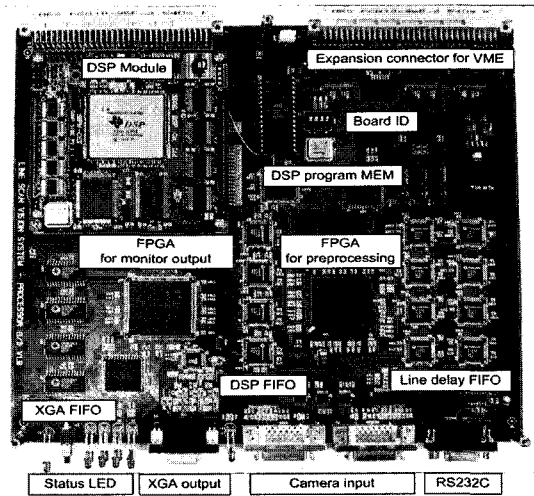


그림 9. 구현된 영상처리 하드웨어  
 Fig. 9. Hardware implementation of image processing.

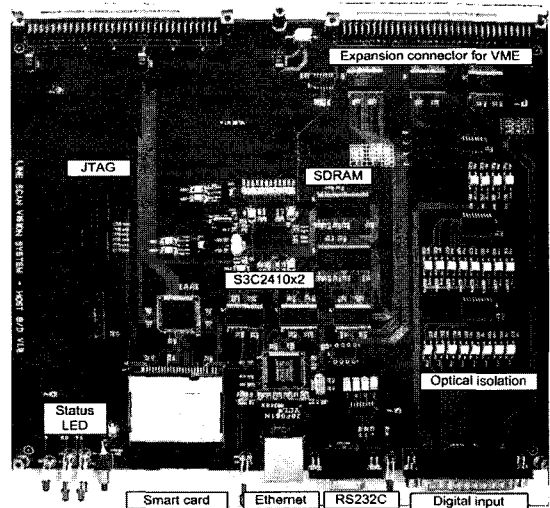


그림 10. 구현된 데이터관리 및 시스템제어 하드웨어  
 Fig. 10. Hardware implementation of data management and system control.

9와 같다. 그림과 같이 결함의 크기와 위치를 계산하는 DSP 부분은 모듈화 하고, 나머지 부분은 하나의 기판에 내장하는 구조로 구현하였다. 라인 스캔 카메라의 설정값을 조정하기 위해 RS232C를 이용하여 카메라와 통신 할 수 있는 기능을 구현하였으며, 6kbyte 2탭 카메라뿐만 아니라 8kbyte 4탭 카메라까지 사용할 수 있도록 설계하였다. 또한, VGA 출력 회로를 설계 하여 1024x768 크기의 영상을 VGA 모니터로 출력할 수 있도록 하였다.

#### 4. 데이터 관리 및 시스템 제어 하드웨어

PDP 패널에 비해 상대적으로 작은 패턴결함을 실시

간으로 라인 단위로 검사하기 위해서는 여러 대의 라인 스캔 카메라가 필요하다. 이에, 본 논문에서는 삼성전자의 ARM9 기반의 고속 프로세서인 S3C2410x2를 이용하여 그림 10과 같은 하드웨어를 구현하였다. 이를 이용하여 여러 대의 영상처리 하드웨어를 제어 하도록 하였으며, 다양한 사용자 환경 등을 용이하게 사용하기 위해서 리눅스 OS(Operating System)를 포팅하여 임베디드 리눅스 시스템을 구현하였다. 또한, 모든 부품을 하나의 기판에 내장 하였으며, 외부와의 통신을 위해 RS232C 방식의 시리얼 채널을 구현하였으며, 인터넷을 통해 데이터를 전달하기 위해 이더넷 기능을 구현하였다.

### III. 실험

그림 11은 PDP 패턴 검사 시스템 전체 실험 환경을 나타낸다. 영상 처리 하드웨어와 데이터 관리 및 시스템 제어 하드웨어는 VME 전용 랙에 장착되어 검사를 수행하였다.

본 논문에서는 YZZZ 전극 패턴의 구조를 가진 42인치 PDP 상판에 단락, 개방, 섬, 돌출, 침식, 핀홀에 해당하는 이물질들을 올려놓고 검사하였다. 결함의 확인은 검사된 결함 정보를 바탕으로 만들어진 결함 맵을 이용하여 리뷰용 CCD 카메라로 결함을 확인하였다.

그림 12는 머리카락을 이용하여 개방에 해당하는 결함을 검출한 영상이며 그림 13은 작은 금속 티끌을 이용하여 단락, 돌출, 섬, 핀홀, 침식에 해당하는 결함을 검출한 영상이다.

그림 14는 본 논문에서 구현한 영상처리 시스템의 성능을 알아보기 위하여 TEKTRONCS사의 100MHz 성능의 TDS3012B 오실로스코프를 이용하여 처리 속도 파형을 관측한 결과이다. 그림의 상단에 나타난 파형은 라인스캔 카메라의 LVAL 신호이다. 하단에 나타난 파형은 LVAL 신호가 로직 '0' 된 이후 로직 '1'이 되어 전처리 과정을 거친 후 DSP에서 결함의 크기와 위치가 계산된 후 로직 '0'이 되는 신호이다. 따라서 영상처리 시스템의 처리 속도는 라인 스캔 카메라의 데이터 출력 시간을 포함하여 200 $\mu$ s가 된다. 이는 라인당 5kHz의 속도로 처리됨을 알 수 있다. 예를 들어, 10 $\mu$ m의 해상도로 설정되어 있는 라인 카메라를 이용하여 42인치 PDP상판의 화면 비율이 16:9이고 픽셀 크기가 1.08mm이며 가로방향으로 검사할 경우 본 시스템에서 걸리는 검사 시간은 13초가 걸린다. 이와 비교하여, 세

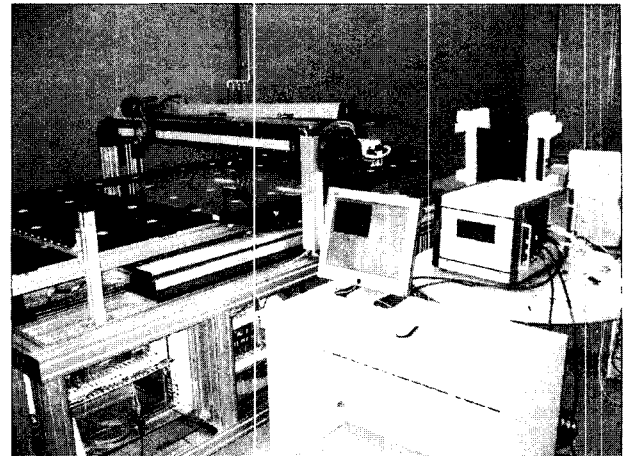


그림 11. PDP 패턴검사 시스템  
Fig. 11. PDP pattern inspection system.

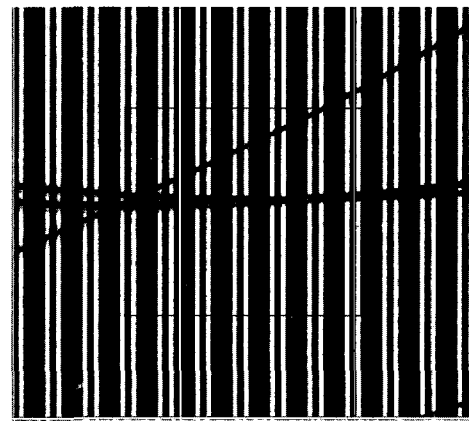


그림 12. 개방에 해당하는 결함 검출 예  
Fig. 12. Example of the open defect.

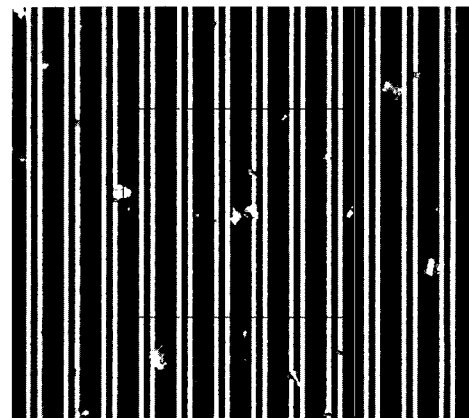


그림 13. 단락, 돌출, 섬, 핀홀, 침식에 해당하는 결함 검출 예  
Fig. 13. Example of the short, protrusion, island, pinhole and bite defects.

계적인 FPD (Flat Panel Display) 검사 장비를 만드는 오보텍사의 FPI-7598 모델은 5 $\mu$ m의 해상도로 1250mm 사이즈를 검사하는데 114초가 걸린다. 따라서 본 시스템의 성능이 검사 시간 면에서 4배 정도 우수함

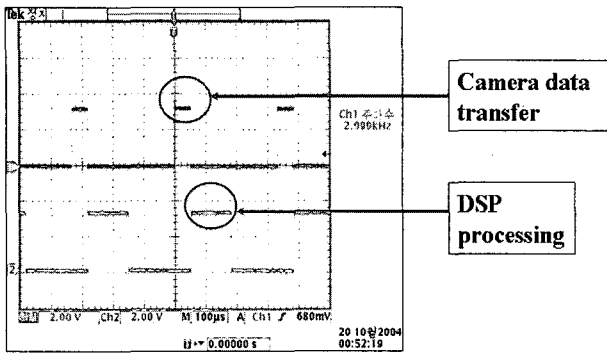


그림 14. LVAL 파형과 DSP 연산 처리 파형  
 Fig. 14. Measurement of LVAL signal and DSP processing time.

을 확인하였다.

#### IV. 결 론

본 논문에서는 PDP 생산 공정 시 상판의 패턴 결함을 검사하는 영상 처리 알고리즘을 제안하고 이를 실시간 처리할 수 있는 영상 처리 시스템을 구현하였다. 제안된 알고리즘은 라인스캔 카메라로부터 획득한 라인 영상을 3×3 가우시안 공간 필터를 이용하여 필터링하고, 특정 임계값을 이용하여 이진화한 후 참조 영상의 이진 영상으로부터 획득한 패턴 간격정보를 이용하여 결함 영상을 추출하는 것이다.

구현된 영상 처리 하드웨어는 현대의 라인스캔 카메라 데이터를 처리하는 구조로 설계하였으며 FPGA, 블록램, FIFO, DSP 등을 이용하여 3×3 가우시안 공간 필터링 및 이진화를 실시간으로 수행하였다. 또한, DSP를 이용하여 참조 영상의 이진 영상으로부터 획득한 패턴 간격 정보를 바탕으로 결함 영상을 추출하고 결함의 위치와 크기를 계산하였다. 데이터 관리 및 시스템 제어 하드웨어는 여러 대의 영상 처리 하드웨어에서 계산된 결함의 크기와 위치 정보를 사용자에게 전달하고 제어하기 위해 임베디드 리눅스 시스템으로 구현하였다.

구현된 시스템의 성능을 알아보기 위해 영상 처리 하드웨어, 데이터 관리 및 시스템 제어 하드웨어, 리뷰용 CCD 카메라를 갖춘 이송 장치, 사용자 환경 등으로 구성된 전체 PDP 패턴 검사 시스템 실험 환경을 구성하여 42인치 PDP 상판의 결함을 검사하였다. 검사 결과 단락, 개방, 섬, 돌출, 침식, 섬에 해당하는 PDP 상판의 패턴 결함을 찾을 수 있었으며, 라인 당 검사 시간은 200µs로 측정되었다. 이는, 본 논문의 시스템이 기존의

FPD 검사 장비와 비교하여 검사 시간 면에서 성능이 우수함을 나타낸다.

또한, 본 논문에서 제안한 영상 처리 알고리즘과 그 시스템은 이용하여 직물이나, 철강 등의 표면 검사 시스템에 직접 적용이 가능하다.

#### 참 고 문 헌

- [1] D. M. Tsai and C. P. Lin, 2003, "Fast Defect Detection in Textured Surfaces Using 1D Gabor Filters," *International Journal of Advanced Manufacturing Technology*, vol. 20, pp.664-675, 2003.
- [2] J. Chen and A. K. Jain, "A Structural Approach to Identify Defects on Textural Images", *Proc. of IEEE Int. Conf. on Systems, Man, and Cybernetics*, pp. 29-32, Beijing, 1988.
- [3] M. Moganti and F. Ercal, "Automatic PCB inspection systems," *IEEE Potentials*, vol. 14, pp 6-10, Aug, 1995.
- [4] I. S. Jeong and O. J. Kwon. "Real-time PCB Vision Inspection Using Pattern Matchings", *Proc. of IEEE Summer Conference*, vol. 26, no. 1, pp. 2335-2338, July 2003.
- [5] DALSA, *Piranha2 User's Manual*, DALSA Inc., Oct, 2000.
- [6] DALSA, *Specifications of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers*, DALSA Inc., Oct, 2000.
- [7] XILINX, *Using Block SelectRAM+ Memory in Spartan-II FPGAs*, XILINX Inc., 2000.

저 자 소 개



조 석 빈(학생회원)  
 2000년 부산대학교 공과대학  
 전자공학과 학사 졸업  
 2002년 부산대학교 대학원  
 전자공학과 석사 졸업  
 2002년 3월~현재 부산대학교  
 대학원 전자공학과  
 박사 과정

<주관심분야 : 영상처리, 컴퓨터비전, 디지털시스  
 템, 신호처리>



이 윤 근(정회원)  
 1991년 울산대학교 공과대학  
 전기공학과 학사 졸업.  
 1993년 울산대학교 대학원  
 전기공학과 석사 졸업.  
 2002년 부산대학교 대학원  
 전자공학과 박사 졸업.

현재 부산경상대학 소방안전관리과 전임교수  
 <주관심분야 : 영상처리, 컴퓨터비전, 지능제어,  
 이동로봇>



백 경 훈(학생회원)  
 2000년 부산대학교 공과대학  
 전자공학과 학사 졸업  
 2003년 3월~현재 부산대학교  
 대학원 전자공학과  
 석사 과정  
 <주관심분야 : 머신 비전>

남 기 곤(정회원)

제40권 SP편 제1호 참조  
 현재 부산대학교 전자공학과 교수  
 <주관심분야 : 컴퓨터비전, 패턴 인식>

백 광 렬(정회원)

제35권 S편 제8호 참조  
 현재 부산대학교 전자공학과 부교수  
 <주관심분야 : 디지털시스템, 아날로그회로설계,  
 전력전자>