

전송선로 행렬을 이용한 전력배분기판에 대한 빠른 임피던스 계산 방법

論 文
54C-6-3

A Fast Computation Algorithm for the Impedance calculation of the Power Distribution Plane Using the Transmission Matrix

徐 暎 錫[†]
(Young-Suk Suh)

Abstract - An impedance calculation method for the irregular shaped power distribution networks is presented. The irregular shaped metal-dielectric-metal board is split into three piece of segments to calculate the impedance between the two separated points on the board. Transmission-matrix description corresponding to the unit column of board and the connection of unit column board are introduced. Then the transmission-matrix for the each segment is calculated and reduced to the 2-ports impedance matrix. The proposed algorithm is very fast comparing the existing methods. Applied to the 6 inch by 5 inch size irregular shaped board, the proposed method shows 15 times faster than the electromagnetic or circuit analysis method.

Key Words : 전력노이즈, Power Integrity, Power-Ground Plane Analysis, PCB

1. 서 론

전자시스템의 고속, 고집적화 추세로 인해, 기판에서의 소자의 배치 및 소자 사이의 배선, 타이밍(timing), 클럭동작(clocking), 전력배선(power distribution)과 같은 신호의 무결성(signal integrity)에 관한 사항들이 시스템의 성능을 결정짓는 중요한 요소로 작용하고 있으며, 이들 사항 중 전력배선 설계를 위해 보드상의 임의의 두 지점사이의 임피던스를 반복적으로 계산할 필요가 있다. 보드의 임피던스 계산을 위한 기존의 방법은, 전자장 방정식을 수치해석으로 푸는 방법과[1~3], 기판을 작은 셀로 나누고 각 셀에 대해 등가회로를 만들어서 회로 해석도구로 푸는 방법이 있다[4]. 전자장 수치 해석법은 보드의 전압 분포를 한꺼번에 계산할 수 있는 장점이 있지만 계산시간이 많이 걸리는 단점이 있다. 보드를 작은 셀 등가회로로 구성된 대규모 회로망으로 모델링하고 SPICE로 해석하는 방법은, 특정 두 지점의 임피던스를 계산할 때 전자장 해석법에 비해 시간이 적게 소요되고 기판에 존재하는 캐패시터와 같은 소자를 쉽게 처리할 수 있어서 많이 사용되고 있다 [4].

본 논문에서는 전력배분 기판위의 임의의 두 지점사이의 임피던스를 계산함에 있어서 주어진 기판을 여러 개의 단위기둥(unit column)으로 분리하고 전송선로행렬을 적용하는 방법을 개발하였다. 이러한 방법은 전송선로행렬의 특성상, 서로 연결된 단위기둥(unit column)의 전송선로행렬은 각각의 단위 기둥에 대한 전송선로 행렬의 곱으로 표시되기 때문에 대단히 쉽고 빠른 임피던스 계산이 가능하다. 제안된 새로

운 방법을 적용할 때, 기존의 방법에 비해 계산시간을 대폭 줄일 수 있음을 보였다.

2. 전송선로행렬을 이용한 보드의 임피던스 계산

그림1에 직사각형 형태가 아닌 임의의 형상을 가지는 보드의 한 가지 예를 보였다. 그림1(a)는 기판의 전력-접지층의 평면도이고 크기는 대략 가로최대크기(xm)가 6인치, 세로최대크기(ym)가 5인치이다. 그림1(b)는 기판의 단면도이며 4개의 금속판(S,P,G,S)과 3개의 유전체로 이루어져있다.

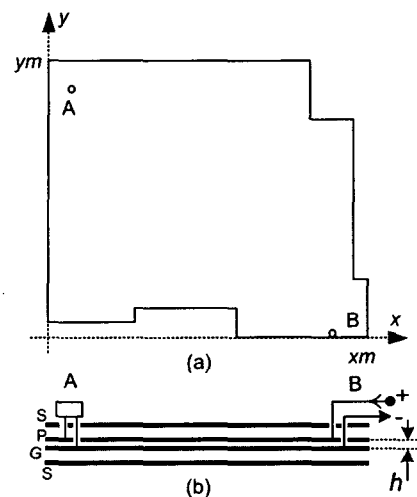


그림 1 임의의 형상을 가지는 전력/접지 기판의 한 가지 예
Fig. 1 An example of irregular shaped power/ground plane

그림1(b)에서 맨 윗층은 소자사이의 신호선 연결을 위한 신호선층(S)이며 두 번째 층은 소자의 전력공급을 위한 전

[†] 교신저자, 正會員 : 영남대 工大 전자정보공학부 教授 · 工博
E-mail : yssuh@yu.ac.kr

接受日字 : 2005年 3月 24日

最終完了 : 2005年 5月 2日

력층(P)이며 세 번째 층은 전력공급을 위한 접지층(G)이고 맨 밑바닥 층은 신호선층(S)이다. 전력층(P)과 접지층(G)사이의 비유전율 ϵ_r 을 가지고 일정한 두께(h)를 가지는 유전체로 채워져 있다

기판위의 B지점은 보드위에 장착된 여러 개의 소자에 전력을 공급하기 위한 직류전원장치의 출력이 연결되는 부분이라고 가정한다. 보드위의 모든 소자는 B지점으로 부터 공급되는 DC전력을 사용하게 된다. 지점A와 B사이의 임피던스를 계산함에 있어서, 본 논문에서 제안하는 방법은 그림2과 같이 보드를 3부분으로 분할해서 각각의 보드에 대해 전송선로 행렬을 구하고 최종적으로 임피던스를 계산하는 방법이다. 제안된 방법을 차례대로 설명하면 다음과 같다

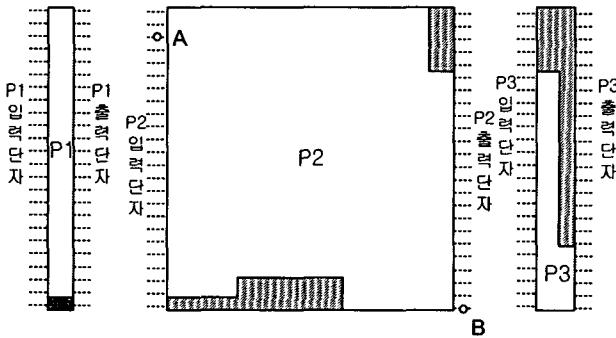


그림 2 임의형상의 기판을 직사각형의 기판 (P1,P2,P3)으로 분할

Fig. 2 Segmentation of irregular shaped board into the rectangular plane (P1, P2, and P3)

우선 그림1과 같은 기판에서 임의의 두 지점사이의 임피던스를 구하고자 할 때, 두 지점을 수직으로 지나도록 기판을 3개로 분할한다. 예를 들면 그림1과 같은 하나의 기판에 대해 A지점과 B지점 사이의 임피던스를 구해야하는 경우, A 지점과 B점이 경계면에 포함되도록 그림 2와 같이 기판을 3부분으로 분할한다.

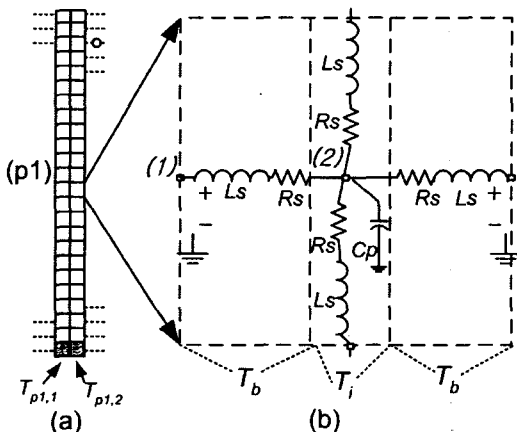


그림 3 부분기판(P1)에 대한 미소 셀로의 분할
Fig. 3 Segmentation of plane P1 into the micro cell

이때 모든 기판의 높이는 동일하도록 설정하며, 금속막이 없는 부분은 금속의 표면저항이 무한대인 금속판이 붙어있

는 것으로 생각한다. 그림2의 짙은 색으로 된 영역은 표면 저항이 무한대인 금속판이 붙어있는 부분이다.

분할된 3부분의 기판은 다시 작은 정사각형의 셀로 분할한다. 그림 3(a)는 그림2의 P1기판을 작은 정사각형 셀로 구분된 모양을 보여주고 있으며, 다른 기판의 인접한 셀과 전선으로 연결되는 단자를 가지도록 모델링된다. 이때 셀의 개수는 충분히 많이 설정하여 조밀한 구조를 가지도록 해야 높은 주파수 까지 잘 예측될 수 있는 임피던스가 구해진다. 셀의 크기는 구하려는 최대 주파수의 한 파장에 비해 충분히 작아야 한다.

각각의 셀에 대해서는 그림3(b)와 같은 등가회로로 표시할 수 있으며, 미소 셀에 대한 등가저항(R_s)와 등가인덕터(L_s)및 접지층(G) 기판사이의 단위 정전용량을 나타내는 C_p 로 이루어져 있다. 이들 미소 셀에 대한 등가저항, 인덕터및 캐패시턴스 값은 참고 문헌[4]에서 제시된 단위 셀의 등가성분 계산식으로 부터 구했다.

우선 각각의 분할된 기판에 대한 전송선로 행렬을 구한다. 한 가지 예로서 P1기판에 대한 전송선로행렬을 구하는 과정을 설명한다. 그림3의(a)와 같은 여러개의 정사각형 셀을 가지는 기판을 여러 개의 기둥으로 나눈다. 각각의 기둥은 1개의 셀이 수직으로 늘어선 그룹을 형성한다. 예를 들면 그림3(a)는 두개의 기둥을 가지고 있으며 한 개의 기둥에는 세로 방향으로 24개의 셀이 연결되어 있다. 즉, 그림 3(a)의 기판P1은 두개의 기둥이 가로 방향으로 연결되어 있다고 생각할 수 있으며 각각의 기둥은 수직으로 배열된 24개의 셀을 가진다.

그림3(a)의 P1기판 전체의 전송선로행렬(T_{p1})은, 두 개의 기둥이 가로 방향으로 직렬로 연결되어 있으므로, 두 기둥의 전송선로 행렬의($T_{p1,1}$ 과 $T_{p1,2}$) 곱으로 표시할 수 있다.

$$T_{p1} = T_{p1,1} \times T_{p1,2} = (T_{b1} T_{i1} T_{b1}) \times (T_{b2} T_{i2} T_{b2}) \quad (1)$$

여기서 $T_{p1,i}$ 은 그림3(a)의 기판 중 첫 번째 기둥(column) 전체에 대한 전송선로행렬이다. 각각의 기둥은 1줄의 셀로 이루어져 있으며 각각의 셀 내부를 보면 그림3(b)와 같은 등가회로로 이루어져 있고, 각각의 셀은 그림3(b)처럼 다시 세부분으로(T_b, T_i, T_b) 나눌 수 있다. 즉, 한 개의 기둥이 가지는 전송선로는 부분 전송선로인 T_b, T_i 및 T_i 의 곱으로 표시될 수 있다. 따라서 $T_{p1,i}$ 은 식(1)과 같이 $T_{b1} \times T_{i1} \times T_{b1}$ 으로 표시될 수 있다. 같은 방법으로 P1기판의 두 번째 기둥 전체에 대한 전송선로행렬($T_{p1,2}$)은 $T_{b2} \times T_{i2} \times T_{b2}$ 로 표시할 수 있다. 여기서 부분 전송선로행렬의 각각의 요소는 다음과 같이 계산된다.

$$T_b T_i T_b = \begin{bmatrix} A_b & B_b \\ C_b & D_b \end{bmatrix} \begin{bmatrix} A_i & B_i \\ C_i & D_i \end{bmatrix} \begin{bmatrix} A_b & B_b \\ C_b & D_b \end{bmatrix} \quad (2)$$

위의 식(2)에서의 각각의 행렬의 구성요소는 그림3(b)의 간단한 등가회로에 대해, 기초적인 회로방정식을 세워서 구할 수 있다. 예를 들면, 그림3(b)내부의 노드(1)과 노드(2)사이의 전송선로행렬 파라미터(A,B,C,D)는 (A=1, B= Z_s , C=0, D=1)이 됨을 쉽게 알 수 있다.

같은 방법으로 기둥전체의 T_b 및 T_i 부분에 대해서도 전

송행열의 요소를 얻을 수 있다. 계산결과 $A_{bi}, D_{bi}, A_{ii}, D_{ii}$ 은 한 개의 기둥에 들어 있는 셀의 개수와 같은 차원을 가지는 "정방 단위행열"이며, C_{bi} 과 B_{ii} 은 요소의 모든 값이 0인 "정방 영행열"이 된다. B_{bi} 과 C_{ii} 은 셀의 내부 구성성분과 관련이 있으며 다음과 같은 식으로 표시된다.

$$B_{bi} = \begin{bmatrix} Z_s & 0 & \dots & 0 \\ 0 & Z_s & \dots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \dots & Z_s \end{bmatrix}, \quad C_{ii} = \begin{bmatrix} Z_1 & Z_2 & 0 & \dots & 0 \\ Z_2 & Z_3 & Z_2 & \dots & 0 \\ 0 & Z_2 & Z_3 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & Z_2 & Z_1 \end{bmatrix} \quad (3)$$

여기서 Z_s 는 $R_s + j\omega L$ 이며, $Z_2 = 1/(2Z_s)$, $Z_1 = Z_2 + j\omega C_p$, $Z_3 = 2Z_2 + j\omega C_p$ 이다. R_s 는 $2/(\sigma t)$ 이며, σ 및 t 는 금속의 전도도 및 두께이다. L_s 는 단위셀당 인덕턴스이며 $\mu_0 \times h$ 로 계산되고, μ_0 는 투자율이고 h 는 유전체의 두께이다. C_p 는 $\epsilon a^2/h$ 이며 a 는 단위 정사각형 셀의 가로길이(=세로길이)이다 [4].

금속이 없는 부분의 셀에 대해서는 $R_s = \infty$, $C_p = 0$, $L_s = 0$ 이므로, $Z_2 = Z_1 = Z_3 = 0$ 이 되며, Z_s 는 무한대가 된다. 실제 계산 시 수치계산상에서 발생하는 오버플로를 방지하기 위해 큰 값($Z_s \sim 10^9$)을 대입하고 계산한다.

같은 방법으로 그림2의 P2기판 전체에 대한 전송선로행열(T_{p2})을 구할 수 있다. 만약 P2기판을 m 개의 기둥으로 분해하는 경우 총 $3 \times m$ 개의 부분 전송선로행열이 발생하며 이를 모두 곱하면 P2기판 전체의 전송선로 행열이 얻어진다. 마찬가지로 방법으로 P3기판 전체의 전송선로행열(T_{p3})을 구할 수 있다.

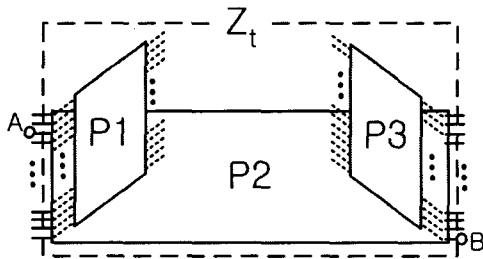


그림 4 기판의 분할 및 임피던스 계산을 위한 등가모형
Fig. 4 Segmentation of the board and equivalent model for the impedance calculation

지금까지 구해진 전송선로행열(T_{p1}, T_{p2}, T_{p3})을 이용해서 그림2의 A단자와 B단자사이의 임피던스를 구하는 과정을 설명한다. 구하려는 최종값은 P2기판과 P3기판에 있는 A지점과 B지점사이의 임피던스를 구하는 것이다. 이를 위해 분할된 기판을 단자A와 B의 관점에서 재구성해보면, 그림4처럼 P2기판의 입력단자와 출력단자에 P1기판의 출력단자와 P3기판의 입력단자가 병렬로 연결되어 있다고 생각할 수 있다. 따라서 그림1과 같은 기판의 점A와 점B사이의 임피던스를 구하는 것은, 그림1의 기판을 그림4와 같은 구조의 기판으로 생각하고 이 기판에 대한 임피던스 행열식(Z_t)을 구하는 것과 같은 문제로 변환될 수 있으며 전체 행열식(Z_t)는 다음과 같이 계산된다.

$$Z_t = \begin{bmatrix} Y_{p2,11} + Y_{p1,22} & Y_{p2,12} \\ Y_{p2,21} & Y_{p2,22} + Y_{p3,11} \end{bmatrix}^{-1} \quad (4)$$

여기서 $Y_{p2,11} \sim Y_{p2,22}$ 는 기판P2에 대한 어드미턴스 행열이며, 기판P2에 대해 구해진 전송선로행열 T_{p2} 를 어드미턴스 행열로 변환해서 얻을 수 있다. 비슷한 방법으로 $Y_{p1,22}$ 및 $Y_{p3,11}$ 은 기판1의 전송선로행열 T_{p1} 및 기판3의 전송선로행열로 T_{p3} 으로부터 변환된 Y파라미터로부터 얻어진다. 위의 식(4)가 계산되면 Z_t 행열 내부의 요소중 단자A와 단자B사이의 임피던스 Z_{AB} 성분을 구할 수 있게 된다.

본 논문에서 제안된 위와 같은 알고리즘의 계산속도 개선 효과를 검증하기 위해 그림1과 같은 기판에 대해 기존의 몇 가지 방법으로 임피던스를 계산하고 본 논문에서 제안한 방법과 계산속도 및 결과를 비교하였다. 시뮬레이션에 사용한 기판은 그림1과 같은 비정형(irregular)인 형태를 가지고 있으며 기판의 $xm=6inch$, $ym=5inch$ 이고 기판의 두께는 2mil이며 유전체의 유전율은 4이다. 소자의 위치A는 그림1의 좌표계에서 원점으로 부터 $x=0.4inch$, $y=4.5inch$ 에 위치하고 있으며 B는 원점으로 부터 $x=5.5inch$, $y=0inch$ 되는 지점이다. 이들 두 지점사이의 임피던스를 10MHz~800MHz사이에서 log 간격으로 100개의 주파수 지점에서 임피던스를 3가지 방법으로 계산하였다. 첫째로 제안한 본 논문의 방법, 둘째로 분포회로로 모델링한 후 SPICE로 시뮬레이션 하는 방법, 세 번째로 전자장해석도구를 이용하는 방법을 적용시켰다. 두 번째 방법인 회로해석은 참고 문헌 [4]의 방법을 따랐으며 회로해석도구는 Avant사의 HSPICE를 사용하였다. 세 번째 방법인 전자장해석을 위한 회로해석도구는 Agilent사의 HFSS를 사용하였다.

그림5는 세 가지 방법으로 해석결과를 나타낸 것이다. 그림에서 점으로 표시된 데이터는 전자장 해석 및 회로해석결과이며, 점선은 SPICE를 이용한 회로해석방법의 결과이며, 실선은 본 논문에서 제안한 알고리즘에 따른 해석 결과이다.

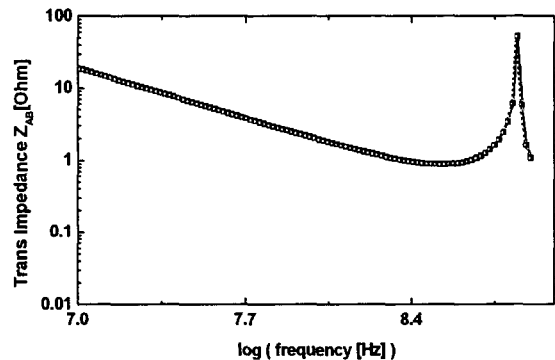


그림 5 전자장수치해석(점), 회로해석(점선), 및 제안된 알고리즘(실선)에 의한 Z_{AB} 의 주파수특성곡선.

Fig. 5 Frequency response of Z_{AB} using EM analysis (dot), circuit analysis (dotted line), and the proposed method (line)

대부분의 주파수 영역에서 임피던스는 해석방법에 상관없이 모두 동일함을 알 수 있다. 그러나 해석시간은 많은 차이를 나타내었다. 모든 계산은 인텔사의 2.7GHz 클럭을 가

지는 펜티엄4 CPU가 장착된 개인용 컴퓨터로 계산하였다.

보드의 지점A와 B 사이의 임피던스를 계산하기위해 전자장 해석방법은 621초가 걸렸으며, 회로 해석방법은 233초 및 본 논문에서 제안한 방법은 13.2초의 시간을 소비하였다. 제안된 방법은 전자장해석법과 비교할 때 40배 이상의 속도저감 효과를 보였으며 기존에 가장 많이 사용되고 있는 회로 해석방법과 비교할 때 17배의 속도개선효과를 나타내었다.

3. 결 론

본 논문은 직사각형이 아닌 임의의 형상을 가지는 전력/접지 기판을 빠르게 해석하는 방법에 관한 것이다. 기존의 회로해석 도구를 이용한 방법이나 전자장 수치해석 방법에 비해 계산속도를 빠르게 하기위한 새로운 알고리즘을 제시했다. 임의의 형상의 기판상의 두지점 사이의 임피던스를 구하기 위해 기판을 3부분으로 분할하고 각각의 기판에 대해 전송선로행렬을 구한 후 이를 이용하여 임피던스 행렬을 계산한다. 제시된 알고리즘의 계산속도에 대한 검증을 위해 가로6인치 세로5인치인 기판에 적용시켰으며, 제시된 알고리즘은 기존의 방법에 비해 약15배 이상 빠른 결과를 보였다. 개발된 새로운 임피던스 계산방법은 반복적인 계산이 많이 필요한 전력/접지층 설계에 잘 활용될 수 있을 것이다.

감사의 글

본 연구는 2004년도 지역혁신특성화시범사업의 지원에 의하여 이루어진 연구이며 관계기관에 감사드립니다.

참 고 문 헌

- [1] G.-T. Lei, R. W. Techentin, and B. K. Gilbert, "High Frequency Characterization of Power/Ground-Plane Structures," IEEE Trans. on Microwave Theory and Technique, vol. 47, No. 5, pp.562-569, May 1999.
- [2] I. Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination," IEEE Trans. on Advanced Packaging, vol. 22, no. 3, pp. 274-283, Aug. 1999..
- [3] D. G. Swanson and W. J. R. Hoefer, "Microwave Circuit Modeling Using Electromagnetic Field Simulation," Artech House 2003.
- [4] K. Lee, A. Barber, "Modeling and Analysis of Multichip Module Power Supply Planes", IEEE Trans. on Components, Packaging, and Manufacturing Technology systems, Part B, Vol. 18, No. 4, pp.628~639, Nov. 1995.