

Thermal Transient Measurement of High Power Thyristors Mounted on Single and Double Plate

徐吉洙[†] · 金起鉉^{*} · 金南均^{**} · 金垠東^{**}
 (Kil-Soo Seo · Ki-Hyun Kim · Nam-Kyun Kim · Eun-Dong Kim)

Abstract - In this paper, we presented investigation on the measurement of thermal impedance of phase control thyristor and its experimental results. Thermal impedance is composed of thermal resistance and heat capacity. Thermal resistance was derived from the response characteristic on unit step to thermal system as high power thyristor, IPM and power device. The thermal model of them is described as a discrete $R(z)$ function and the corresponding Foster or Cauer ladder network model. To confirm this measurement, with using Westcode and Dynex thyristor as a sample, this one was verified with 10 % error as compared with the these data-sheet.

Key Words : Thermal Impedance, Thyristor, 열저항, Cauer, Foster

1. 서 론

대용량 전력변환소자의 발전으로 High Voltage DC Transmission 변환시스템, 제2기 해남-제주간 HVDC와 계통연계를 위한 전력변환 시스템, FACTS, 신강진의 UPFC, Back-to-Back 및 Static Var Compensator 변환시스템으로 전력전자기술의 응용이 활발하게 이루어지고 있다. 대용량 전력변환시스템에 사용되는 소자는 주로 고전압 대용량이며 높은 신뢰성을 요구받고 있다.

대용량 소자의 신뢰성 진단기술은 최근 반도체 소자의 응용이 확대되고 있는 발전소, 전력저장, 전철 및 지하철 등 국가 기간산업분야에서 전력설비의 효율적인 유지보수 및 예방진단을 위해서는 대용량 소자 신뢰성 진단기술이 필수적이다. 또한 대용량 반도체 소자의 신뢰성진단기술의 확보함으로써 국가기간산업의 전력반도체 응용 전력설비를 예방 진단하는 상시 감시시스템 구축이 가능하게 된다.

안정적인 전력계통운용과 효율적인 유지보수를 위해서는 첫 번째로 신뢰성이 우수한 대용량 사이리스터를 사용, 두 번째는 대용량 소자의 신뢰성 진단 기술을 확보하는 것이다. 전자는 제조사에서 보증하거나 전력설비를 설계할 때 결정되는 사항이며, 전력계통의 안정적인 운용과 효율적인 유지보수를 위해서는 후자가 필요하다.

현재 각종 전력설비에 사용하고 있는 대용량 사이리스터는 경년변화에 따라 전기적 특성 변수인 off 전류/역전류

I_{BM} , I_{FM} , on 전압 V_M , gate trigger 전압, V_{GT} , gate trigger 전류, I_{CT} , gate 비 trigger 전압, V_D , gate 비 trigger 전류, t_b , turn on 시간, t_f , turn off 시간, t_q , 역 회복시간, t_{rr} , 유지전류, I_H 임계 off 전압 상승률 및 dV/dt 가 서서히 변화하고, 이중 on 전압 V_{TM} , 열 저항 R_{th} 는 경년열화에 따라 급속하게 증가하는 것으로 보고하고 있다[1-7].

현재 해남-제주간 HVDC 변환소에서 사용하고 대용량 사이리스터 밸브가 열적으로 고장을 일으킬 수 있는 부분은 그림 1에서 보는 바와 같이 크게 2부분으로 나누어진다. 사이리스터와 사이리스터 동작시 발생하는 열을 냉각시키기 위한 냉각관과 사이리스터의 접촉부이다. 접촉부는 사이리스터의 극을 형성하기 위해 적절한 강도의 벨트로 고정되어 있지만 강도가 저하하면 전기적 접촉저항뿐만 아니라 열저항도 증가하게 되어 사이리스터 동작온도를 초과할 수 있다. 이로 인하여 사이리스터는 온도에 의해 가속열화하게 되어 수명이 단축되게 된다.

사이리스터는 실리콘 웨이퍼를 몰리브덴 금속과 동판을 사이에 두고 세라믹과 금속으로 패키징된 구조로 되어 있다. 장기적으로 사용할 경우 열 저항이 증가할 것으로 추정하고 있다. 특히 실리콘 웨이퍼의 음극(cathode)에 용접(soldering)된 경우 용접부에 포함된 공간(void)이나 이물질로 인한 열 저항이 증가하는 것으로 추정되고 있다. 사이리스터의 패키지 신뢰성을 진단하려면 열 저항을 측정 시스템이 필요하며, 열 저항은 측정된 온도 값으로부터 수학적 모델을 통해 추정해야 하는 어려움이 있다.

본 고에서는 소용량 소자에 적용하는 과동 열응답 특성을 적용한 열 저항 측정장치를 대용량 사이리스터에 시험하여 열 저항을 측정하였다. 열 저항 R_{th} 측정 방법의 이론적인 배경인 열 시스템의 단위계단 응답특성, RC 모델, 이를 이용

[†] 교신저자, 正 會 員 : 전기연구원 선임연구원
 E-mail : ksseo@keri.re.kr

^{*} 正 會 員 : 전기연구원 연구원

^{**} 正 會 員 : 전기연구원 책임연구원

接受日字 : 2005年 4月 1日

最終完了 : 2005年 4月 20日

한 누적, 차분 구조함수, 열저항 측정을 위한 지그, 적용방법, 측정결과 및 분석에 대해서 기술하였다.

이 방법은 사이리스터 패키지 열 시스템의 과도응답 특성을 이용하므로 온도 상승이 작아 소자에 미치는 영향이 적고, 사이리스터에 전력공급을 위한 시스템이 소규모로도 충분하다. 과도응답 특성으로부터 열저항 뿐만 아니라 열용량을 구할 수 있는 여러 가지 장점이 있다.

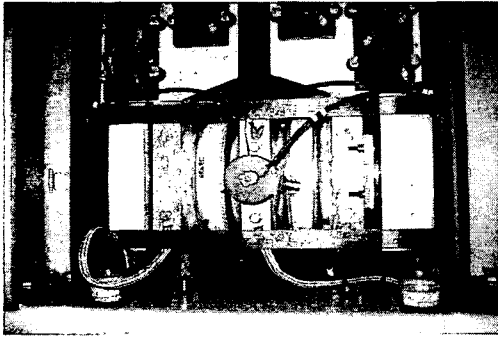


그림 1 해남-제주 HVDC 변환소의 사이리스터 밸브
Fig. 1. Thyristor valve in Haenam-Jeju HVDC converting center

2. 이론적 배경

IC 칩, 개별소자 또는 패키지의 열 특성은 일반적으로 시간 영역에서 측정한다. 측정은 임의의 시간 $t=0$ 에서 순시 전력 P_0 을 패키지 된 소자에 인가한 후 온도 상승 $\Delta T(t)$ 라 하고, 이것을 P_0 로 나눈 함수 $a(t)$ 를 가열곡선(heating curve)이며, 식 (1)과 같이 쓸 수 있다.[8]

$$a(t) = \frac{\Delta T(t)}{P_0} \tag{1}$$

대용량 소자의 패키지를 선형 열적 시스템으로 가정하면 디랙-델타(Dirac-delta) 및 단위 계단함수(unit-step function)에 관련된 응답특성을 표 1과 같이 나타낼 수 있다.

표 1. 선형시스템의 디랙-델타 및 단위계단 응답특성
Table 1. Response characteristics on Dirac-delta and Unit-step to linear system

인가함수	응답함수
$\delta(t)$ Dirac-delta function	$W(t)$ Weight function
$h(t)$ Unit-step function	$a(t) = W(t) \otimes h(t)$ Unit-step response function

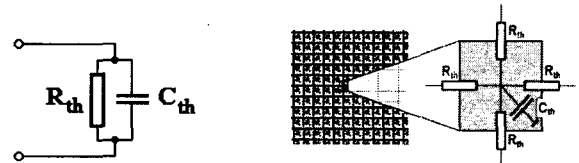
단위 계단 응답은 패키지의 선형 열 시스템을 특성화할 수 있는 필요한 정보를 갖고 있다. 패키지 시스템에 열 단위 계단 함수를 인가한다고 가정하면 열 응답함수 $a(t)$ 는 식 (2)와 같이 쓸 수 있다.

$$a(t) = W(t) \otimes h(t) = \int_{-\infty}^{\infty} W(y) \cdot h(t-y) dy \tag{2}$$

$$\dot{a}(t) = \int_{-\infty}^{\infty} W(y) \cdot h(t-y) dy = \int_0^{\infty} W(y) \cdot 1 dy \tag{3}$$

$$\frac{d}{dt} a(t) = W(t) \tag{4}$$

패키지의 과도 열 응답특성은 통상적으로 그림 2과 같은 $R_{th}C_{th}$ 병렬 연결된 n 개의 $R_{th}C_{th}$ 단(stage)으로 구성된 Foster 모델 또는 Cauer ladder 망으로 기술할 수 있다. 식 (2)의 과도 열 응답함수 $a(t)$ 는 $R_{th}C_{th}$ 단으로 구성하면 식 (5)와 같이 쓸 수 있다.



(a) 간단한 RC 모델 (b) RC 회로로 모의한 열전도 모델

그림 2 간단한 RC 모델과 열전도 모델
Fig. 2. Simple RC and thermal conductivity model

$$a(t) = \sum_i^n R_i \cdot [1 - \exp(-t/\tau_i)] \tag{5}$$

여기서 특성값은 R_{thi} 의 크기와 시상수(time-constant) $\tau_i = R_{thi}C_{thi}$ 로 구성되며, R_{thi} 와 τ_i 를 알면 열시스템(thermal system)을 알 수 있다.

$$a(t) = \int_0^{\infty} R(\tau)[1 - \exp(-t/\tau)] d\tau \tag{6}$$

여기서 $R(\tau)$ 는 시상수 스펙트럼(spectrum)이다. 열 임피던스의 시간축을 $z = \ln(t)$, $\zeta = \ln(\tau)$ 로 두면 $a(t) \rightarrow a(z)$ 변환되고 $R(\tau)$ 는 $R(\zeta)$ 로 된다.

$$\frac{d}{dz} a(z) = \int_0^{\infty} R(\zeta)[\exp(z-\zeta) - \exp(z-\zeta)] d\zeta \tag{7}$$

여기서 $w_z(z) = \exp(z - \exp(z))$ 를 대입하면

$$\frac{d}{dz} a(z) = \int_0^{\infty} R(\zeta) \cdot w_z(z-\zeta) d\zeta = R(z) \otimes w_z(z) \tag{8}$$

로 된다. 시상수 스펙트럼 $R(z)$ 는 식 (8)으로부터

$$R(z) = \left[\frac{d}{dz} a(z) \right] \otimes^{-1} w_z(z) \tag{9}$$

로 된다.

구조함수(structure function)는 시상수 스펙트럼은 Foster RC 모델의 확장으로 가정하면 그림 3에서 보는 바와 같이 된다.

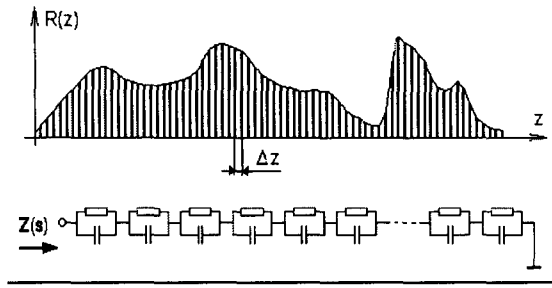


그림 3 이산화된 $R(z)$ 함수와 Foster 모델
 Fig. 3. Discrete $R(z)$ function and corresponding Foster model

일단 $R(z)$ 가 결정되면 열의 이동경로(heat-flow map)를 그릴 수 있으며 식 (10), (11)과 같이 R_{th} , C_{th} 를 구할 수 있다.

$$R_{th} = R(z)\Delta z \quad (10)$$

$$C_{th} = exp(z)/R_{th} \quad (11)$$

Protonotarios and Wing[1]에 의하면 누적 구조함수(cumulative structure function)는 1차원 분산 RC line의 구조를 완벽하게 기술할 수 있다.

$$C_E = f(R_E) \quad (12)$$

여기서 $C_E = \int_0^x c(\xi)A(\xi)d\xi$, $R_E = \int_0^x \frac{1}{\lambda(\xi)A(\xi)}d\xi$, c 는

체적 열용량(volumetric heat capacitance), λ 는 열전도율(thermal conductivity), $A(x)$ 는 선의 단면적이다.

누적 구조함수는 연속체를 Cauer ladder 망으로 기술한 것이며, 시상수 스펙트럼으로 이산화하면 Cauer ladder망으로 된다.

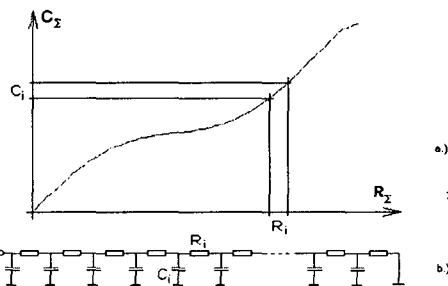


그림 4. 누적 구조함수와 Cauer ladder 모델
 Fig. 4. The cumulative structure function and the Cauer ladder model

그림 3에서 $R(z)$ 스펙트럼으로부터 집중 소자 Foster 모델을 유도할 수 있으며, Foster-Cauer변환을 하면 Cauer 모델로 바뀐다.

차분 구조함수(differential structure function)는 아래의 식과 같이 기술할 수 있으며, IC 패키지의 열전달 경로를 나타내는데 적합하다.

$$S(R_E) = \frac{dC_E}{dR_E} = \frac{cA dx}{dx/\lambda A} = c\lambda A^2 \quad (12)$$

이 함수의 피크(peak)는 단면적 또는 국부적으로 커패시턴

스의 증가를 의미하며 이를 이용하면 패키지 몸체나 냉각부를 경계면을 확인할 수 있다.

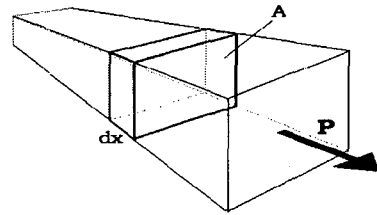


그림 5 구조함수의 이해
 Fig. 5. To the interpretation of the structure function

3. 실험장치 및 결과

그림 6는 사이리스터의 열 임피던스를 측정하기 위한 회로도이다. 여기서 Force는 사이리스터에 전력을 공급하기 위한 source로서 I_{drive} , 측정을 위한 I_{sense} , U_{CB} 는 사이리스터 트리거용 전압원, 사이리스터의 U_F (forward voltage) 측정단 및 power step monitor로 구성되어 있다.

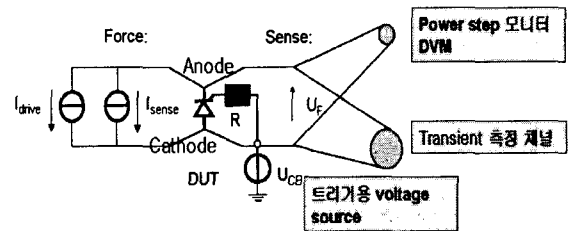


그림 6. 열 임피던스를 측정회로도
 Fig. 6. Measuring circuit for thermal impedance

그림 7은 DUT의 장치구조는 JEDEC의 열저항 측정 규격에 Delphi의 경계조건에 해당하는 DCP1, DCP2, DCP3

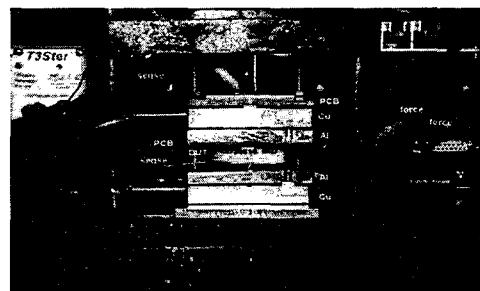


그림 7. 사이리스터 열 임피던스 측정구조
 Fig. 7. Experimental setup for thyristor Z_{th} measurement

배치는 DUT에 다른 열전도도와 열절연이 적용되도록 하였다. DUT의 아노드-force인가, 애노드-검출, cathode-force 및 캐소드-검출을 위한 4-선 구동으로 접속하였다.

- 단면냉각(위→아래)

PCB - Cu plate(Cooler) - Al plate - PCB -

DUT(Thyristor) - Al plate - Cu plate(Cooler) - Al
 - 양면냉각(위→아래)
 PCB - Cu plate(Cooler) - Al plate -
 DUT(Thyristor) - Al plate - Cu plate(Cooler) - Al

위의 PCB는 사이리스터의 애노드 전극과 접지와 전기적 절연을 위해 설치하였고, 구리로 된 냉각판의 찌그러짐을 방지하기 위해 견고한 Al plate를 설치하였다. 일정한 경계조건을 유지하도록 냉각하였다. PCB의 재질은 포미카(formica)인 FR4를 사용하였으며 열전도율은 0.8W/mK이다.

DUT의 정선 온도와 V_{TM} (forward voltage drop)의 관계는 EIA/JESD51-1의 K-factor calibration를 이용하여 측정하였다. 측정 온도범위는 25°C ~ 40°C에서 5°C간격으로 측정하여 아래의 그림 8과 같으며 히스테리시스가 없는 직선성이 우수한 특성을 보였다. K factor는 $\frac{dV}{dT} = 1.953 [mV/^\circ C]$ 이다.

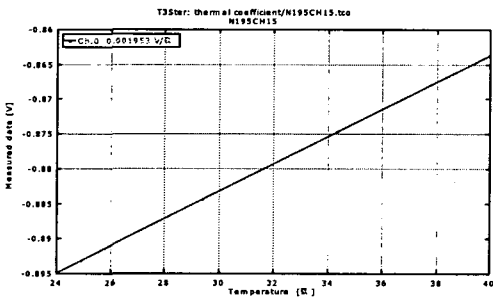


그림 8. N195CH15 사이리스터의 calibration curve
 Fig. 8. Calibration curve of an N195CH15 device

과도 열 임피던스(transient thermal impedance)는 냉각(cooling down) 모드에서 측정하였으며, 정상상태 도달시간은 90초 이내다. 이를 기초로 V_{TM} 측정용 전류는 $I_{sense}=1A$, 소자 가온용 전류 $I_{drive}=20A$, power step=17.6W, $T_{max}=90$ 초 이내 및 sampling/oct=400개로 결정하여 측정하였다. 90 초 동안 측정되는 데이터 포인트는 10,500개이고, 50mV이내의 데이터를 선택하였다. 냉각판 온도는 냉각기(chiller)로 항상 25°C를 유지하도록 하였다.

그림 9는 냉각모드에서 DCR720E16 사이리스터를 측정한 데이터를 과도(transient) 곡선으로 x축은 시간 y축은 온도 상승률이다.

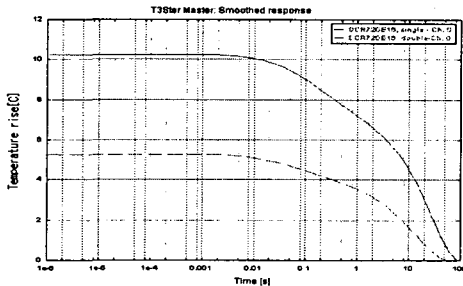


그림 9. DCR 720E16 사이리스터의 냉각곡선(단면 냉각 single, 양면 냉각 double)
 Fig. 9. DCR720E16 device, cooling curves, single side(curve single), double side(curve double)

그림 10는 N195CH15 사이리스터를 냉각모드로 측정된 시간-온도변화 그래프로서 시간 $t=0$ 에서 냉각을 시작하여 100 초 이내에 정상상태에 도달한다.

누적 구조함수는 측정된 열 시스템의 1차원의 열 RC 회로망으로 나타낸 것으로 x축에 열전달계수 y축에 열 용량(system capacitance)로 그린 그래프이다. NID(Network Identification Deconvolution)법을 이용하여 과도영역해석결과로부터 누적 구조함수를 유도할 수 있으며, 이 함수는 접합부에서 주위까지의 열전달경로를 특성화 할 수 있다. 여기서 주위는 일정한 온도를 유지하는 냉각시스템의 냉각판이다. 기울기가 작은 영역에서 낮은 열 용량을 갖는 소량의 물질은 열 저항은 큰 변화를 유발한다. 이 영역은 높은 열전도율 또는 단면적은 작다. 가파른 기울기를 갖는 영역은 낮은 열전도 또는 큰 단면적을 갖게 된다. sudden break는 물질 또는 구조의 변화를 의미한다.

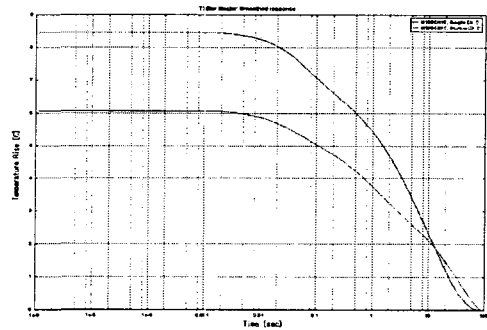


그림 10. N195CH15 사이리스터의 냉각곡선(단면, 양면 냉각)
 Fig. 10. N195CH15 device, cooling curves, single side (curve single), double side (curve double)

측정된 그림 9, 10의 데이터로부터 누적 구조함수를 구하면 그림 11, 12과 같이 구할 수 있다.

표 2. Dynex DCR720E16의 열저항[9]

Table 2 Thermal resistance of Dynex DCR720E16

심볼	parameter	측정조건	최소	최대	단위	
$R_{th(j-c)}$	Thermal resistance - junction to case	양면 냉각	DC	-	0.041	$^\circ C/W$
		단면 냉각	Anode DC	-	0.074	$^\circ C/W$
			Cathode DC	-	0.092	$^\circ C/W$

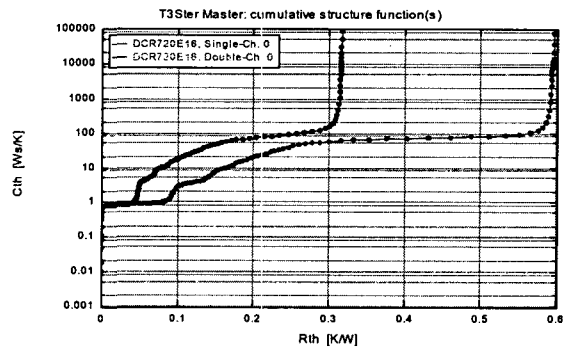


그림 11. DCR720E16의 누적구조함수, 단면냉각 곡선 single, 양면 냉각 곡선 dble
 Fig. 11. DCR720E16 device, cumulative structure functions, single side(curve single), double side(curve double)

그림 11은 DCR720E16 사이리스터의 양면, 단면 냉각했을 때 사이리스터 접합부에서 주위(ambient)까지 열 저항은 각각 $R_{th(j-a)}=0.317\text{ }^{\circ}\text{C/W}$, $0.598\text{ }^{\circ}\text{C/W}$ 이다. 사이리스터 접합부에서 케이스까지의 양면, 단면의 열 저항은 $R_{th(j-c)}=0.051\text{ }^{\circ}\text{C/W}$, $0.101\text{ }^{\circ}\text{C/W}$ 이다.

그림 12은 N195CH15 사이리스터의 양면, 단면 냉각했을 때 사이리스터 접합부에서 주위(ambient)까지 열 저항은 각각 $R_{th(j-a)}=0.317\text{ }^{\circ}\text{C/W}$ (double side), $=0.598\text{ }^{\circ}\text{C/W}$ (single side)이다. 사이리스터 접합부에서 케이스까지의 양면, 단면의 열 저항은 $R_{th(j-c)}=0.101\text{ }^{\circ}\text{C/W}$, $0.051\text{ }^{\circ}\text{C/W}$ 이다.

표 3. Westcode N195CH15의 열저항[10]

Table 3 Thermal resistance of Westcode N195CH15

심볼	parameter	측정조건		최소	최대	단위
		양면 냉각	DC			
$R_{th(j-hs)}$	Thermal resistance -junction to heat sink	단면 냉각	Anode DC	-	0.21	K/W
		단면 냉각	Cathode DC	-	0.092	K/W
		양면 냉각	DC	-	0.095	K/W

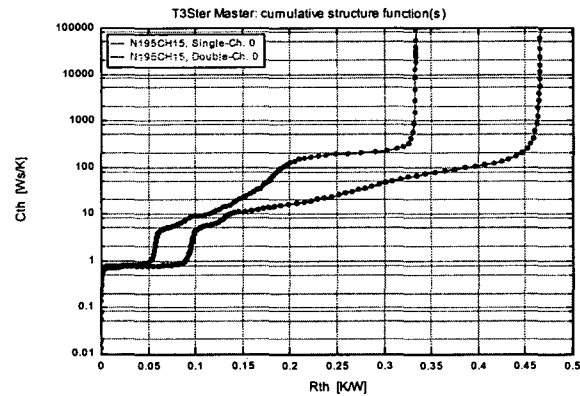


그림 12. N195CH15 사이리스터의 누적구조 함수, 단면냉각 곡선 1Snc, 양면 냉각 곡선 D

Fig. 12. N195CH15 device, cumulative structure functions, single side(curve 1Snc),double side(curve D)

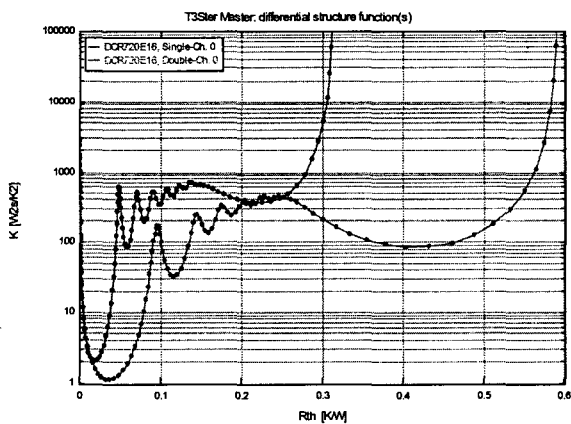


그림 13 DCR720E16의 미분구조함수, 단면냉각 곡선 single, 양면 냉각 곡선 double

Fig. 13. DCR720E16 device, cumulative structure functions, single(curve single), double side(curve double)

그림 11, 12의 사이리스터 누적구조함수를 미분하면 그림 13, 14과 같이 각 물질의 경계면에서 피크가 나타나는 것을 볼 수 있다. 피크를 이용하면 물질의 두께를 파악할 수도 있다.

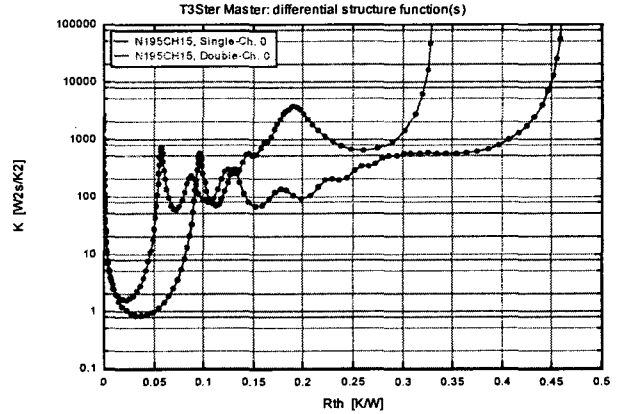


그림 14 N195CH15 사이리스터의 미분구조 함수, 단면냉각 곡선 1Snc, 양면 냉각 곡선 D

Fig. 14. N195CH15 device, cumulative structure functions, single side(curve 1Snc),double side(curve D)

4. 결론

본 논문에서는 사이리스터의 열 응답특성을 열 펄스를 인가하여 열저항 및 열용량을 측정하는 이론적 배경, 측정방법 및 실험결과에 대해서 기술하였다. 시료로서 Westcode, Dynex사의 사이리스터를 이용하였고, 각 사의 데이터시트에서 제시하고 있는 열 저항과 비교하여 10%의 오차를 갖는 타당한 열 저항 측정방법임을 확인하였다.

- 열 저항을 측정하기 위한 방법으로서 과도 영역에서 사이리스터의 열 응답 특성을 열 펄스를 인가하였다.
- 사이리스터의 열 응답특성 분석을 위해 회로이론의 단위 계단응답특성을 이용한다.
- 전력소자의 열 응답 시스템은 Cauer 또는 Foster의 RC ladder network으로 모델링 하였다.
- 누적구조함수로부터 전절에서 기술한 Cauer 또는 Foster의 RC ladder network의 RC값을 구할 수 있다.
- 열 펄스는 사이리스터의 VT값의 히스테리시스 곡선을 이용하였다.
- 위상제어용 사이리스터의 R_{th} , Z_{th} 를 측정하여 각사에서 제시하고 있는 데이터 시트의 R_{th} 값을 비교하여 오차 10%이내에서 잘 일치함을 확인하였다.
- 또한 사이리스터의 누적구조함수와 미분함수를 통해 열 시스템의 체계적인 분석이 가능하다.

정밀한 R_{th} 를 측정하기 위해서는 사이리스터에 맞는 새로운 fixture가 필요하며, fixture는 DUT보다 낮은 R_{th} 를 갖도록 설계되어야 한다. 그렇게 함으로서 짧은 시간에 이루어지는 사이리스터 패키지 내부의 열 이동 현상을 파악하는 것이 가능하다. 또한 패키지 내부의 웨이퍼와 금속간에 발생할 수 있는 계면 열저항의 이상유무를 사전에 검출함으로써 사이리

스터의 경년변화에 따른 R_{th} 의 증가로 인한 사이리스터 사
고를 미연에 방지할 수 있을 것으로 사료된다.

감사의 글

본 연구는 2004년도 전력산업기반 지원본부의 지
원에 의하여 이루어진 연구로서, 관계부처에 감사 드
립니다.

참고 문헌

- [1] 電氣書院 “設備診斷 technique” 電氣書院編集部
- [2] 서길수, 김상철, 김형우, 김남균, 김은동, “HVDC 전력계
통용 대용량 전력반도체 특성평가 장비의 제작”, 대한전
기학회 부산, 경남울산, pp 13-17, 2003. 11.
- [3] 김상철, 서길수, 김은동 “HVDC용 사이리스터 소자의 전
기적 특성 simulation 연구”, 대한전기학회 하계학술대
회, C집, pp 1559-1561, 2003. 7
- [4] 서길수, 김상철, 김형우, 김남균, 김은동, “전력계통용 대
용량 사이리스터의 가속열화 시험법”, 대한전기학회 하
계학술대회, C집, pp 1785-1787, 2003. 7.
- [5] 서길수, 이양재, 김형우, 김상철, 방욱, 김남균, 김은동, 신
의철, “대용량 사이리스터의 전압/열에 의한 가속열화 시
스템” 대한전기학회, 하계학술대회, C집, 2004. 7
- [6] 김형우, 서길수, 김상철, 방욱, 김기현, 김남균, 김은동,
“대용량 전력반도체 소자의 열화진단”, 한국전기전자재
료학회 추계학술대회, 2004. 11
- [7] E.N.Protonotarios, O.Wing: “Theory of nonuniform RC
lines”, IEEE Trans. on Circuit Theory, V.14, No.1, pp.
2-12 (1967)
- [8] MicRED Ltd, “Properties of the structure function and
its use for structure identification and for compact
model generation”, 2000.
- [9] Dynex DCR720 data sheet
- [10] Westcode Data sheet, Phase Control Thyristor Types
N0392WC120 to N0392WC160

저 자 소 개



서길수 (徐吉洙)

1966년 8월 25일생. 1988년 영남대학교
전기공학과(공학사). 1994년 동 대학원
전기공학과(공학 석사), 2004년~현재
부산대학교 전자공학과 박사과정, 1995
년~현재 한국전기연구원 전력반도체그
룹 선임연구원

Tel : 055-280-1532, Fax : 055-280-1590
E-mail : ksseo@keri.re.kr



김기현 (金起鉉)

1975년 9월 14일생.
2002년 경상대학교 전자공학과 졸업(공
학사). 2004년 부산대학교 대학원 전자
공학과 졸업(공학석사). 2004년~현재
한국전기연구원 연구원

Tel : 055-280-1622, Fax : 055-280-1590
E-mail : kihyun@keri.re.kr



김남균 (金南均)

1962년 1월 15일생
1984년 서울대학교 무기재료공학과(공학
사), 1986년 동 대학원 졸업(공학석사),
1990년 동 대학원 졸업(공학박사), 198
7~1988년 독일 Max-Planck연구소 교환
연구원1995~1996년 일본 과학기술청 무
기재질연구소 방문연구원, 1990년 한국전
기연구원 입원, 현재 한국전기연구원 책
임연구원 전력반도체연구그룹장

Tel : 055-280-1625, Fax :055-280-1590
E-mail : nkkim@keri.re.kr



김은동 (金垠東)

1958년 12월 1일생
1980년 부산대학교 재료공학과(공학사),
1982년 동 대학원 졸업(공학석사), 1985
년 KAIST 재료공학과 졸업(공학박사),
1985-1986년 KAIST 연수연구원, 1989-
1990년 프랑스 LGET CNRS 연수연구
원, 1986년 한국전기연구원 입원, 현재
한국전기연구원 책임연구원, 재료응용연
구단장, 에너지관리공단 대기전력 1와트
추진위원회 위원장

Tel : 055-280-1620, Fax : 055-280-1590
E-mail : edkim@keri.re.kr