반도체 패키지의 파손 유형

이 글에서는 점차로 미세화 되어가는 반도체 패키지 내에서 발생하게 되는 파손의 유형을 나누고 각각의 경우에 있어서 파손 발생의 주된 원인과 분석의 실례를 들어서 반도체 패키지의 신뢰성에 대한 전반적인 이해를 돕고자 한다.

이 민 우 / 앰코테크놀러지 코리아 기술연구소, 선임연구원 e-mail : leemw@amkor.co.kr
김 진 영 / 앰코테크놀러지 코리아 기술연구소, 책임연구원 e-mail : jykhim@amkor.co.kr

최근 수 십 년간 반도체의 미세회로 배선 기술의 발달과 이로 인한 고집적화는 현대 전자산업에 있어서 가장 핵심적인 기술 변화로서 전기, 전자, 통신, 정보 등 21세기 신기술의 근간이 되어 왔다. 1965년 페어차일드 연구소장이던 고든 무어는 반도체의 집적도가 18개월마다 2배로 늘어날 것이라 예측했다. 무어의 예측과 유사하게 반도체가 발달해왔고, 또한 최근에는 미세 선폭의 한계라고 불리었던 0.1μm의 선 폭을 넘어 0.09μm까지 개발되기에 이르렀고, 본격적인 나노 선폭의 시대로 접어들었다.

이러한 반도체 디바이스의 고집적-고효율화는 고성능의 packaging 기술에 대한 요구를 증대시켜 왔고, 최근의 반도체 패키징 기술은 종래 과거의 칩에 대한 기계적인 보호 기능에서 벗어나 다양한 구조와 재료를 통해서 디바이스의 열적, 전기적, 성능과 신뢰성(reliability) 및 집적도를 좌우하게 되었다. 그러나 한편으로는 다양한 고집적도의 패키징 구조와 다양한 유기 혹은 무기 패키징 재료들의 사용으로 인해서 종래에는 발생하지 않았던 마이크로 미터 혹은 그 이하 단위의 미세한 파손 및 불량이 발생하고 있으며 이에 대한 정밀한 해석을 통한 반도체와 패키지의 신뢰성 확보의 중요성이 점점 높아지고 있다.

이 글은 최근 개발 및 양산 하고 있는 새로운 패키지들의 구조와 여기에서 자주 발생되는 파손 및 불량 분석의 실제 예들을 통하여 살펴보고, 불량의 주요 원인의 현상 분석 및 이론으로 해석하는 기법을 소개하고자 한다.

반도체 패키지 파손 및 불량 유형

표 1 반도체 패키지 내에서의 파손 및 불량의 분류

파손 유형	파손 명	파손 요인(accelerating factors)
열적 기계적 응력과 변형에 의한 파손	실리콘 칩 파손(die crack)	표면의 요철
	흡습에 의한 팽창 파괴(popcorn fracture)	패키지의 박형화 추세
	계면 박리(delamination)	고온 리플로(reflow)
	패키지 휨(package warp)	기계적인 응력, 충격
	디바이스 내 절연층 파손	열팽창계수의 차이
	솔더 접합부 파손	주기적인 피로(fatigue)
	회로기판의 파손(PCB crack/peel off)	흡습 열팽창에 의한 응력
	크레이터 파손(crater fracture)	
	와이어 파손	
	금속 배선의 파손	
금속접합 계면에서의 파손	금속간 확산 공극(kirkendall void)	금속 접합면의 확산속도의 차이
	금속간 접합상에서의 파손	금속간 상의 취성(brittle intermetallic)
	금속범프의 단락	금속의 연성
표면오염, 화학반응	표면 오염(contamination)	부식성 환경(corrosive atmosphere)
	표면 변색(discoloration)	온도(temperature)
	부 식(corrosion)	상대습도(relative humidity)
	금속 산화(metal oxidation)	공정상 이물질(foreign materials)
	접착력 저하(non-adhesion)	표면 조도(surface roughness)
	땜납 젖음성 저하(non-wetting solder)	젖음성 방해 오염물질
전기 혹은 전기화학적 이동	금속 이온 성장(dendrite growth)	이온 불순물 (reactive ionic impurities)
	전류에 의한 금속 내 이동(electromigration)	전류 밀도 분포
	무전해 금속 결정 성장(electroless dendrite)	패키지 및 배선의 조밀화
		온도와 습도조건

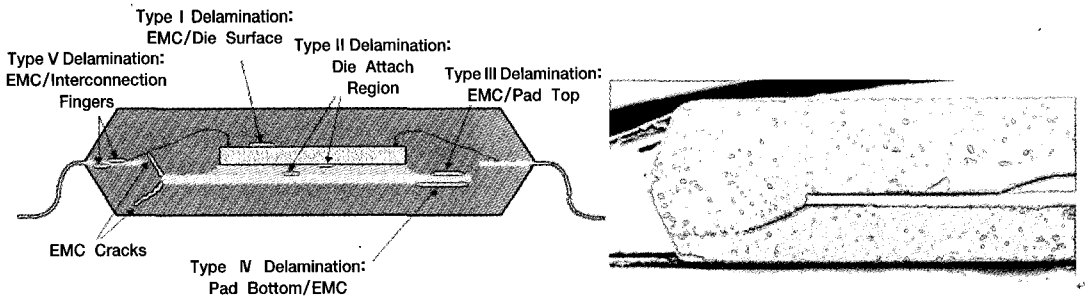


그림 1 JEDEC 표준에 따른 리드프레임 패키지 파손의 유형 분류와 파손이 실제 발생한 패키지의 단면

반도체 패키징 공정에 있어서 주요한 불량 및 파손의 유형을 표 1에 정리해 놓았다. 불량유형별로 열이나 기계적 응력 또는 외부 혹은 내부의 충격에 의한 파손, 금속간의 접합 계면에서의 확산속도의 차이나 접합용 금속의 시효나 열변형 등에 따른 물성의 변화로 인한 파손과 표면의 화학적 오염으로 인한 불량 및 파손, 특정조건에서 온습 조건 하에서 장시간 전류를 흘릴 때 발생하는 불량 및 파손 등에 대하여 실제적인 예를 들어서 설명하고 관련된 파손에 대하여 효과적으로 분석하고 이해할 수 있는 기법에 대하여 소개하겠다.

열적 기계적 응력 및 피로에 의한 파손

열적 기계적 응력과 피로로 인한 반도체 패키지의 파손의 문제는 가장 궁극적이고도 여전히 숙제로 남아있는 항목이다 그림 1에서는 일반적인 리드프레임 패키지에서의 파손의 유형을 도식화하였다. Type I에서 Type IV의 여러 유형은 일본 전자공업협회(JEDEC)의 규정에 따라서 분류되었다. 사진에서는 주어진 흡습 조건을 거친 후 땜납 접합을 위하여 리플로 시 증기압에 의한 급격한 열팽창 응력으로 인해 발생한 패키지의 파손 부분의 실제 단면을 나타낸다. 실리콘 다이 접합부(Type II)와 몰드 컴파운드(EMC)와 리드프레임 패드 윗부분(Type III)과 아랫부분(Type IV) 그리고 몰드 컴파운드의 파괴 및 실리콘 다이의 파괴까지 일어난 것을 볼 수 있다.

앞에서도 언급하였듯 이러한 흡습으로 인한 리플로 시 발생한 증기압에 의한 응력으로 패키지가 파손되는 경향에 대하여 그림 2에서 잘 보여준다. 그림 2의 그래프는 PBGA 27x27mm 패키지에서 85℃ 85RH(Relative Humidity) 항온 항습 조건 하의 시간에 따른 흡습 경향을 보여준다. 시간에 따라서 패키지 내의 흡습이 증가하는 것을 볼 수 있으며 이에 따라서 PBGA의 박리로 인한 파손의 양상도 증가하는 것을 비파괴 초음파 검사(SAT)로 확인할 수 있다.

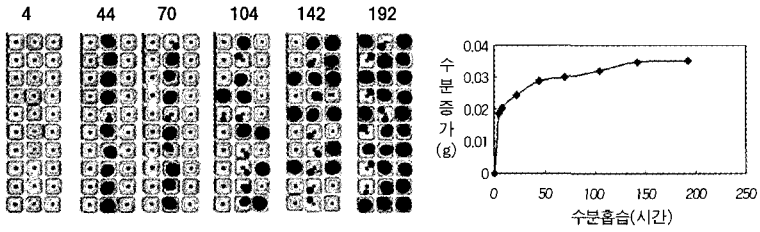
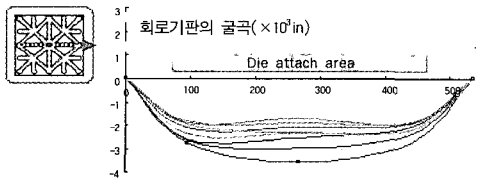


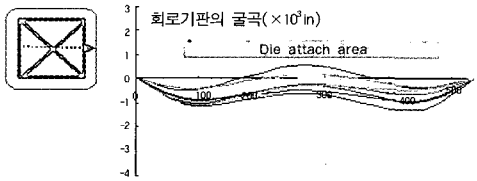
그림 2 리플로(240℃)시 흡습 시간에 파손 경향에 대한 초음파검사 결과. 그래프는 시간에 따른 흡습량(85℃ 60 상대습도)

패키지 균열 및 파손의 문제 중에서 가장 치명적인 파손 중의 하나로 실리콘 다이의 파손을 들 수 있다. 경우에 따라 다를 수는 있으나 주로 다이의 파손은 패키징 공정도중, 특히 몰드 공정에서 주로 발생한다. 주로 균일하지 않은 하중을 받게 되는 구조에서 몰드 공정시의 보압(packing)시 발생하는 경우가

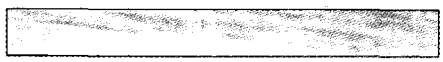
있고 또 몰드 공정 직후 몰드와 몰드 금형의 이형성이 떨어질 경우 생기는 응력에 의하여 파손이 나는 경우도 보고된바 있다. 그림 3에서는 플랙시블 회로기판의 다이 접착 부분의 굴곡의 경향을 측정한 것을 겹쳐서 그래프로 나타내었다. 솔더 마스크 잉크의 패턴에 따라서 다이의 접착과 경화후의 굴곡이 다른 것을 볼 수 있다. a)가 솔더 마스크의 도포면적이 많은 반면 b)는 훨씬 적은 경우인데 다이 접착부에서의 굴곡은 a)가 평평한 반면 b)는 가운데가 올라온 형상이다. 바닥에서부터 약 1mil (25μm) 정도의 단차를 가지는데 이와 같은 경우 몰드 공정시 보압이 1,000psi까지 높이 올라갈 때 굴곡이 가장 높은 부분에서 사진과 같은 다이의 파손의 양상을 볼 수 있다. 수 μm~수십 μm의 미세한 단차로 인하여 발생한 응력의 차이로 인해 치명적인 불량을 유발할 수 있다는 것을 알 수 있다.



(a) 별형 솔더마스크 패턴



(b) X형 솔더마스크 패턴



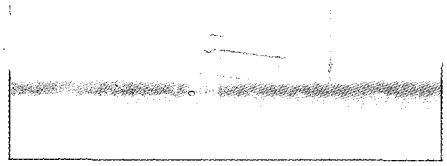
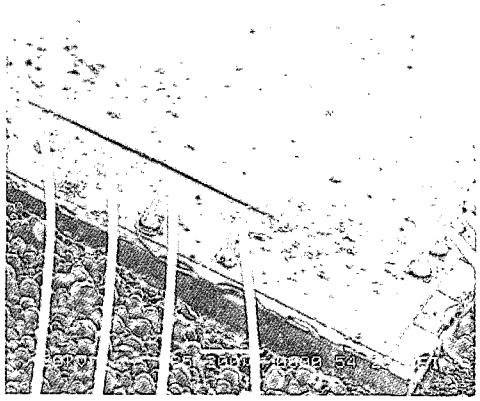
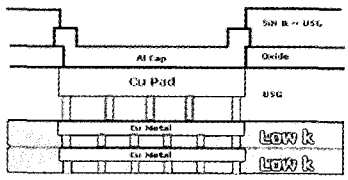


그림 3 플렉시블 회로기판의 솔더마스크 패턴에 따른 다이 접착 후의 굴곡의 변화와 b) 에서 발생한 실리콘 다이의 파손에 대한 광학현미경 사진





Low K 층의 구조

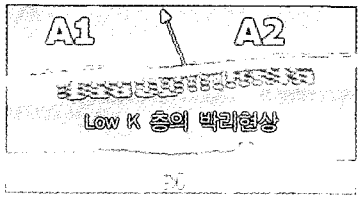
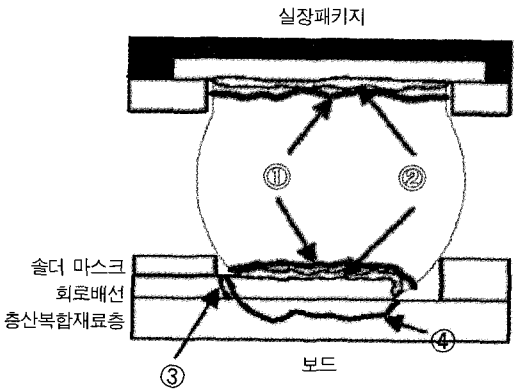


그림 4 주기적인 온도변화 테스트를 통하여 발생한 low K 층에서 발생한 박리현상

그림 4에서는 실리콘 다이 내에서의 low K 절연층이 패키징이 끝난 상태에서 주기적인 열응력을 받아서 파손된 것을 보여준다. Low K 절연층의 응용은 기존의 알루미늄 배선과 실리콘 산화층을 절연막으로 사용하였을 때의 디바이스의 속도의 한계를 극복하기 위한 방안으로서 알루미늄 배선보다 저항이 낮은 구리배선과 실리콘 산화막보다 더 낮은 유전상수(keff)의 재료를 사용한다. 그러나 Low K 층의 기계적인 물성의 취약함으로 인해 많은 경우에 있어서 기존에는 문제가 되지 않았던 공정 변수들과 패키지 신뢰성 문제에서 고려해야 될 사항들이 대두되고 있다. 그림 4에서 보이는 파괴상황도 실리콘 다이 표면을 덥고 있는 몰드 컴파운드와 실리 콘 다이의 표면에서의 열팽창계수의 차이에 따른 주기적인 응력으로 상대적으로 기계적물성이 떨어지는 Low K

표 3 솔더 접합 구조에서의 파손 양상

분류	변형의 원인	불량 유형	불량 요인
주기적인 온도변화	열팽창 계수의 차이	솔더내부	피로로 인한 크리프
		금속간 접합부	과도 응력
회로기판의 휨, 주기적 휨, 진동	패키지와 보드의 상대적인 변위	솔더내부	피로로 인한 크리프
		금속간 접합부	과도 응력
		회로배선 기판의 유전체	솔더 합금 또는 금속간 상의 강도 회로기판의 소재들의 물성
충돌, 낙하실험	높은 가속도, 큰 변위	금속간 접합부	과도 응력
		회로배선 기판의 유전체	솔더 합금 또는 금속간 상의 강도 회로기판의 소재들의 물성
볼의 전단시험	외부 전단응력	금속간 접합부	전단속도에 의존함
		솔더 내부	전단속도에 의존함



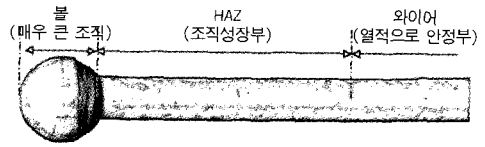


그림 5 골드와이어의 HAZ(Heat affected zone)

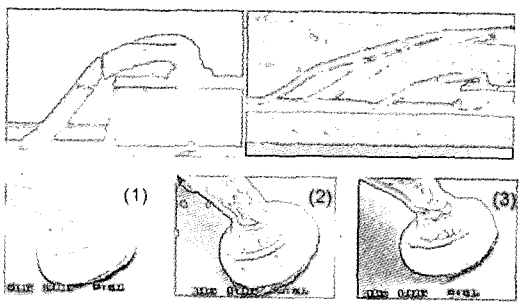


그림 6 낮은 궤적의 골드와이어 접합 시의 불량 (1) 정상 (2) 볼 넥(neck)에서의 손상 (3) 볼 넥(neck)에서의 파손

층에서 파손이 일어난 것을 볼 수 있다.

이와 같이 low K층의 응용은 실리콘 디바이스를 생산하는 관점에서뿐만 아니라 패키징과 그 신뢰성 관점에서도 적절한 공정과 소재를 개발하기 위하여 많은 연구가 필요한 상황이다.

기계적인 파손으로 인해 패키징의 신뢰성에 가장 큰 영향을 줄 수 있는 불량으로서 디바이스의 전기적인 신호를 전달하는 역할을 하는 전기적 신호전달에 필요한 금속 접합 물질의 파괴라고 볼 수 있다. 패키징에서 사용되는 대표적인 금속으로 솔더와 골드와이어를 들 수 있다. 각각의 접합은 기계적인 물성 또한 열 혹은 응력의 영향으로 파괴를 일으키거나 신뢰성의 저하를 가져온다.

그림 5에서는 골드와이어가 방전을 통하여 와이어 말단에 골드 볼을 형성하였을 때 열에 의해서 골드와이어의 물성이 영향을 받는 지역인 HAZ(Heat Affected Zone)을 나타낸다. HAZ에서는 금속의 Grain의 크기가 상대적으로 커지며 약 20% 정도의 기계적 강도의 감소를 가져오게 된다. 보통 25μm의 직경의 골드 와이어의 경우 grain의 크기가 약 2μm 정도인데 반해 HAZ내에서는 4~6μm으로 커진다. 이러한 HAZ의 형성길이는 와이어의 도판트의 종류에 따라 달라지나 보통 100~200μm 정도 형성되는 것으로 알려져 있다. 최근에는 패키징의 구조가 더욱더 박형화 되고 실리콘 다이를 적층하는 구조의 발달로 그림 6에서 보는 바와 같이 와이어의 괘적의 높이를 낮추는 것이 필요하다. HAZ의 형성 및 grain 크기의 변화는 이와 같은 낮은 괘적의 와이어 형성시 와이어 볼의 상단에 기계적인 파손을 가져 올 수 있다. 하단의 와이어 볼의 상단부의 사진을 보면 우측으로 갈수록 기계적 파손이 심한 정도를 보여주고 있다.

와이어 본딩 공정과 더불어 전기적 신호전달을 위한 가장 중요한 공정중의 하나가 솔더 볼(solder

ball) 또는 범프(bump)를 이용한 금속접합이라고 볼 수 있다. 표 3에서는 이와 같은 솔더 볼에서 발생할 수 있는 파괴 양상을 정리하였다. 이와 같은 파괴의 원인으로는 주기적인 온도 변화로 말미암는 열팽창률의 차이나 기계적인 변형 등으로 인한 응력발생이 원인이 된다. (1)은 솔더 볼의 중간에서 파괴가 일어나는 경우를 보이며 주로 주기적인 응력으로 인한 creep 변형 및 피로(fatigue)에 기인한 경우가 많다. (2)는 금속간 상에서 발생하는 파괴를 나타내는데 주로 과도한 응력(overstress)이 금속간 상에 집중될 때 이와 같은 현상이 발생한다. 간혹 (3)과 같은 PCB구리 배선의 파손이나 (4)와 같이 ball land 밑의 유전체에서 파손이 일어나는 경우도 있는데 이것은 어떠한 종류의 솔더 볼을 사용하였고 형성된 금속간 상의 강도 및 Board 쪽의 설계상의 특징이나 board를 구성하는 유전체들의 물성등에 의해서 양상이 달라지게 된다. (3)과 (4) 같은 양상은 주기적인 기계적인 변형을 주는 실험, 즉 굽힘(bend)이나 진동(vibration) 낙하(drop)시험에서 주로 볼 수 있는 파손 양상이고 주기적인 온도변화에 의한 피로 하에서는 (1)과 (2)의 양상이 일반적이다. 이상의 솔더 접합의 파손과 관련된 내용을 표 3(그림 포함)에 정리하였다.

금속간 상 형성 및 확산에 의한 파손

디바이스의 전기적인 신호를 전달하는 패키징의 중요한 기능을 생각할 때 금속간 상(intermetallic)에 대한 이해는 금속접합부에서의 파괴의 현상을 이해하는 데 매우 중요하다. 이러한 금속간 상의 형성과 성장은 반도체 패키징의 전기적 기계적 신뢰성에 중요한 영향을 미치게 된다. 그림 7에서는 최근에 많은 연구와 개발이 이루어지고 있는 무연 솔더(SnAgCu) 접합 층에서의 주기적인 열적인 변화(-40 ~125℃)를 주는 실험에서 발생한 파괴현상을 보여준다. 접합부에서 금속간 상의 grain이 상대적으로 솔더의 grain보다 조밀하기 때문에 금속간 상 부근의 솔더의 주성분인 Sn이 재결정화되며 이것으로 인해서 grain boundary가 상대적으로 취약해지게 되어서 약해진 경계면으로부터 파괴가 시작된다. 주기적인 열적인 변화의 시험에서는 이와 같이 금속간 상의 바로 윗부분의 솔더 내부에서 파괴가 시작되고 전파되는 것으로 보고 있으며 무연 솔더의 조성별 종류별로 수많은 연구가 이러한 관점에서 진행되고 있다.

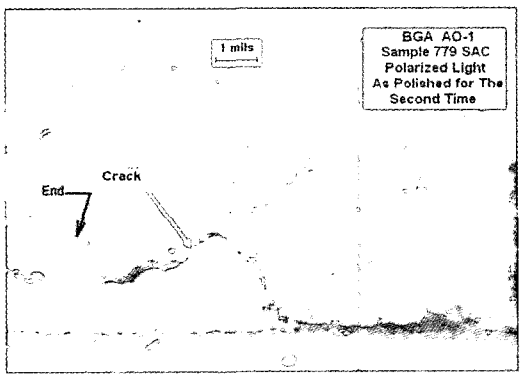


그림 7 Sn3.8Ag0.7Cu 솔더와 금속간 상 주변의 입계 경계면 위쪽에서 최초 파손이 시작되는 것을 보인 그림. CBGA -40℃ to 125℃ at 761 cycle. D. Henderson (TMS2004)

그림 8은 BGA 패키지에서 회로기판의 Au와 Ni 도금이 되어 있는 구리 배선에 접합된 63%Sn/37%Pb Eutectic Solder ball의 240℃에서의 금속간 접합 후 접합면에서 보이는 금속 확산에 대하여 EPMA를 수행한 경우이다. 좌측 상단의 SEM image에서 보이는 금속간 결합에 대하여 EPMA 원소별 mapping을 통하여 인쇄 회로 기판의 금속 패드(Cu) 위의 도금 층인 Ni, Au의 확산경향을 볼 수 있다. Au는 Soldering 공정이 끝났을 때 이미 빠른 속도로 확산되어 ball의 전 영역에 분포되어 있는 것을 볼 수 있고 Ni은 상대적으로 느린 확산속도를 인하여 접합 계면에서 solder ball 쪽으로 수 μm확산된 것을 볼 수 있다. Ni이 barrier 층으로 역할을 하게 되어 Cu ball pad는 확산이 일어나지 않은 것을 볼 수 있으며, Ball 영역의 Sn과 Pb는 각각의 rich영역을 이루며 고르게 분포하고 있는 것을 볼 수 있다. 특히 Au가 확산되면서 AuSn4를 형성하게 되는데 이 화합물은 취성이 높아서 회로기판의 과도한 Au 도금은 패키지를 mother board에 실장 후 결합신뢰성을 약화시키는 원인이 된다.

그림 9에서는 그림 8과 동일한 경우에 있어서 무연 솔더(Sn/3.5%Ag/0.75%Cu)의 금속간 확산 현상에 대한 EPMA mapping 결과를 나타내었

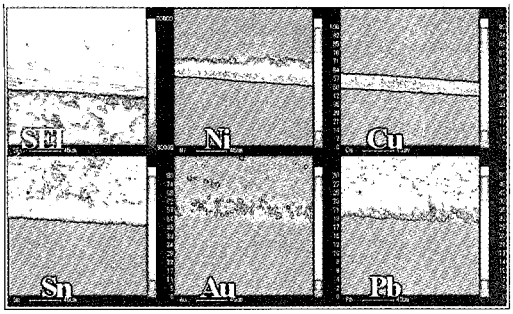


그림 8 Ni/Au ball pad에 솔더링 된 Sn/Pb 솔더의 EPMA mapping 결과

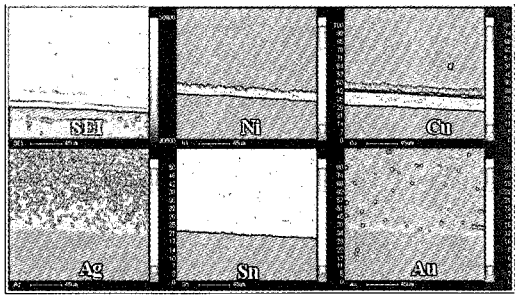


그림 9 Ni/Au ball pad에 솔더링 된 무연 솔더(Sn/3.5%Ag/0.75%Cu)의 EPMA mapping 결과

다. Eutectic 솔더와의 차이점을 살펴보자면 우선 Sn과 Ag가 Ball 전체에 고르게 퍼져 있는 반면에 lead free ball 내에 존재하고 있는 0.75%의 Cu가 Ni층 쪽으로 확산되어 Cu와 Ni과 Sn의 Ternary intermetallic층을 형성하는 것을 볼 수 있다. 보통 $(Cu,Ni)_6Sn_5$가 형성되는 것으로 문헌상에 알려져 있다.

EPMA를 통해서 solder ball뿐만 아니라 Au wire와 Al pad, 최근에 응용되는 Cu 배선과 관련된 Cu pad와 Au나 Cu wire의 현상, 도금층 내의 확산 및 flip chip용 bump 형성시 UBM(Under Bump Metal) 내에서의 현상 등, 반도체 패키지 내에 존재하는 다양한 금속 접합층의 확산현상을 분석할 수 있다.

금속결합에 있어서 주요한 파손 형태 중에서 또 다른 양상은 금속간 상의 확산의 속도의 차이에 의해서 금속접합 사이에 공극(void)이 발생하게 되어 전기적으로 기계적으로 불량이 발생하는 경우가 있다. 와이어 본딩에 널리 사용되는 금속 소재인 Au(wire)와 Al(Aluminum pad)에서는 두 금속간의 결합 후 농도차에 의한 확산현상이 일어나는데, Al의 확산속도가 Au보다 빠르다. 이로 인해 장시간의 고온에서의 시효(aging)시 AuxAly의 형태의 다양한 금속간 상을 형성하게 되고 이러한 확산속도의 차이에 의해서 공극이 생기게 된다. 이와 같이 금속간 상에서의 확산속도의 차이에 의해서 발생되는 공극으로 인한 파손을 Kirkendall voids로 인한 파손이라고 한다.(그림 10)

이와 같은 파손의 예는 또 다른 금속접합의 형태인 솔더와 솔더와 접합되는 금속패드 간에도 발생한다. 그림 11은 BGA(Ball Grid Array) 패키지를 SnAgCu 무연 솔더를 사용하여 PCB의 Cu pad와 접합한 후 drop test를 시행하였을 때의 결과를 나타낸 그래프이다. Y축은 파손의 개수가 전체의 50%를 넘었을 때의 drop 시험 반복 수를 나타내며 X축은 125℃에 얼마나 오래 시효 시켰는지를 나타낸다. 결과에서 볼 수 있듯이 시효시간이 10일이 지나면서 급격하게 drop의 반복적인 충격에 대하여 견디는 횟수가 급감하는 것을 볼 수 있다. 이는 열적인 시효에 의해서 금속간 상의 변화가 있었음을 보여준다. 그림 11에서는 이와 같은 현상에 대하여 잘 보여주고 있다 3일간의 시효시간이 지난 후의 Cu와 SnAgCu 무연솔더의 금속간 상에서의 확산 차이로 인하여 공극이 발생하였고 10일간의 시효 후에는 이 공극이 더 커지는 것을 볼 수 있다. 이러한 금속 확산의 차이에 의한 Kirkendall void의 성

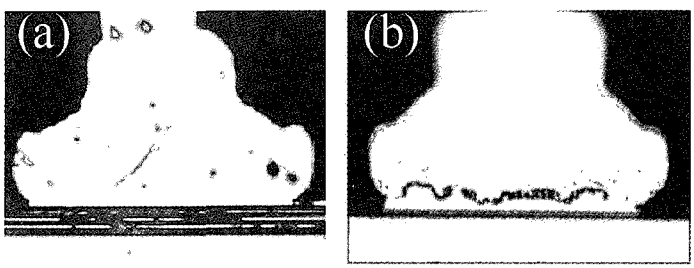


그림 10 Au wire와 Al pad의 금속간 결합 단면, (a) 패키징 공정 직후 Au-Al bonding (b) voids failure HTS(500hrs) 테스트 후의 발생한 Au-Al Kirkendall

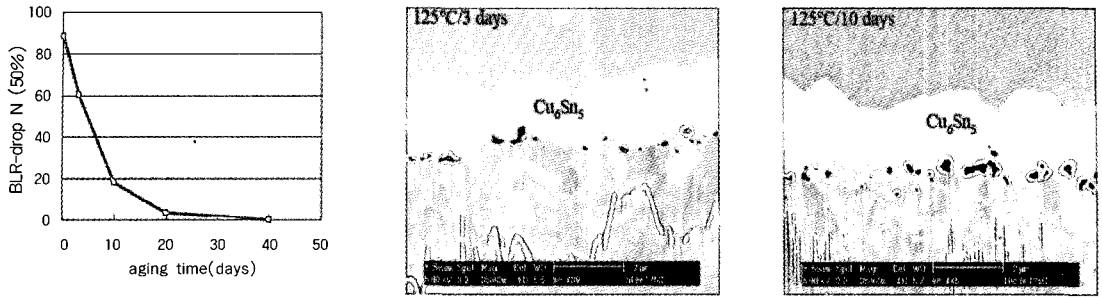


그림 11 시효 시간에 따른 Drop 시험의 성능비교 125°C 3일보다 10일 지났을 때 void가 증가한다

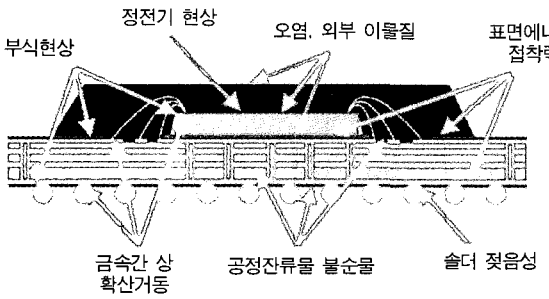


그림 12 계면의 특성으로 인해 발생하는 파손의 양상에 대한 도식(PBGA)

장으로 인하여 drop test에서 발생하는 기계적인 응력에 상대적으로 쉽게 파손이 일어나는 것을 볼 수 있다.

기타 표면 오염, 전기 화학적 반응 등으로 인한 파손

반도체 패키징에서 미세 전자소자의 신뢰성에 있어서 가장 중요한 인자들 중의 하나가 각 물질이 접촉되거나 접합되는 표면의 청결(surface cleanness)이다. 표면에 미세한 이물질이나 유기, 무기 오염층, 혹은 부식 및 산화층에 의해서 소재간의 접합특성은 현저한 차이를 보이기 때문이다..패키징용 재료로 널리 사용되는 에폭시계열 접착제와 복합재료들은 표면에 이물질이 있는 경우 정상적인 신뢰성을 기대하기 어렵다. 그림 12에 표면의 화학적 변화에 의해서 발생할 수 있는 불량 및 파손의 종류와 그러한 현상을 가속화시키는 인자들에 대하여 정리하였다.

표면오염에 의한 불량의 한 예로 도금층의 불량에 의한 접합파손을 들겠다. 그림 13은 μBGA용 회로기판의 도금된 구리배선의 표면을 나타낸 것이다. 광학 현미경으로 보았을 때 (a)의 경우에는 밝은 금빛을 나타내고 정상적으로 도금층이 형성된 것을 볼 수 있었으나 (b)의 경우에는 광택이 흐리고 변색이 된 것을 볼 수 있었으며 solder ball 접합이나 wire bonding을 시행할 경우 접합력이 떨어지는 것을 볼 수 있었다. 원소 분석과 도금층별

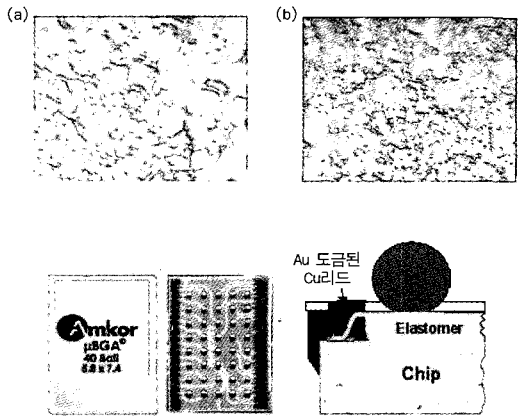


그림 13 (a) 정상적인 μBGA ball pad (b) 변색이 일어난 μBGA ball pad

분석이 가능한 AES를 이용하여 depth profiling을 수행하였고 이를 통해 (b)에서 Ni과 Au로 도금하기 전에 Cu 표면이 산화되어서 문제가 되었음을 확인할 수 있었다.

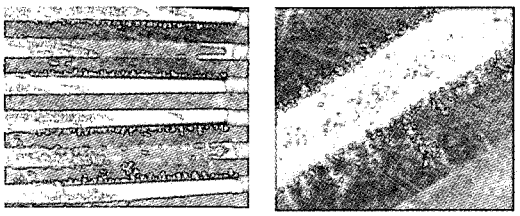


그림 14 반도체 도선에서의 전기화학적인 금속이동
(electrochemical migration of Cu leads)

이러한 불량요인은 구리배선의 pattern이 완성된 후 형성된 산화막의 제거를 위해 도금 전에 수행하는 표면 전처리 공정이 불완전하거나 보통 인쇄 회로 기판에서 Cu와 Au의 상호 확산을 막는 역할을 하는 Ni plating을 μBGA 구조의 특성상 하지 않음으로 인하여 생긴 확산 및 공정시 열이력에 의한 산화막 성장으로 인한 것임을 추정할 수 있다.

전기 또는 전기화학적 금속 이동현상 또한 외적인 파손은 아니지만 장기신뢰성 측면에서 매우 중요한 파손 형태이다. 반도체 패키지 내에서의 도선들은 전류의 흐름에 의하여 도선 주변에 전기장이 형성된다. 이러한 전기장 하에서 온도와 습도조건에 의해 금속배선에서의 이온화가 발생하고 이온화된 금속 이온들이 이동하여 반대편 전극역할을 하는 도선에서 전자를 받아서 환원이 된다. 이러한 현상이 장시간 지속되면서 도선 한쪽에서는 이온화되는 현상이 반대편에서는 금속이 마치 나뭇잎 형상으로 전기적으로 환원되어서 자라서 결국 전기적인 합선을 일으키는 불량을 발생시키게 된다. 이와 같은 불량을 전기 화학적인 금속이동(electro chemi cal migra tion) 혹은 dendrite 성장이라고 한다.(그림 14)

인쇄회로 기판에서의 금속 dendrite의 성장은 말할 것도 없이 반도체 디바이스의 가장 치명적인 오류를 가져오는 원인 중에 하나이기 때문에 그 현상에 대한 관찰과 발생원인을 정확하게 분석하고 재발하지 않도록 관리하는 것은 반도체 디바이스의 장기적인 신뢰성을 확보하는데 매우 중요하다.

그림 15는 인쇄회로 기판 내에서 전류를 가하지 않은 non-biased HAST test (130℃/85% R.H./72hrs)을 거치고 난 후에 발생한 dendrite를 나타내었다. Dendrite가 약 50~100μm 정도 금속배선에 전체적으로 가느다란 실처럼 성장한 것을 확인 할 수 있으며 일부 배선에서는 각 배선에서 성장한 dendrite가 서로 닿을 정도로 성장한 것도 관찰 되었다. EDS test를 통해서 발생한 dendrite의 원인을 분석한 결과 Cu혹은 Cu의 산화물로 추정되었다. 또한 이온 크로마토그래피를 통해 이온 불순물을 측정한 결과 일반적인 함량을 초과하는 양의 이온이 검출되었으며, 이같이 비정상적으로 많은 이온 불순물은 고온고습의 조건에서 구리배선의 측면에 노출되어 있는 구리의 표면에서 일어난 부식반응과 무전해 precipitation에 의한 것으로 추정 된다.

금속의 이동으로 인하여 발생하는 접합 불량가운데 전류밀도차이에 의해서 플립칩 솔더 범프와 같은 구조에서의 불량을 예로 들 수 있다. 그림 16에서는 Al으로 구성된 좁은 배선을 따라서 전류가 이동하다가 솔더 범프를 통해서 하부 PCB기판으로 전류가 흐를 때 위치별 전류밀도 차이를 보이고 있다. 모사된 결과를 볼 때 Al 배선과 솔더범프의 연결 부분에서의 전류밀도가 타 지역에 비해 매우 높게 나타나는 것을 볼 수 있다. 이러한 전류의 흐름의 불균일적인 분포는 지속적으로 오랜 시간 디바이스가 작동하는 동안 지속적으로 솔더 범프 내에서의 금속 이동을 야기시킨다.

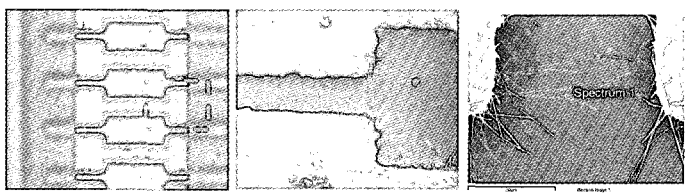


그림 15 전류를 가하지 않은 HAST(130℃/85%R.H./72hrs) 테스트 후 전자현미경으로 본 반도체 패키징용 회로기판의 배선 사이에서 발생한 전기 화학적인 금속이동 현상

오른쪽 전자현미경 사진은 실제로 플립칩 범프에서 실험한 결과 나타난 솔더 범프 내의 금속의 이동의 현상을 시간 별로 나타낸 것이다. 시간에 따라서 전류밀도가 가장 높은 범프의 오른쪽 윗부분에서

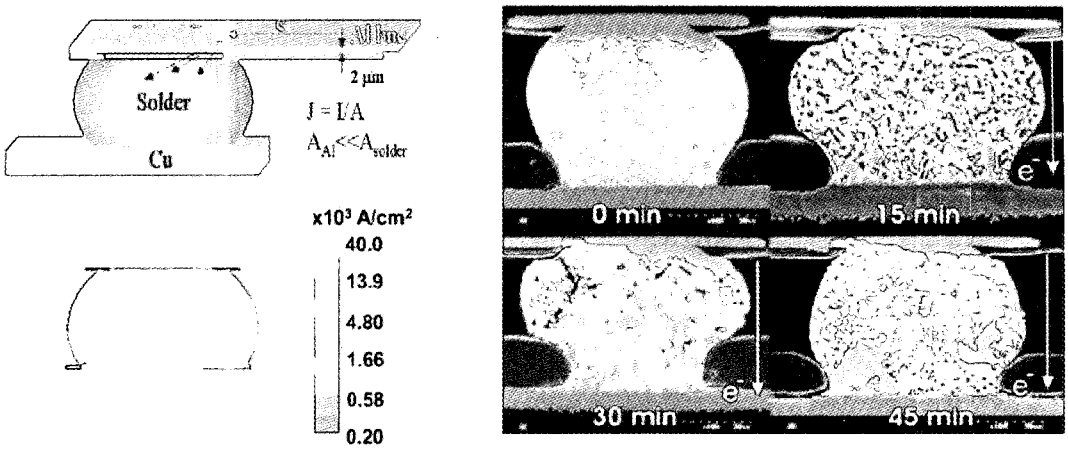


그림 16 2차원 전산모사에 의한 플립칩 솔더 범프에서의 전류밀도 분포와 실험에 의해서 시간 별로 솔더 내부에서의 전류의 흐름에 의한 금속의 이동

UBM(Under Bump Metallization)으로 사용된 Cu와 Sn의 intermetallic인 Cu_6Sn_5가 전자가 흐르는 방향으로 밀려 내려오는 것을 관찰할 수 있다. 이러한 경향은 가느다란 Al 도선과 넓은 솔더 범프가 연결되는 부위에서 가장 심하게 일어나고 이 부분에서의 금속간 상의 이동이 가장 활발하게 일어나게 되므로 궁극적으로는 금속의 고갈을 가져오게 되어 단선을 일으킬 위험이 있게 된다.

맺음말

지금까지 반도체 패키지에서 발생하는 주요한 파손들을 양상별로 분석하여 정리하여 보았다. 반도체 패키지의 특성상 짧은 지면에 정리하기에는 부족할 정도로 실제로는 더욱더 다양하고도 복합적인 파손이 생산현장에서 끊임없이 발생하고 있으며 이를 규명하기 위하여 각 학계 및 산업체에서 연구와 실험 및 특성화 작업들이 활발하게 진행되고 있다. 이와 같은 양상은 반도체의 집적도의 증가와 더불어 전기적 열적 기계적인 신뢰성을 주는 동시에 더욱 박형화되고 소재와 특성과 구조가 다양화되는 앞으로의 동향을 비추어 볼 때 앞으로 더욱 심화될 전망이다. 따라서 기존의 기본적인 파손의 양상을 이해하고 원인을 정확히 분석하는 방법을 숙지하는 것은 향후 반도체 패키지의 개발 및 반도체 디바이스의 성능과 신뢰성과 생산성을 높이는 데 매우 중요하다고 볼 수 있다.

따라서 반도체 디바이스와 더불어 반도체 패키징에서의 불량 및 파손 양상에 대한 전문가 양성과 이를 재현하고 이론적으로 규명할 수 있는 분석장비 및 전산모사의 활용, 또한 연관된 연구 지원과 지속적으로 규명되는 파손 및 불량의 양상에 대한 정보에 대한 수집, 관리 및 체계화 하는 작업이 필수적이라는 것이 필자의 견해이다. 이를 위하여 학계와 연구소 및 산업체간의 다양한 협력과 정보교류, 관련 콘소시움 등을 통해서 활성화 되어야 할 것이다.

기계용어해설

엔코더(Encoder)
서보모터 등 직선 및 회전 위치 제어 서보 시스템에 필요한 길 및 각 위치 센서