

RSFQ Toggle Flip-Flop 회로의 최적화를 통한 Program Counter의 개발

Development of Program counter through the optimization of RSFQ Toggle Flip-Flop

백승헌*, 김진영**, 김세훈***, 강준희#

Seung Hun Baek*, Jin Young Kim**, Sehoon Kim***, Joonhee Kang#

Abstract: We has designed, fabricated, and measured a Single flux quantum (SFQ) toggle flip-flop (TFF). The TFF is widely used in superconductive digital electronics circuits. Many digital devices, such as frequency counter, counting ADC and program counter be used TFF. Specially, a program counter may be constructed based on TFF. We have designed the newly TFF and obtained high bias margins on test. In this work, we used two circuit simulation tools, WRspice and Julia, as circuit optimization tools. We used XIC for a layout tool. Newly designed TFF had minimum bias margins of +/- 37 % and maximum bias margins of +/- 99 %(enhanced from +/- 85 %). The designed circuits were fabricated by using Nb technology. The test results showed that the re-optimized TFF operated correctly on 100kHz and had a very wide bias margins of +/- 63 %.

Key Words: digital, superconductivity, Josephson junction, Toggle flip-flop, program counter, Single flux quantum.

1. 서 론

초전도 전자소자는 현재의 반도체 소자가 가지고 있는 동작속도와 소비전력의 문제를 해결할 수 있는 대체 소자 중에 하나이다. 반도체 소자의 비례 소비전력[1]은 1/1000 이하로 적고 동작 스피드[3]는 100배 이상으로 빨라서[5], 차세대 소자로 주목 받고 있다.

본 연구 에서 우리는 기존의 TFF[2]을 최적화시켜 다시 디자인 하였다. TFF 은 여러 디지털 회로에 널리 사용되는 회로이다. 특히, 프로그램 카운터는 TFF가 기본이 되는 회로이다. 우리는 우선 기존에 사용되는 TFF의 값을 추출하여 그 값을 토대로 시뮬레이션을 하였다.

그리고 이 시뮬레이션 한 결과를 바탕으로 최적화시켜 새로이 디자인 하였다. 여기서 인덕턴스 을 추출할 때 사용한 프로그램은 Lmeter이고 최적화에 사용한 프로그램은 최적화 전용 프로그램인 Julia[4]을 사용하였다. 레이아웃은 CAD프로그램인 XICTM[6]을 사용하

* 학생회원 : 인천대 대학원 물리학과 석사과정
 ** 학생회원 : 인천대 대학원 물리학과 박사과정
 *** 학생회원 : 인천대 대학원 물리학과 석사과정
 # 정 회원 : 인천대 자연대 물리학과 교수
 원고접수 : 2005년 02월 22일
 심사완료 : 2005년 03월 03일

였고, 시뮬레이션 및 회로 디자인은 WRspiceTM[7]을 사용하였다.

2. 본 론

2.1. 회로 시뮬레이션

TFF은 데이터가 한번 입력되면 스토리지 인덕턴스 (L_{co})에 데이터가 스토어 되고 두 번째 신호가 들어오면 스토리지된 인덕턴스가 스토리지가 풀리면서 아웃 포트가 나오는 구조를 가지고 있다. Fig. 1은 기존의 카운터에 사용된 TFF의 레이아웃 이다.

Fig. 1의 카운터는 16-bit로 구성된 것 중8-bit의 부분만 보여주고 있다. Fig. 2는 Fig. 1의 TFF의 값을 Lmeter 로 추출한 회로도면이다. Fig. 2를 보면 왼쪽 이 SFQ 신호가 입력되는 인풋 포트이며 오른쪽은 SFQ 신호가 출력되는 아웃 포트이다. Fig. 2의 회로를 WRspiceTM와 Julia을 이용하여 시뮬레이션 하였다. Table 1은 마진 값이다.

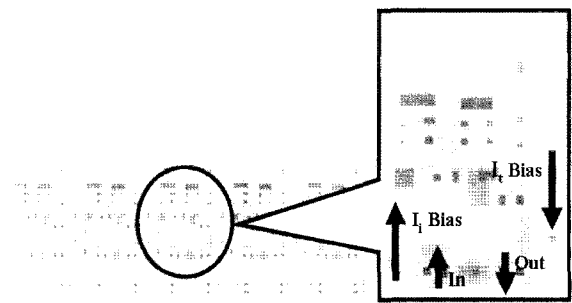


Fig. 1. The layout of the counter. The main picture is currently used TFF.

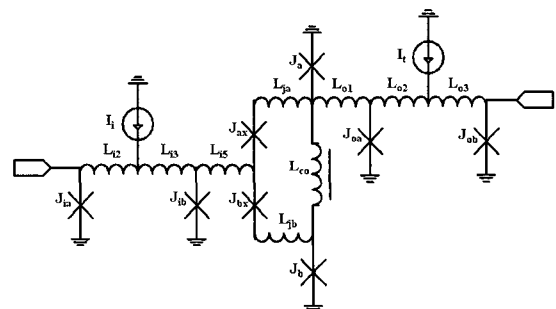


Fig. 2. The currently used TFF circuit.

Table 1. Margins of the currently used TFF (I:mA, J:mA, L:pH, X:global margin).

Device Name	Center Value	(-) Value	(+) Value	(+/-) margin %
I_i	0.97	0.67	1.36	30
I_t	0.19	0.02	0.37	85
J_a	0.34	0.24	0.56	27
J_{ax}	0.34	0.12	0.41	22
J_b	0.2	0.07	0.38	63
J_{ia}	0.47	0.04	0.65	39
J_{ob}	0.39	0.03	0.57	48
L_{co}	3.61	1.71	5.92	52
L_{o1}	2.02	0.48	2.67	32
L_{o2}	1.11	0.11	2.12	>99
L_{o3}	0.99	0.14	1.89	85

2.2. 회로 최적화

기존의 TFF를 Julia을 이용하여 최적화 시켰다. Fig. 3은 Schematic block diagram이다. 여기서 STDIN은 SFQ 신호를 생성해 주는 부분이고 중간에 JTL(Josephson Transmission Line)을 1개 삽입하여 TFF이 동작할 때, STDIN에 의한 영향이 적도록 해주었다. STDOUT은 SFQ펄스가 다른 부분에 영향 없이 소멸 되도록 해주는 부분이다. 이 부분 역시 TFF에 영향을 적게 미치도록 JTL을 1개 삽입하였다.

이와 같이 Schematic block diagram으로 시뮬레이션 한 결과가 Fig. 4이다. 그림에서 보면 인풋신호가 두 번 들어가면 한번의 아웃풋 신호가 나오는 것을 알 수 있다. 이것으로 TFF이 정상 동작하는 것을 알 수 있다. 이 결과를 바탕으로 최적화 툴인 Julia을 이용하여 최적화 시킨 회로가 Fig. 5이다. Fig. 5에서 보면 기존의 TFF과 유사한 모양을 가지고 있는데, 아웃풋 쪽의 바이어스와 정선의 위치가 달라진 것을 알 수 있다.

이와 같은 회로의 형태가 좀 더 높은 마진을 구할 수 있었으며 그 마진 값을 구한 값은 Table 2에서 보여준다. 동작 원리는 기존의 TFF과 동일하며, SFQ신호가 오른쪽 인풋포트에 입력되면 $J_{ia} - J_{ib} - J_{ax} & J_b$ 순으로 스위칭 되어 L_{co} 에 데이터가 스토어 되게 된다. 다시 한번의 SFQ신호가 더 입력되면 $J_{ia} - J_{ib} - J_{bx} & J_a - J_{ob}$ 순으로 스위칭 되어 아웃풋 포트 쪽으로 SFQ 펄스가 나오게 된다. Table 2는 TFF이 Julia을 통해 위와 같이 정상 동작 할 때의 마진을 구한 것이다.

Table 2와 Table 1을 비교해보면 L_{o1} 값의 마진이 증가 되었고 L_{o2} 값의 마진이 감소되었음을 알 수 있다. 이것은 Fig. 2와 Fig. 5를 비교해보면 L_{o1}, J_{ob} 의 변화로 얻은 결과이다. 이 결과 바이어스 마진 및 최소 정선 마진을 높일 수 있었다. 우리는 이 값을 기초로 레이아웃을 수행 하였다.

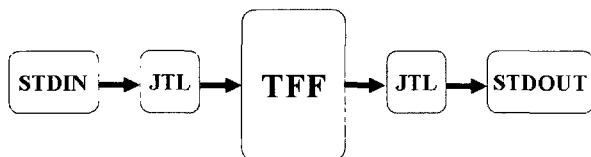


Fig. 3. Schematic block diagram of the newly designed TFF.

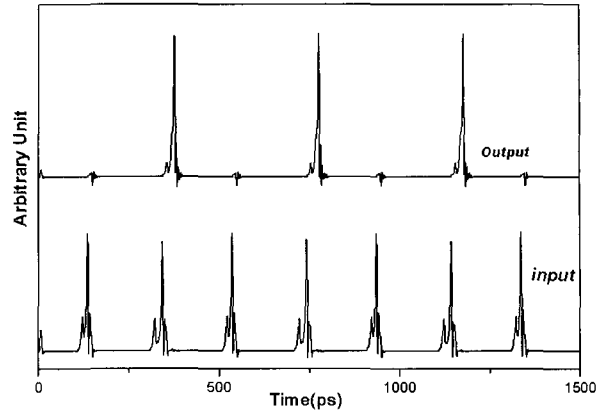


Fig. 4. Simulation result of the newly designed TFF.

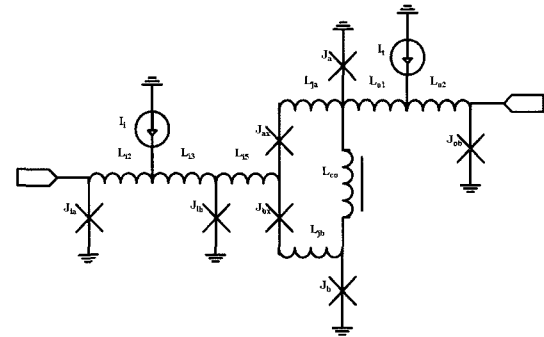


Fig. 5. The newly designed TFF circuit.

Table 2. Margins of the newly designed TFF (I:mA, J:mA, L:pH, X:global margin).

Device Name	Center Value	(-) Value	(+) Value	(+/-) margin %
I_i	0.87	0.54	1.19	37
I_t	0.09	0.01	0.17	>99
J_a	0.24	0.02	0.32	37
J_{ax}	0.2	0.13	0.34	33
J_b	0.2	0.09	0.33	52
J_{ia}	0.47	0.15	0.68	45
J_{ob}	0.39	0.19	0.53	37
L_{co}	4.65	1.6	6.9	49
L_{o1}	0.83	0.23	1.59	71
L_{o2}	0.75	0.29	1.43	61

2.3. 회로 측정

Fig. 6은 레이아웃을 한 결과이며, TFF 하나만을 테스트할 수 있도록 디자인하였다[8]. 왼쪽이 입력부로서 그 중 아래쪽이 DC to SFQ 부분이면 위쪽이 Monitoring부분이다. 인풋 신호는 DC to SFQ와 JTL 3개를 거쳐서 TFF 인풋 부분에 들어가며 TFF를 거친 신호는 다시 JTL 3개를 거쳐 아웃풋 부분, SFQ to DC 회로로 입력된다.

이 레이아웃의 전체 사이즈는 $940 \mu\text{m} \times 227 \mu\text{m}$ 이고 TFF하나의 크기는 $83 \mu\text{m} \times 103 \mu\text{m}$ 이다. 우리는 레이아웃을 토대로 회로를 제작하여 측정하였다. Fig. 7은 측정결과이다. 그림에서 보면 인풋 신호의 모니터링이 두 번에 한번으로 변하는 것을 알 수 있다. 이것은 SFQ to DC의 동작이 SFQ신호의 변화를 나타내므로 정상 동작임을 알 수 있다. 아웃풋 신호도 마찬가지로 마지막 SFQ to DC를 거치므로 실제 신호의 3개당 하나임을 나타낸다. 이로써 100 kHz에서 정상 동작하는 것을 알 수 있다. 이와 같이 측정된 측정 마진은 Table 3과 같다. 우리는 최대 +/- 63 %로 높은 마진을 얻었다.

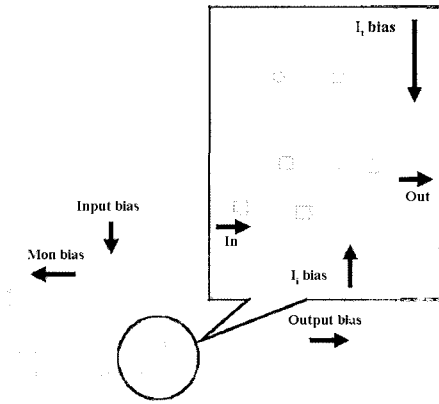


Fig. 6. Layout of the newly designed TFF.

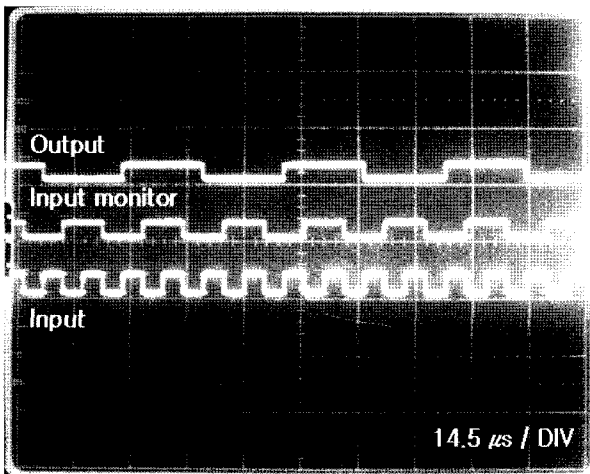


Fig. 7. Test result at 100 kHz.

Table 3. The newly designed TFF margins at 100kHz. (Value : mA)

Device Name	Center Value	() Value	(-) Value	(+/-) margin	
TFF	I_i	0.57	0	1.15	100 %
	I_t	0.22	0.08	0.36	63.6 %
Input	3.75	2.46	3.75	34 %	
Output	2.76	1.54	3.99	44.3 %	
Monitoring	1.92	1.02	2.82	46.9 %	

2.4. 회로 응용

Fig. 8은 새로이 개선된 TFF을 이용하여 프로그램 카운터를 디자인한 Schematic block diagram이다. 왼쪽이 입력부분이고 오른쪽이 다음 TFF로 입력되는 출력부분이다. 상단의 출력부분으로 비트수 별로 출력을 확인할 수 있다. Fig. 9는 회로 구성도를 기초로 프로그램 카운터를 디자인한 그림이다. 이 그림은 1-bit 프로그램 카운터로써 실제 설계한 16-bit 프로그램 카운터의 일부이다.

이번에 우리가 설계한 1-bit 프로그램 카운터는 TFF cell 하나와 JTL cell 4개와 splitter 하나로 구성되어 있다. 우리는 1,4,9,16 bit 을 확인할 수 있게 설계하였다. Fig. 9의 사이즈는 $280 \mu\text{m} \times 110 \mu\text{m}$ 이고 Fig. 10 전체 16-bit 프로그램 카운터 설계한 것으로 크기는 $2230 \mu\text{m} \times 230 \mu\text{m}$ 이다.

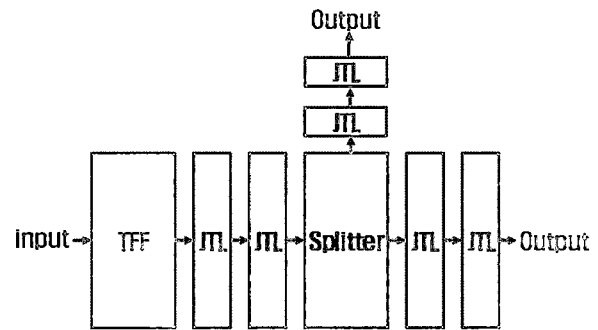


Fig. 8. Schematic block diagram of the program counter.

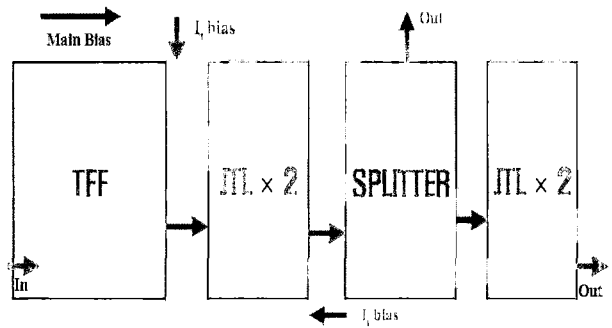


Fig. 9. Layout of 1-bit program counter.

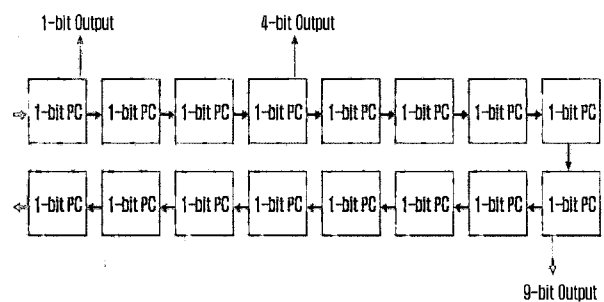


Fig. 10. Layout of 16-bit program counter.

3. 결 론

본 연구는 프로그램 카운터의 기본이 되는 회로인 TFF를 개선하여 최적화 시켰다. 이 개선된 회로를 제작하여 측정된 결과, 바이어스 마진이 최대 +/- 63 %로 매우 높은 결과를 얻을 수 있었다. 이 결과를 토대로 16-bit 프로그램 카운터를 설계하였다.

감사의 글

본 연구는 21세기 프린티어 연구개발사업인 차세대 초전도응용기술개발 사업단의 연구비 지원과 한국과학재단 지정 인천대학교 멀티미디어 연구센터의 연구비 지원에 의해 수행되었습니다.

참 고 문 헌

[1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson-Junction Technology for sub-Terahertz Clock-Frequency Digital Systems", IEEE Trans. Appl. Supercond, vol. 1, 13-28, 1991.

[2] S. H. Baek, J. Y. Kim, S. H. Kim and J. H. Kang, " Movement of the Magnetic Flux Quanta in the Inductive Components of Superconductive Digital Devices", J. Korean Phys. Soc, vol. 45, 1588-1592, 2004.

[3] N.b. Dubash, P.F. Yuh and V.V. Borzenets, "SFQ Data Communication Switch", IEEE Trans. Appl. Supercond, vol.7, 2681-2684, 1997.

[4] S. Polonsky, P. Shevshenko, A. Kirichenko, D. Zinoviev, and Rylyakow "PSCAN'96: New Software for Simulation and Optimization of Complex RSFQ Circuits", IEEE Trans. Appl. Supercond. vol. 7, 2685-2689, 1997.

[5] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev, "Rapid single flux quantum T-flip flop operating up to 770 GHz," IEEE Trans. Appl. Supercond, vol. 9, 3212-3215 . 1999.

[6] <http://www.wrcad.com/xic.html>

[7] <http://www.wrcad.com/wrspice.html>

[8] HYPRES Niobium Foundry process design rule, Available at <http://www.hypres.com>

저 자 소 개



백승헌(白承憲)

1978년 01월 12일생, 2004년 인천대학교 물리학과 졸업, 현재 동대학원 물리학과 석사과정.



김진영(金鎭榮)

1975년 10월 23일생, 1998년 인천대학교 자연대학 물리학과 졸업, 2000년 동대학원 물리학과 졸업(이학석사), 현재 동대학원 물리학과 박사과정.



김세훈(金世勳)

1978년 06월 05일생, 2004년 인천대학교 자연대학 물리학과 졸업, 현재 동대학원 물리학과 석사과정.



강준희(姜準熙)

1955년 02월 05일생, 1987년 미네소타 대학 물리학 박사, 1987년 ~ 1989년 Argonne National Lab. 연구원, 1989년 ~ 1994년 Westing House 선임연구원, 1994년~현재 인천대학교 물리학과 교수.