

초전도 마이크로 프로세서개발을 위한 RSFQ ALU 회로의 타이밍 분석

Timing analysis of RSFQ ALU circuit for the development of superconductive microprocessor

김진영*, 백승현**, 김세훈**, 강준희***

J. Y. Kim*, S. H. Baek**, S. H. Kim**, J. H. Kang***

Abstract: We have constructed an RSFQ 4-bit Arithmetic Logic Unit (ALU) in a pipelined structure. An ALU is a core element of a computer processor that performs arithmetic and logic operation on the operands in computer instruction words. We have simulated the circuit by using Josephson circuit simulation tools. We used simulation tools of XIC, WRspiceTM, and Julia. To make the circuit work faster, we used a forward clocking scheme. This required a careful design of timing between clock and data pulses in ALU. The RSFQ 1-bit block of ALU used in constructing the 4-bit ALU was consisted of three DC current driven SFQ switches and a half-adder. By commutating output ports of the half adder, we could produce AND, OR, XOR, or ADD functions. The circuit size of the 4-bit ALU when fabricated was 3 mm x 1.5 mm, fitting in a 5 mm x 5 mm chip. The fabricated 4-bit ALU operated correctly at 5 GHz clock frequency. The chip was tested at the liquid-helium temperature.

Key Words: superconductor, rapid single flux quantum, digital, ALU, Josephson junction.

1. 서 론

오늘날 우리는 디지털 세상에 살고 있다. 디지털 세상은 반도체 기술의 눈부신 발전을 통해 실현되었다. 그러나 현재 반도체 기술의 발전 속도는 여러 가지 한계(동작속도, 전력소비)로 인해 어려움에 봉착해있다. 이러한 문제를 해결할 수 있는 초전도 컴퓨터의 개발은 많은 연구자들의 꿈과 목표가 되었다. Rapid Single Flux Quantum(RSFQ) 회로의 등장은 이러한 초전도 수퍼 컴퓨터의 개발에 박차를 가하게 만들었다[1]. RSFQ 디지털 회로는 single flux quantum 펄스에 의해 동작한다. 이 펄스들은 Josephson junction에 의해 컨트롤 된다[2,3].

RSFQ 회로는 반도체 회로에 비해 장점들을 가지고 있다. 첫째, 매우 빠른 동작속도(770GHz 까지)를 가지고 있다[4]. 둘째, 매우 작은 전력을 소비한다(100nW/gate).

* 학생회원 : 인천대학교 물리학과 대학원 박사과정

** 학생회원 : 인천대학교 물리학과 대학원 석사과정

*** 정 회 원 : 인천대학교 자연대 물리학과 교수

원고접수 : 2005년 2월 22일

심사완료 : 2005년 3월 15일

따라서 RSFQ 회로를 이용하여 디지털 회로 또는 수퍼 컴퓨터를 만들게 된다면 기존 반도체 회로를 대신할 수 있는 훌륭한 소자이다. 통신기술은 매우 빠른 속도로 발전하고 있으며 더욱더 빠른 처리속도를 가진 프로세서에 대한 요구는 점점 더 커지고 있다. 반도체 회로는 이러한 요구를 충족시키기 위한 기술개발이 더딘 상태인 반면 초전도 현상을 이용하는 RSFQ 회로는 이러한 문제를 해결할 수 있는 대안으로 떠오르고 있다. ALU 회로는 컴퓨터 프로세서에서 산술연산과 논리연산을 담당하고 있는 매우 필수적인 회로이다[5]. 본 연구에서는 타이밍 분석을 통해 ALU 회로를 설계 하였고 제작하여 측정하였다.

2. 회로 디자인

전통적인 ALU 아키텍처에서는 AND, OR, Adder 등의 다양한 logic cell 들을 요구한다[6]. 이러한 logic cell 들로 인해 회로의 복잡도가 매우 증가하게 된다. 회로가 복잡하면 복잡할수록 설계가 어려워질뿐만 아니라 timing 문제가 발생하게 된다. 본 연구에서는 디자인의 복잡도를 감소시키기 위해 한 개의 Half Adder cell과 세 개의 DC 스위치를 사용하여 기본 unit cell 을 만들었다. 또한 동작속도를 더욱 높이기 위해서 forward clocking 구조로 설계를 하였다. 이러한 방법을 사용함을 통해서 backward clocking 방법을 사용하는 것 보다 빠른 동작이 가능하다. 복잡한 digital 회로 설계에서 가장 중요한 요소 중의 하나는 바로 clock 펄스와 data 펄스의 timing 문제이다. 즉, 모든 데이터들이 입력되고 난후 clock 펄스가 입력되어 동작하여야만 한다. data와 clock의 동기화 문제는 매우 중요한 이슈이다. 본 연구에서는 이것을 확인하기 위해 시뮬레이션을 수행하여 timing 결과를 분석하였다. 시뮬레이션 tool은 WRspiceTM, XiC, Julia를 사용하였다. 본 연구에서 개발된 ALU는 pipeline 구조로 이루어져 있으며, Fig. 1은 Half adder와 DC 스위치로 구성된 기본적인 1-bit ALU unit cell을 보여 주고 있다. pipeline 구조는 프로세서로 가는 명령어들의 움직임, 또는 명령어를 수행하기 위해 프로세서에 의해 취해진 산술적인 단계가 연속적이고, 다소 겹치는 것을 말한다. 파이프라인이 없다면 컴퓨터의 프로세서는 메모리에서 첫 번째 명령어를 가지고 와서, 그것이 요구하는 연산을 수행하고, 그리고 나서 다음번 명령어를 메모리로부터 가져오는 식으로 동작한다. 명령어를 가져오는 동안에, 프로세서의 산술연산부분은 다음 명령어가 도착되기를 기다리며 쉬어야만 한다. 파이프라인을 쓰면, 컴퓨터 구조는 프로세서가 산술연산을 수행하는 동안에 다음번 명령어를 가져올 수 있으며, 그것을 다

음 명령어 연산이 수행될 수 있을 때까지 프로세서 근처의 버퍼에 가져다놓는다. 명령어를 가져오는 단계는 끊임없이 계속된다. 그 결과, 주어진 시간동안에 수행될 수 있는 명령어의 수가 증가하게 된다. 기본 ALU unit cell은 a, b, c 세 개의 스위치를 조절하여 OR, AND, XOR의 논리연산과 ADD의 산술연산이 가능하도록 설계하였다. 이러한 방법은 기존 ALU보다 매우 간단히 설계할 수 있어 회로의 복잡도를 감소시키는 장점이 있다. Table 1은 스위치 선택에 따른 ALU 동작을 보여준다.

Fig. 2는 RSFQ ALU회로의 블록 다이어그램을 나타내고 있다. DATA A와 DATA B는 DATA generator에 의해 data 펄스가 발생되고 Josephson Transmission Line(JTL)을 통해 HA unit cell로 입력된다. 마찬가지로 DC/SFQ clock generator에 의해 clock 펄스가 발생되고 JTL을 통해 HA unit cell로 입력되어 clock에 동기화 되어 동작한다.

Fig. 3은 1-bit ALU의 WRspice 시뮬레이션 결과를 나타내고 있다. 시뮬레이션에서 0 ns ~ 1 ns까지는 스위치의 ON/OFF를 조절하여 OR와 ADD가 수행되도록 하였다. 1 ns ~ 2 ns 사이에서는 AND와 XOR가 수행되도록 사전에 조절 하였다. ALU 회로를 1-bit에서 4-bit으로 확장하기 위해서는 적절한 timing 조절이 필수적으로 요구된다. 만약 이러한 조절이 없다면 4-bit ALU는 high frequency clock에서 정상적으로 동작하지 않는다.

Fig. 4는 최적화된 시뮬레이션을 통해 제작된 1-bit ALU회로의 chip 사진이다. 제작된 1-bit ALU 핵심 회로의 사이즈는 1,420 $\mu\text{m} \times 710 \mu\text{m}$ 이었다.

Fig. 5는 4-bit ALU의 블록 다이어그램을 나타내고 있다. 4-bit ALU는 1-bit ALU를 확장하여 설계하였다. 그러나 1-bit 에서는 timing 영향이 매우 적었으나 4-bit의 경우에는 timing 영향이 크게 작용하기 때문에

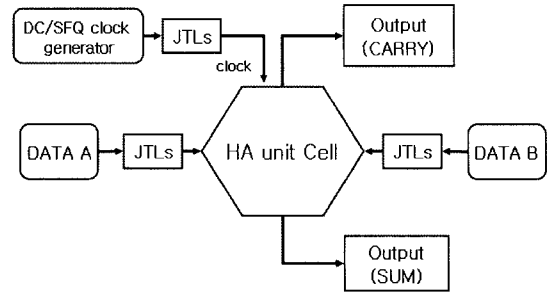


Fig. 2. Block diagram of an RSFQ ALU, In this simulation, we used three DC switches and a Half Adder in the HA unit cell.

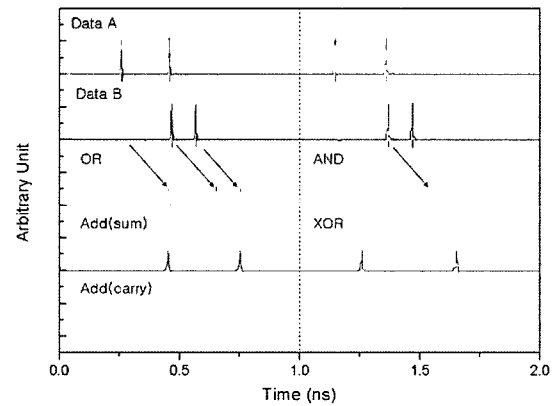


Fig. 3. SPICE simulation results of the RSFQ ALU. In this simulation, We used RSFQ switches to select logic functions.

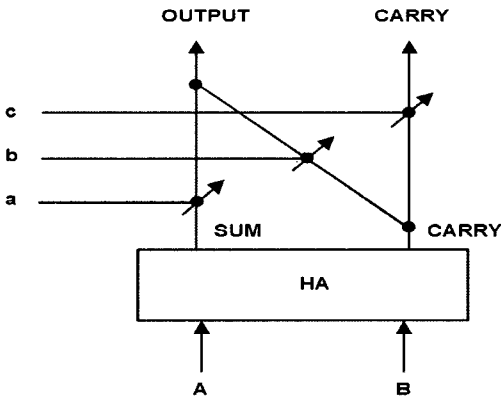


Fig. 1. Schematic block diagram of the 1-bit ALU that uses only one half adder. Four logic operations of OR, AND, ADD, and XOR can be performed by controlling the three dc switches a, b, and c.

Table 1. Switch selections for each logic function.

	OR	AND	XOR	ADD
a	1	0	1	1
b	1	1	0	0
c	0	0	0	1

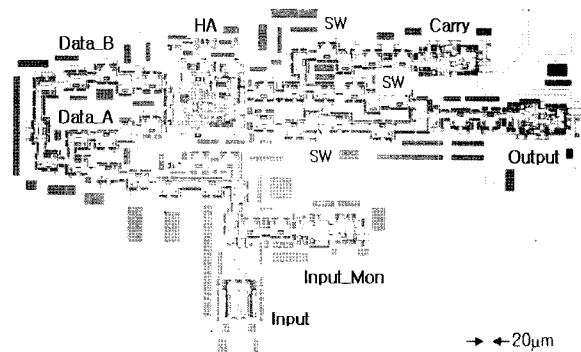


Fig. 4. Photo image of a 1-bit ALU for high-speed test. The 1-bit ALU core circuit size was 1,420 $\mu\text{m} \times 710 \mu\text{m}$.

시뮬레이션을 통하여 분석하였다. Fig. 5에서 알 수 있듯이 각 컴포넌트를 지날 때마다 소요되는 time을 확인하였다. 처음 clock이 발생되어 첫 번째 HA와 switch를 지나는데 소요되는 시간은 67ps 이었으며 두 번째 HA를 지나는데 소요된 시간은 108ps 이었다. 또한 clock 펄스는 가로방향으로 진행될 뿐만 아니라 세로 방향으로 전파되면서 다른 bit의 HA에도 clocking을 하는 구조로 설계되었다. 그래서 그림의 하단부에

도 각 컴포넌트들을 지나며 소요되는 시간을 분석하였다. 시뮬레이션을 통해 4-bit ALU는 10GHz에서 동작할 수 있도록 설계 하였다. 또한 ALU는 output 0부터 3까지 그리고 CARRY 총 5개의 output 채널을 가지고 있다.

Fig. 6은 제작된 4-bit ALU 핵심 회로의 사진을 나타내고 있다. 4-bit ALU는 936개의 Josephson junction을 사용하였으며 기존의 standard cell을 사용하지 않고 non-standard cell들을 사용하여 복잡도를 줄이면서 더 컴팩트하게 디자인 하였다. 4-bit ALU 코어 회로의 사이즈는 $3000\ \mu\text{m} \times 1500\ \mu\text{m}$ 이었다. test chip의 크기는 $5\text{mm} \times 5\text{mm}$ 이었다.

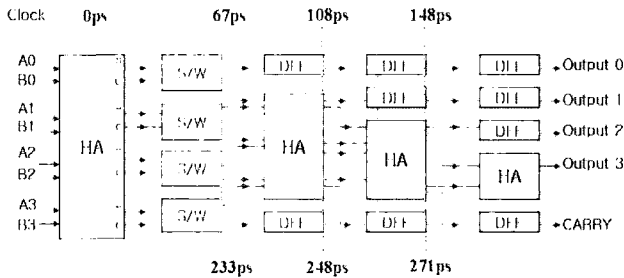


Fig. 5. Block diagram of 4-bit ALU. Our 4-bit ALU had 5 output channels, which are noted as output 0 to 3 and CARRY.

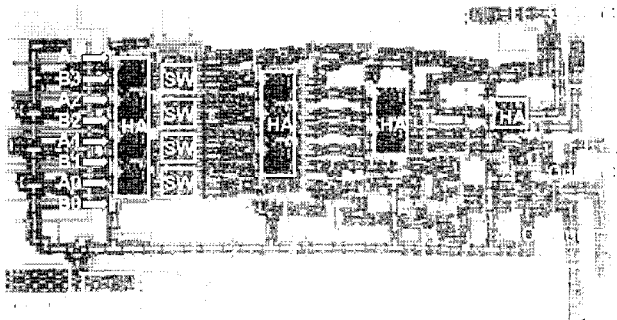


Fig. 6. Photograph of the fabricated 4-bit ALU. The designed 4-bit ALU had about 1,000 Josephson junctions, and occupied the layout area of $3000\ \mu\text{m} \times 1500\ \mu\text{m}$. By using non-standard cells, we could construct more compact circuits and simplify the designs.

3. 회로 테스트

본 연구에서 제작된 ALU 회로는 한국광기술원 (Korea Photonics Technology Institute)에서 standard 10-level Nb공정으로 제작되었다. 제작된 Josephson critical current density는 $1\text{kA}/\text{cm}^2$ 이었다. Fig. 7은 1-bit ALU의 ADD 측정결과를 보여 주고 있다. 그림에서 1-bit ALU는 20GHz clock에서 정상적으로 동작하고 있음을 알 수 있다. 스코프로 20 GHz clock을 모니터링 할 수는 없다. 그림에서 보이는 data_A, data_B는 function generator를 사용하여 DC switch를 "on" "off"시켜서 20GHz data가 회로에 입력되도록 하였다. data_A와 data_B는 10 kHz로 data를 컨트롤 하

였다. 또한 제작된 1-bit ALU는 40GHz clock frequency 까지 성공적으로 동작하였다. ADD 연산뿐만 아니라 XOR, AND, OR 연산도 정상적으로 동작하였다. 따라서 output 결과는 data의 gate 컨트롤에 의해 수행된 연산을 보여주고 있다. 그러나 이 회로에서의 input data와 clock의 frequency는 20 GHz 로 동작하였다.

RSFQ 회로의 high speed 측정은 매우 어렵다. 왜냐하면 RSFQ output 펄스의 출력 전압이 0.1mV range 이기 때문에 기존의 COMS 기반의 디지털 스코프로는 측정이 불가능하다. 스코프의 노이즈 레벨에 신호가 섞여있어 "1"인지 "0"인지의 신호 구분이 불가능하다. 본 연구에서는 이를 해결하기 위해 eye-diagram technique을 사용하였다[7]. 그리고 ALU 회로의 출력을 측정하기 위해서 텍트로닉사의 5223 아날로그 스코프를 사용하였다. eye-diagram technique에서 만약 신호가 없을 경우 즉 "0"인 신호일 때 스코프 화면에서는 신호가 두 개의 스플릿 된 라인 형태로 나타나며 신호가 "1"인 경우에는 하나의 라인으로 표시된다.

Fig. 8은 4-bit ALU의 5GHz에서 ADD 연산 결과를 보여주고 있다. input data 컨트롤은 10 kHz로 하였다. 제작된 4-bit ALU는 ADD 연산뿐만 아니라 XOR, AND, OR 논리연산 측정에서도 모두 정상적으로 동작하였다.

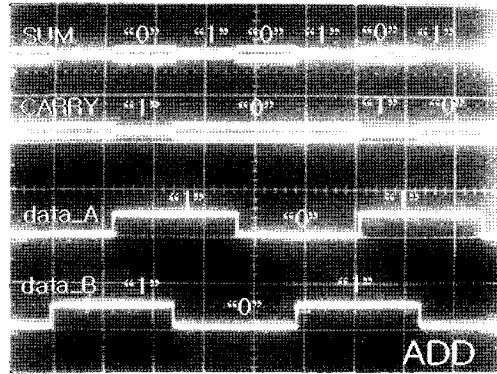


Fig. 7. Test results of the 1-bit ALU at 20GHz. By controlling the three DC switches, we could obtain ALU operations of ADD.

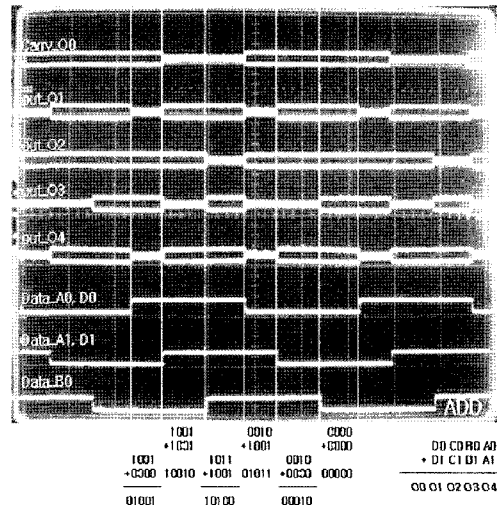


Fig. 8. 5 GHz test results of the 4-bit ALU. Correct operation of the circuit is shown. The six case of ADD are shown in the above picture.

4. 결 론

본 연구에서는 초전도 마이크로 프로세서개발을 위한 RSFQ ALU 회로의 타이밍 분석을 통해 1-bit과 4-bit ALU 회로를 설계하였고, 제작하여 측정 하였다. 복잡한 digital 회로에서 가장 중요한 이슈중의 하나인 timing 문제를 해결하기위해 시뮬레이션을 통해 분석 하였으며 그 결과를 토대로 회로를 디자인 하였다. 본 연구를 통해 축적된 timing 분석기술은 향후 다른 digital 회로 개발에 매우 유용하게 사용될 수 있으며 개발된 1-bit ALU는 40GHz clock에서 정상적으로 동작하였다. 또한 4-bit ALU는 5GHz에서 모든 function 들이 정상적으로 동작하였다. 이번 연구를 통해 국내에서도 회로설계 및 제작기술을 확보하여 다른 초고속 digital device 또는 RF통신 회로제작에 응용 할 수 있는 기술을 확보하였을 뿐만 아니라 초전도 회로의 상 품화에 한 발짝 다가서는 계기가 되었다.

감사의 글

본 연구는 21세기 프린티어 연구개발사업인 차세대 초전도응용기술개발 사업단의 연구비 지원과 한국과학재단 지정 인천대학교 멀티미디어 연구센터의 연구비 지원에 의해 수행되었습니다.

참 고 문 헌

- [1] K. K. Likharev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson Junction Technology for sub-Terahertz Frequency Clock Digital Systems," IEEE Trans. Appl. Supercond, vol.1, 13-28, 1991.
- [2] O. A. Mukhanov, S. V. Polonsky, V. K. Semenov, "New elements of the RSFQ Logic Family," IEEE Trans. Mag., Vol.27, 2435-2438, 1991.
- [3] O. A. Mukhanov, S. V. Rylov, V. K. Semenov, "RSFQ Logic Arithmetic," IEEE. Trans. Mag. Vol.25, 857-860, 1989.
- [4] W. Chen, A.V. Rylyakov, V. Patel, J.E. Lukens, K.K. Likharev "Rapid single flux quantum T-flip flop operating up to 770 GHz.",IEEE Trans. Appl. Supercond., vol.9, 3212-3215, 1999.
- [5] N. Yosikawa, F. Matsuzaki, K. Yoda, "Design and component test of a 1-bit RSFQ microprocessor," Physica C, vol.378-381, 1454-1460, 2002.
- [6] M. Dorojevets, "A 20-GHz FLUX-1 superconductor RSFQ microprocessor," J. Phys. IV France, vol.12, 157-160 2002.
- [7] Alex F. Kirichenko, Oleg A. Mukhanov, "Advanced On-ChipTest Technology for RSFQ Circuits," IEEE Trans. Appl. Supercod,, vol.7, 3438-3441, 1997.

저 자 소 개



김진영(金鎭榮)
1975년 10월 23일생, 1998년 인천대학교 자연대학 물리학과 졸업, 2000년 동대학원 물리학과 졸업(이학석사), 현재 동대학원 물리학과 박사과정.



백승헌(白承憲)
1978년 01월 12일생, 2004년 인천대학교 물리학과 졸업, 현재 동대학원 물리학과 석사과정.



김세훈(金世勳)
1978년 6월 5일생, 2004년 인천대학교 자연대학 물리학과 졸업, 현재 동대학원 물리학과 석사과정.



강준희(姜準熙)
1955년 2월 5일생, 1987년 미네소타 대학 물리학 박사, 1987년~1989년 Argonne National Lab. 연구원, 1989년~1994년 Westing House 선임연구원, 1994년~현재 인천대학교 물리학과 교수.