

웨이퍼의 2단 이면공정이 반도체 칩의 휨 강도에 미치는 영향

이 성 민[†]

인천대학교 신소재공학부

The Effect of Dual Wafer Back-Lapping Process on Flexural Strength of Semiconductor Chips

Seong Min Lee[†]

Department of Materials Science & Engineering, University of Incheon, Incheon 402-749, Korea

(2005년 1월 7일 받음, 2005년 3월 15일 최종수정본 받음)

Abstract It was studied in this article how the flexural strength of bare silicon chips is influenced by adopting dual wafer back-lapping process. The experimental results showed that an additional finishing process after the conventional grinding process improves the flexural strength of bare chips by more than 2-fold. In particular, this work showed that the proper removal of the grinding marks($Ra=0.1\ \mu\text{m}$)existing on the wafer back-surface resulting from the grinding process significantly contributes to the enhancement of chip strength.

Key words wafer, back-lapping, chip crack, flexural strength

1. 서 론

반도체 조립과정에 있어서 주요 핵심기술 중의 하나는 개인용 PC나 휴대폰 등 점차 소형화 되어가는 추세에 맞추어 기존의 제품 보다 슬림화된 조립제품을 만들어 내는 것이다. 문제는 반도체 용량의 증가가 IC 칩 면적의 확대를 필요로 하기 때문에 반도체 조립기술이 패키지 면적 보다는 두께를 줄이는 방향으로 발전되어 왔는데 있다. 실제로 최근들어 고밀도의 반도체 제품에서 0.1 cm 정도 두께의 얇은 패키지 형태로 반도체 칩이 조립되고 있으며, 향후 0.05 cm 정도의 초 박형 패키지 형태로 반도체 칩을 조립하여 생산될 것으로 예상되고 있다. 문제는 IC 용량의 증대에 따른 chip 면적의 확대와 더불어 IC chip의 지나친 슬림화는 자칫 칩 크랙 등의 유발로 인해 심각한 신뢰성 문제를 초래할 수 있다는 사실이다. 이와 같은 칩 크랙 관련 반도체 패키지 신뢰성 문제는 플라스틱으로 조립되는 메모리 반도체 제품의 경우 특히 심각한 것으로 보고되고 있다.^{1,2)} 이유는 실리콘 칩과 플라스틱 패키지 사이의 물리적 성질이 매우 상이하기 때문에 해당 제품이 온도 변화를 겪게될 때, 칩이 휨 변형에 의한 손상에 쉽게 노출될 수 있기 때문이다.^{3,9)} 따라서, 반도체 용량의 증가에 따른 실리콘 칩 면적의 확대와 더불어 보다 얇은 조립제품을 만들어 내기 위해서는 칩 자체의 기계적 강도를 높이는 것이 중요하며,

이를 위해 웨이퍼 이면 공정을 개선하여 IC 칩 이면에 발생하는 기계적인 결함을 최소화하려는 노력이 필요하다. 이를 위해 본 논문에서는 여러가지 웨이퍼 이면 공정기술(그라인딩, 폴리싱, 에칭 등)을 도입하여 칩 크랙 관련 신뢰성 문제를 근본적으로 해결할 수 있는 방안을 모색하고자한다.

2. 실험 방법

본 연구는 칩 크랙 발생으로 인한 반도체 조립 제품의 신뢰성 저하를 예방하기 위해 실리콘 웨이퍼의 이면 연마 공정을 현재 반도체 회사에서 보편적으로 채택하고 있는 그라인딩 (Fig. 1) 이외에 2가지 다른 이면 공정방법을 추가로 채택하였다. 이는 웨이퍼 이면 공정으로 인해 칩 이면에 발생하는 여러 가지 결함발생 (grinding marks 등) 및 그에 따른 칩의 기계적 강도 변화를 평가하기 위한 것이다. 칩의 기계적 강도 평가는 3점 굴곡 실험을 통해 실시하였다.

2.1 Polishing & chemical etching

기계적 연마 후에 실리콘 웨이퍼 이면에 필연적으로 남게 되는 그라인딩 마크를 제거하기 위해 미세한 마무리 공정을 도입하여 칩 크랙 발생에 대한 저항력을 평가하기 위해 폴리싱 공정을 일차적으로 선택하였다. 폴리싱은 실리콘 웨이퍼의 이면을 상온에서 $0.3\ \mu\text{m}$ 의 colloidal silica를 이용하여 이면연마하는 방식이다. 또한 실리콘 웨

[†]E-Mail : smlee@incheon.ac.kr

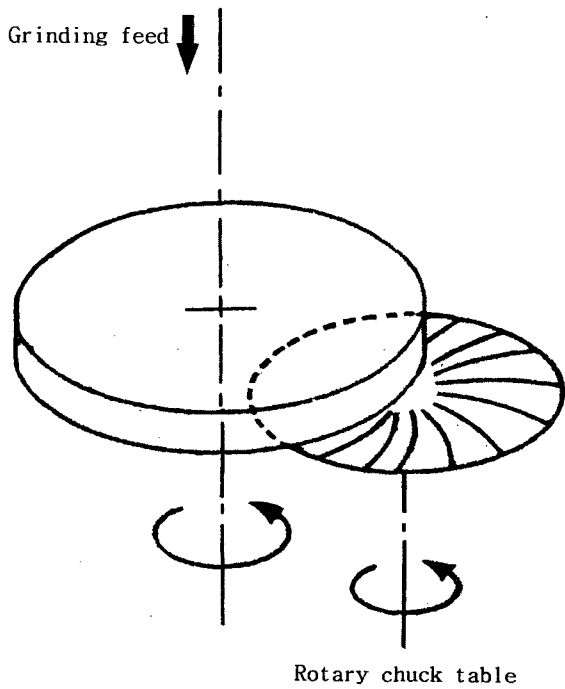


Fig 1. Schematic drawing to illustrate the back-grinding process of a silicon wafer.

이퍼 이면에 발생할 수 있는 기계적 결함 뿐만 아니라, 그라인딩에 의해 발생할 수 있는 칩 이면의 잔류응력을 최소화하기 위한 목적으로 강산($\text{HNO}_3 + \text{HF}$)을 웨이퍼 이면에 0.5 l/min.의 속도로 분사시키는 화학적 에칭 공정도 아울러 도입하였다.¹⁰⁾

2.2 Mechanical tests

본 연구에서 이용된 칩의 면적은 $9 \times 11 \text{ mm}^2$ 로 고정하였다. 이는 현재 양산 중이거나, 개발 중인 반도체 제품의 칩 면적을 고려하여 선택한 것이다. 또한 칩 두께 감소에 따른 bare 칩 강도에 대해 칩 두께가 미치는 영향에 대한 조사를 위해 칩 두께를 240, 270, 300, 330, 360 μm 등 총 5가지로 분류하였다. 다만, 웨이퍼 이면 공정에 따른 유의차만을 검증하기 위한 실험들의 경우는 칩 두께를 240 μm 로 고정하여 시편을 준비하였다. 칩의 기계적 강도에 대한 평가를 위한 실험 방법으로는 TPBT (three point bending test)가 이용되었다. Fig. 2에서 제시된 것처럼 TPBT는 시편 밑면을 두 개의 작은 봉에 의해 지지시키고, 다른 작은 봉을 시편의 윗면 중앙에서 하중을 가하여 해당 시편의 휨 강도를 평가할 수 있도록 만든 장치이다. TPBT는 UTM (universal test machine)에 설치된 실험 grip에 압축력을 가하여 수행되며, 각 시편의 휨강도는 칩 크랙 발생이 시작되는 순간의 최대 하중 값으로써 정의하였다. 실험의 오차를 극복하기 위해 각각의 실험 조건에 대해 10개의 시편들을 실험하여 그 평균값으로 휨강도 값을 결정하였다.

2.3 Metallurgical examination

실리콘 웨이퍼의 이면 연마 공정에 따라 발생 가능한 웨이퍼 이면의 결함에 대한 분석이나 실험 진행 후 해당 부위에서 균열의 발생 여부를 확인하기 위해 OM (optical microscope)와 SEM (scanning electron microscope)이 이용되었다. 또한 웨이퍼의 이면 연마 공

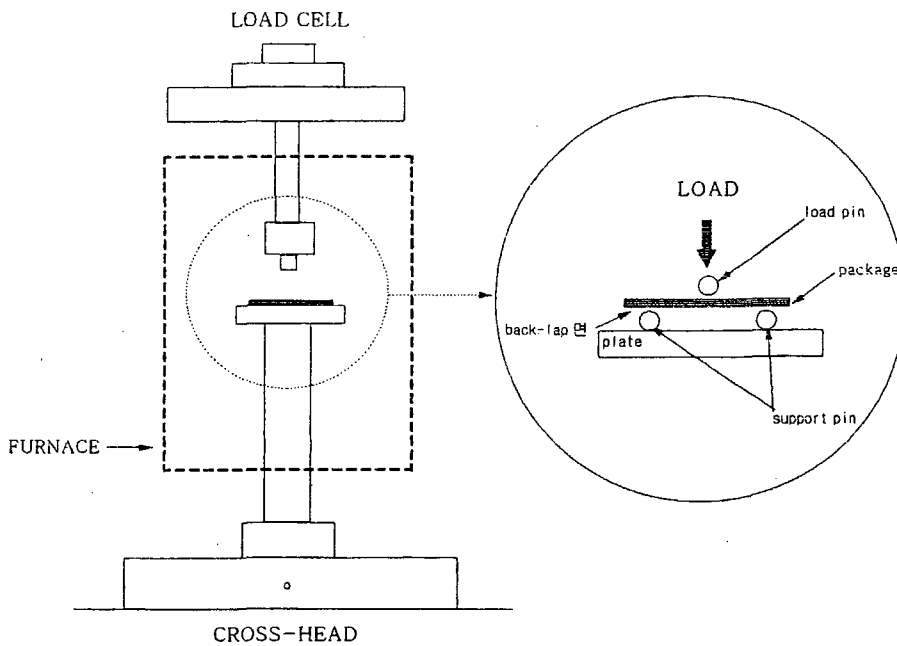


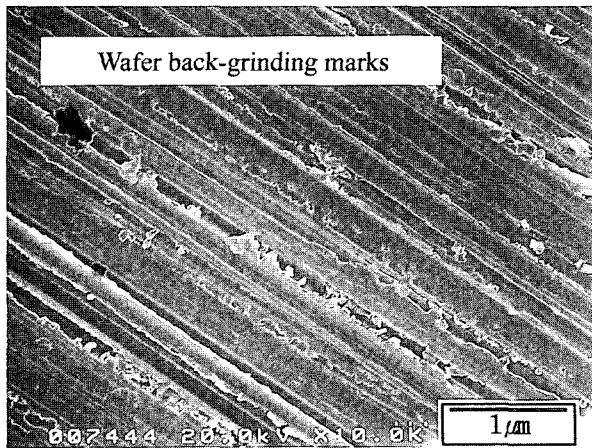
Fig 2. Schematic drawing to illustrate the three point bending test.

정의 차별화에 따른 웨이퍼 이면의 그라인딩 자국에 대한 morphology나 topology 변화에 대한 조사를 위해 AFM (atomic focused microscope)을 사용하였다. 이들 분석기술을 이용하여 웨이퍼의 이면 연마 공정기술이 bare 칩의 기계적 강도에 미치는 영향에 대한 조사가 이루어졌고, 이를 근거로 칩 균열의 예방을 위한 방안들이 논의되었다.

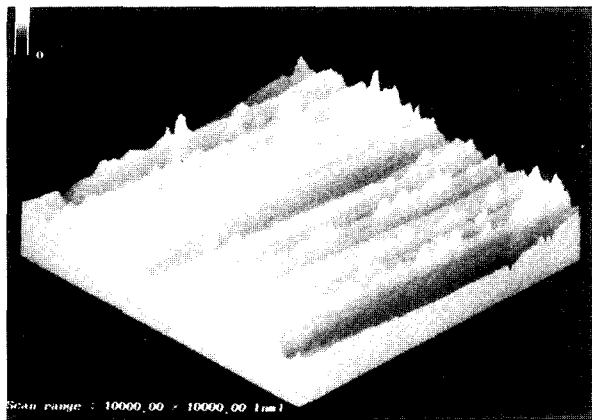
3. 결 과

웨이퍼 이면 그라인딩 공정에서 웨이퍼 이면에 필연적으로 발생하는 그라인딩 자국이나 국부적 결함들 그리고 잔류응력들의 존재가 칩의 기계적 강도에 어떤 영향을 미치는 지에 대한 연구를 위해 실리콘 웨이퍼의 그라인딩을 진행한 후 폴리싱 및 화학적 에칭 공정을 추가로 도입하여 그라인딩만에 의해 준비된 시편들과의 유의차를 비교해 보았다. Fig. 3은 웨이퍼의 그라인딩 후 웨이퍼

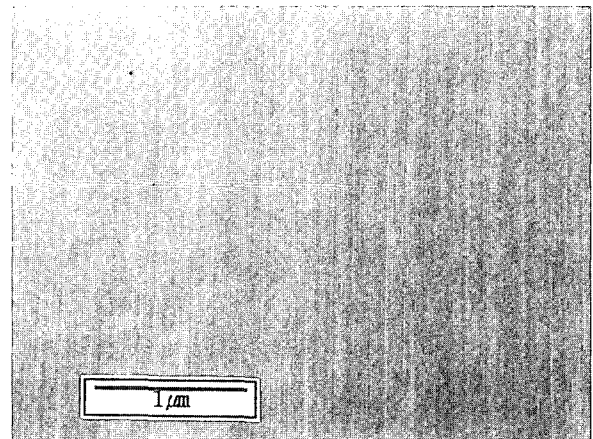
이면을 SEM과 AFM으로 촬영한 사진들이다. Fig. 3에서 볼 수 있듯이 그라인딩 후 웨이퍼 이면에는 대단히 심한 거칠기가 존재함을 알 수 있다. 이러한 거친면을 제거하기 위해 도입된 폴리싱의 경우 2500 mesh의 그라인더에 의한 그라인딩을 진행한 후 0.3 μm 의 실리카를 이용하여 추가적으로 웨이퍼 이면을 피니싱 처리하여 준비된 웨이퍼 이면의 SEM 사진과 그라인딩 공정만을 진행한 웨이퍼 이면에 대한 SEM 사진이 Fig. 4에 함께 나타내어진다. Fig. 4에서 볼 수 있듯이 폴리싱 후에는 웨이퍼 이면에 그라인딩 마크가 거의 제거되었다는 것을 확인할 수 있었다. 이에 대한 좀 더 정밀한 검사를 위해 AFM (atomic focused microscope)을 이용하여 폴리싱 전후의 웨이퍼 이면을 촬영한 사진이 Fig. 5에서 보여진다. Fig. 5는 폴리싱 전에는 웨이퍼 이면이 거의 1 μm 이상 심한 거칠기를 나타낸다는 것을 알 수 있다. 반면, 폴리싱 후에는 그라인딩으로 인한 표면거칠기가 거의 0.1 μm 이하의 수준까지 개선되었다는 것을 보여준



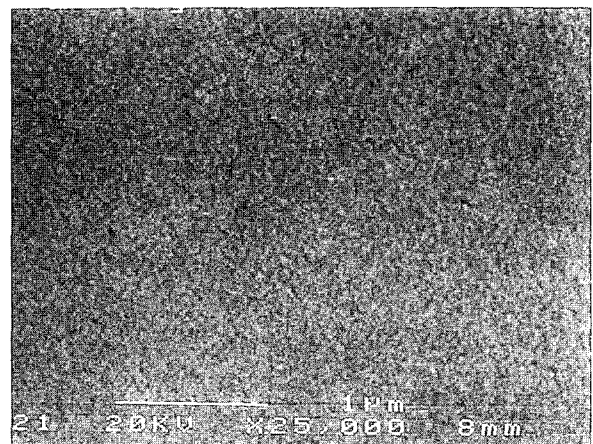
(a) SEM



(b) AFM



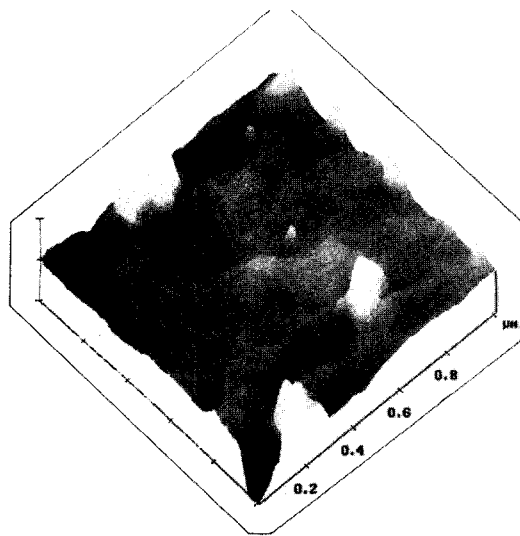
(a) Grinding



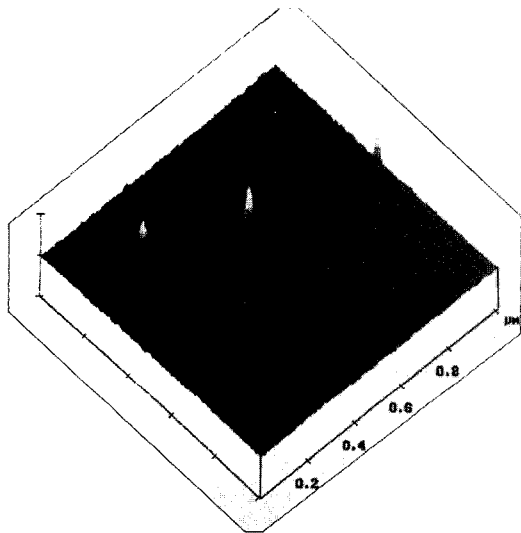
(b) Polishing

Fig. 3. Micrographs showing wafer back-surfaces after grinding; a) SEM and b) AFM.

Fig. 4. SEM micrographs showing wafer back-surfaces after; a) grinding and b) polishing.



(a) Grinding



(b) Polishing

Fig. 5. AFM micrographs showing wafer back-surfaces after; a) grinding & b) polishing.

다. 이와같은 웨이퍼 이면의 거칠기 차이가 칩의 휨강도에 어떠한 영향을 미치는 지에 대한 연구가 수행되었다. Fig. 6은 폴리싱 후 칩 두께의 함수로 칩의 휨강도(칩의 파괴가 발생할때의 응력을 의미)를 나타낸 것이다. Fig. 6에서 볼 수 있듯이 폴리싱 후에는 칩 두께가 얇을 경우 그라인딩 공정 대비, 칩의 휨강도는 2배 가까이 증가하는 반면, 칩 두께가 두꺼울때 폴리싱 공정 도입의 효과가 떨어진다는 것을 알 수 있다. 이는 폴리싱 후 칩 두께에 대한 칩의 휨강도에 대한 의존도가 낮아진다는 것을 의미하는 것으로 그라인딩 자국을 포함하는 칩들의 경우 3점 굴곡실험 동안 그라인딩 마크들이 응력집중의 유용한 자리로 작용하기 때문에 칩 두께 대비

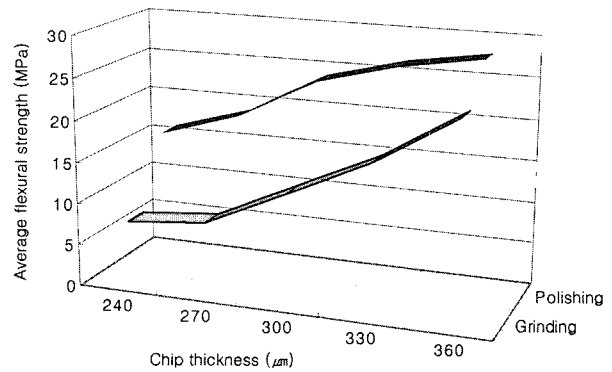


Fig. 6. The effect of the adoption of the polishing process on flexural strength of bare chips.

그라인딩 자국 깊이가 클수록 응력집중에 의한 칩 파괴 가능성이 그 만큼 커지게 되는 것으로 볼 수 있다. 주어진 칩 두께에서 10개의 실험시편들에 대한 휨강도 값의 측정결과 그 오차범위가 그라인딩 마크를 포함하는 칩들에 비해 상당히 줄었다는 것을 알 수 있었다. 이는 그라인딩 마크의 방향성에 따라 휨강도가 변한다는 기존의 실험결과와 잘 부합되는 것이다.⁹⁾ 부연하면, 폴리싱 후에는 어떠한 방향성을 가진 그라인딩 마크가 배제된 칩의 휨강도는 순수하게 칩 두께에만 의존할 수 있기 때문에 동일한 조건에서 10개의 실험시편들에 대한 측정치에 있어서 심한 오차를 나타내지 않는 것으로 판단된다. 다만, 폴리싱 후에도 칩의 휨강도 값의 오차가 다소간 존재하는 것은 웨이퍼 다이싱 공정에서 칩 테두리 부위에 발생하는 칩핑현상이나 폴리싱 후 잔존할 수 있는 잔류응력 등의 영향인 것으로 생각된다. 결론적으로 칩들의 평균 휨강도는 폴리싱 전에 비해 폴리싱 후에 2배 까지 향상시킬 수 있으며, 이는 칩의 두께 감소에 따른 칩의 휨 강도 저하를 폴리싱 공정의 도입에 의해 만회할 수 있다는 것을 의미하는 것이다.

위에서 얻어진 실험결과를 근거로 폴리싱 이외에 웨이퍼의 그라인딩 (1500 mesh) 후 강산 (HNO₃ + HF)을 0.5 l/min.의 속도로 분사시키는 이면마무리 공정을 추가로 수행하여 보았다. Fig. 7은 화학적 에칭 전과 후 웨이퍼 이면의 형태를 비교한 AFM (atomic focused microscope) 사진이다. Fig. 7에서 제시된 AFM 사진들에서 볼 수 있듯이 화학적 에칭 후에는 웨이퍼 이면이 거의 1 μm 이상의 심한 거칠기에서 거의 0.1 μm 이하의 수준까지 개선 되었다는 것을 알 수 있다. 이는 폴리싱 후 웨이퍼 이면을 촬영한 AFM 사진과 비슷한 양상을 보여준다는 점에서 화학적 에칭 또한 칩의 휨 강도 향상에는 큰 기여를 할 수 있다는 것을 의미한다. 화학적 에칭이 칩의 휨강도에 어떠한 영향을 미치는 지에 대한 실험결과가 Fig. 8에서 보여진다. Fig. 8은 화학적 에칭 후의 칩의 평균 휨강도 값을 Fig. 6에서 주어진 결과(그

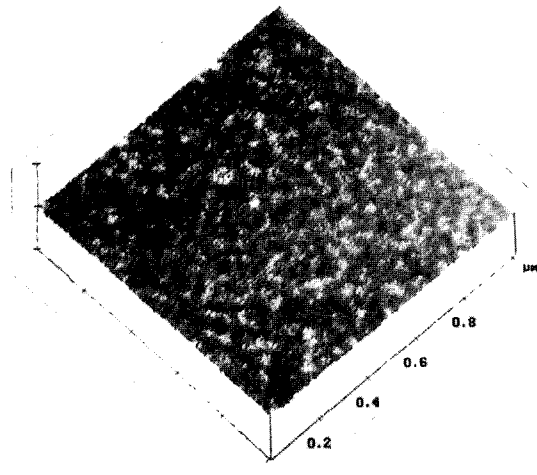


Fig. 7. AFM micrograph showing wafer back-surfaces after chemical etching.

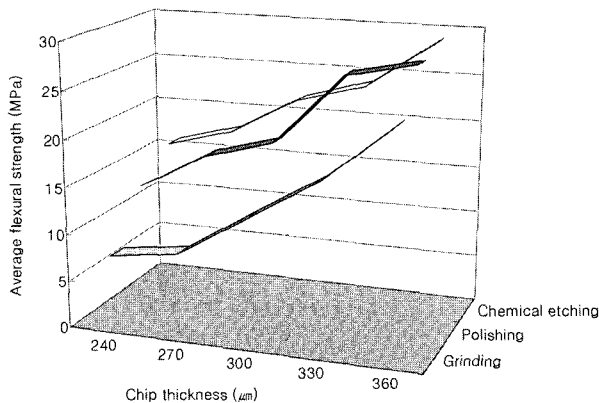


Fig. 8. The effect of the adoption of finishing process on the flexural strength of bare chips.

라인딩과 폴리싱에 의해 각각 준비된 칩의 평균 강도 값)와 비교한 것이다. 화학적 에칭은 예상했던 것처럼 그라인딩에 의해 준비된 칩의 평균 휨강도 값과는 큰 유의차를 보였으나, 폴리싱에 의해 준비된 칩의 평균 휨강도 값과는 별다른 차이를 보이지 못했다. 다만, 칩 두께가 얇을때 폴리싱에 의해 준비된 칩의 평균 휨강도 값보다 다소 향상된 휨강도 값을 나타낸다는 것을 알 수 있었다.

Fig. 9는 여러 가지 이면연마 공정에 의해 준비된 칩에 대한 휨강도를 주어진 온도에서 1시간 정도 어닐링 한 후 그 차이를 비교하기 위해 제시된 그래프이다. Fig. 9에서 볼 수 있듯이 500°C 이상에서 어닐링 한 후 칩의 휨 강도에 변화가 있다는 것은 그라인딩 과정에서 웨이퍼 이면에 잔류응력의 유입 가능성을 확인하는 것이라 볼 수 있다. 특히, 화학적 에칭에 의해 준비된 칩들의 경

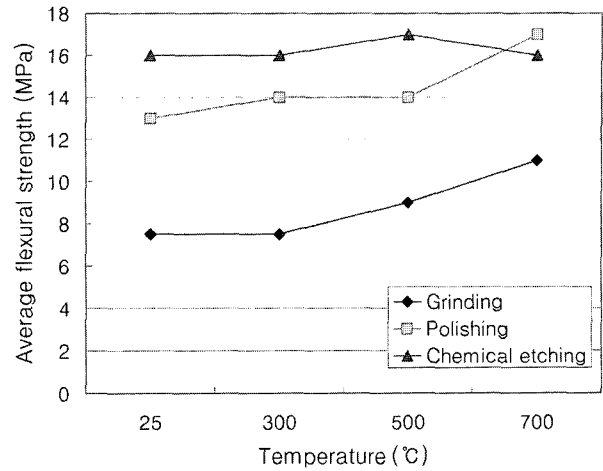


Fig. 9. The effect of temperature on the flexural strength of bare chips.

우 어닐링 후에도 강도의 변화가 거의 없다는 것은 어닐링 전에도 화학적 에칭 자체가 화학적 템퍼링에 의해 칩에 존재하는 잔류응력 자체를 상당 부분 감소시킬 수 있다는 것을 반증하는 것으로 해석된다. 또한, 폴리싱에 의해 준비된 칩들의 경우 고온에서의 어닐링에 의해 휨강도가 개선되었다는 것은 폴리싱에 의한 그라인딩 자극의 제거 외에도 칩에 잔존하는 잔류응력에 대한 제거의 필요성을 강조하는 것으로 볼 수 있으며, 그라인딩만에 의해 준비된 칩들의 휨 강도가 고온의 어닐링 후 상당히 개선되는 것이 이를 잘 설명하는 것이다.

4. 고 찰

실리콘 칩 자체가 영구변형에 의해 외부에서 가해진 힘을 수용하기 보다는 탄성변형 후 취성파괴 되는 재질이다. 따라서 3점굽곡 실험동안 실리콘 칩 이면에 존재하는 그라인딩 마크(즉, notch)에 발생하는 응력집중(즉, 최대의 stress intensity)은 칩의 취성파괴의 가능성을 결정하는데 있어서 대단히 중요한 요인이다. Fig. 10에 나타내어진 도면에서 처럼 칩 이면에 노치를 만들어 인장응력을 가했을 때, 해당 노치에 발생하는 응력집중도(K)는 다음과 같이 해석할 수 있다.¹⁾

$$K = PL/Wt^{2/3} [2.9(a/t)^{1/2} - 4.6(a/t)^{3/2} + 21.8(a/t)^{5/2} - 37.6(a/t)^{7/2} + 38.7(a/t)^{9/2}] \quad (1)$$

(where P: load, L: distance between support pins, W: chip width, t: chip thickness)

이때, 실리콘 칩 이면에 존재하는 그라인딩 마크 처럼 칩 두께에 비해 노치의 깊이가 작을 때 노치 끝부위에

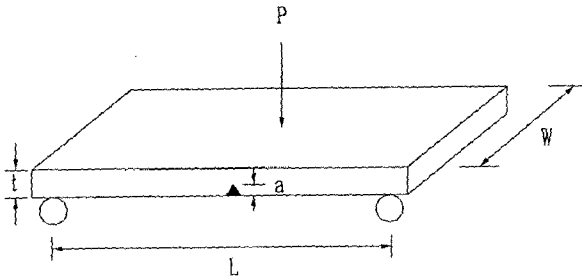


Fig. 10. Schematic drawing to reflect the chip geometry with a notch-shaped defect.

발생되는 응력집중도는 대략 다음과 같은 값으로 나타낼 수 있다.

$$K \propto \sqrt{a}/t^2 \quad (2)$$

식 (2)는 노치 끝부위에서의 응력집중도 값이 칩의 두께에 대단히 민감하다는 것을 보여준다. 이는 Fig. 6에서 칩의 휨강도가 왜 칩 두께에 대단히 큰 영향을 받았는지를 설명하는 것이다. 또한 식 (2)는 노치의 깊이 (즉, 그라인딩 마크의 깊이)가 대단히 작을 때, 시편 이면에 발생하는 응력집중도 값은 거의 영에 접근할 수 있다는 것을 보여준다. 즉,

$$\sqrt{a}/t^2 \rightarrow 0; K \rightarrow 0 \quad (3)$$

이 역시 폴리싱이나 화학적 에칭에 의해 칩 이면의 그라인딩을 적절히 제거했을 때 칩 이면에서 발생하는 응력 집중 현상을 최소화할 수 있어서 해당 칩의 휨강도를 상당히 향상시킬 수 있다는 것을 이론적으로 설명하는 것이다.

5. 결 론

본 연구에서는 웨이퍼의 이면 가공시 발생하는 그라인딩 자국을 폴리싱이나 에칭공정을 추가적으로 도입하여

적절히 제거할 때 칩 상태에서의 휨 강도가 2배 이상까지 증가시킬 수 있다는 것을 보였다. 또한 본 연구에서는 실리콘 웨이퍼를 적절한 온도에서 가열하여 그라인딩 과정에서 발생하는 잔류응력을 제거하였을 때 칩의 휨 강도 증가를 극대화할 수 있다는 것을 확인할 수 있었다. 따라서, 기존의 그라인딩 공정에 에칭공정이나 폴리싱 후 열처리 공정을 추가로 도입할 경우 칩의 두께를 25% 얇게 만들 경우 발생 가능한 휨 강도 저하를 충분히 극복할 수 있다는 것을 알 수 있었다.

감사의 글

본 연구는 2002년도 인천대학교 자체연구비에 의하여 수행되었기에 이에 감사드립니다.

참 고 문 헌

1. D. Broek, Elementary Engineering Fracture Mechanics, 170 (1983).
2. J.H. Lau, Thermal Stress and Strain in Microelectronics Packaging, 422 (1993).
3. G. Hawkins, H. Berg, M. Mahalingam, G. Lewis, Lofgran, Proc. 25th Int. Reliability Phys. Symp., IEEE, 216 (1987).
4. T.B. Lim, Proc. 25th Int. Reliability Phys. Symp., IEEE, 131 (1989).
5. M. Nishiguchi, N. Goto and H. Nishizawa, IEEE CPMT, 14, 523 (1991).
6. K. Mizuishi, M. Tokuda and Y. Fujita, IEEE CPMT, 11, 447 (1988).
7. R. P. Vidano, D. W. Paananen, T. H. Miers, J. M. Krause-Singh, K. R. Agricola and R. L. Hauser, IEEE CPMT, 12, 612 (1987).
8. M. Nishiguchi, N. Goto, T. Sekiguchi, H. Nishizawa, H. Hayashi and K. Ono, IEEE CPMT, 13, 528 (1990).
9. S. M. Lee, S. M. Sim, T. W. Chung, Y. K. Jang and H. K. Cho, JJAP Part 1, 6A, 3374 (1997).
10. M. G. Pecht, L. T. Nguyen and E. B. Hakin, Plastic-Encapsulated Microelectronics (John Wiley and Sons, Inc., 1995) 242.