

## 포화 저항망을 이용한 광적응 윤곽 검출용 시각칩

공재성\*<sup>†</sup> · 서성호\* · 김정환\*\* · 신장규\* · 이민호\*

### A light-adaptive CMOS vision chip for edge detection using saturating resistive network

Jae-Sung Kong\*<sup>†</sup>, Sung-Ho Suh\*, Jung-Hwan Kim\*\*, Jang-Kyoo Shin\*, and Minho Lee\*

#### Abstract

In this paper, we proposed a biologically inspired light-adaptive edge detection circuit based on the human retina. A saturating resistive network was suggested for light adaptation and simulated by using HSPICE. The light adaptation mechanism of the edge detection circuit was quantitatively analyzed by using a simple model of the saturating resistive element. A light-adaptive capability of the edge detection circuit was confirmed by using the one-dimensional array of the 128 pixels with various levels of input light intensity. Experimental data of the saturating resistive element was compared with the simulated results. The entire capability of the edge detection circuit, implemented with the saturating resistive network, was investigated through the two-dimensional array of the  $64 \times 64$  pixels

**Key Words :** vision chip, edge detection, light-adaptive capability, saturating resistive network

## 1. 서 론

영상 처리 시스템에서 윤곽선은 영상의 특성을 구분하는 중요한 요소 중에 하나이며, 실제로 패턴 인식 등의 많은 영상 처리에 이용되어지고 있다. 현재까지 신호 처리를 위해서 윤곽 신호를 얻기 위해서는 일반적으로 charge-coupled device(CCD)와 PC의 분리된 시스템을 이용하여 라플라시안 필터링(laplacian filtering) 등의 소프트웨어적인 방법이 사용되어져 왔다. 이런 기존의 영상 처리 방법은 영상 취득과 영상 신호 처리를 위한 부분이 독립적으로 분리되어 있어서 그 부피가 크고 전력 소모가 많다. 또한 이러한 직렬 신호 처리 방식은 여러 단계의 신호 처리 과정을 거치기 때문에 실시간 신호 처리에 적용하기에 어려움이 있었다<sup>[1,2]</sup>.

이러한 문제를 극복하기 위해서 생체 망막의 윤곽 검출용 메커니즘을 이용한 윤곽 검출용 시각칩이 최근

활발히 연구되어 지고 있다<sup>[3-8]</sup>. 생체 망막에서는 시세포, 수평세포, 쌍극세포가 윤곽 검출에 관여한다고 알려져 있다. 시세포는 눈으로 들어오는 광 입력을 전기 신호로 변환하고, 수평세포는 시세포의 출력을 받아 신호를 공간적으로 평활시킨다. 그리고 쌍극세포는 시세포와 수평세포의 출력의 차이를 출력한다<sup>[9]</sup>. 이러한 세 가지 세포의 기능을 하나의 칩에 집적하여 실시간으로 영상에 대한 윤곽 신호를 검출할 수 있다.

생체 망막의 윤곽 메커니즘을 이용한 윤곽 검출용 시각칩의 구현에 있어서, 저항망은 윤곽 특성을 결정하는 가장 중요한 요소 중 하나이기 때문에 적절한 저항 요소 및 저항망의 구현은 매우 중요한 연구 중 하나이다. 현재까지 이러한 저항망을 구현하기 위해서 선형 혹은 비선형의 저항망들이 제안되었다<sup>[3,4,6,8]</sup>. 하지만, 그 제안된 회로들에 의한 윤곽 출력의 결과는 배경광의 변화 혹은 입력 광의 광량 차이에 대해서 출력의 크기와 평활 길이가 민감하게 변화하였다. 이러한 출력 크기의 편차는 윤곽 신호를 검출해 내기 어렵게 만들고, 평활 길이의 변화는 공간 해상도에 나쁜 영향을 미친다.

본 논문에서는 윤곽 출력 크기 및 평활 길이를 일정하게 나오게 하기 위해서 포화 저항망을 제안하였다.

\*경북대학교 전자공학과 (Department of Electronics, Kyungpook National University)

\*\*경일대학교 전자정보통신공학부 (School of Electronic Information and Communication Engineering, Kyungil University)

<sup>†</sup>Corresponding author: kongjs@ee.knu.ac.kr

(Received : March 23, 2005, Accepted : July 22, 2005)

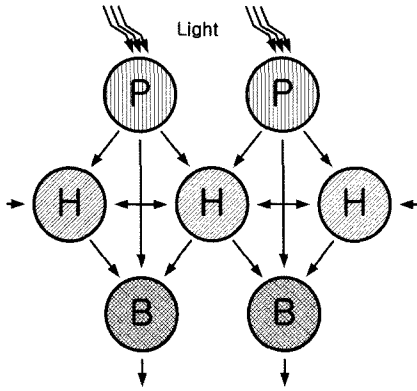


그림 1. 망막에서의 신호 흐름도  
Fig. 1. Signal flow diagram in the retina.

포화 저항 요소는 픽셀 간 전압차가 특정 전압 이하에서는 전류의 흐름을 제한하고, 특정 전압 이상에서는 포화된 전류가 흐르게 하여 일정한 윤곽 출력이 나타나게 하였다. 제안된 회로의 동작 특성을 128 픽셀의 일차원 어레이 모의실험을 통하여 알아보았다. 더불어 칩 전체의 동작 특성을  $64 \times 64$  픽셀의 이차원 어레이를 이용하여 단일 MOSFET 저항망 및 선형 저항망을 이용한 결과와 비교 분석하였다.

## 2. 이 론

### 2.1. 생체 망막의 윤곽 검출 메커니즘

망막에서의 윤곽검출은 시세포, 수평세포 그리고 쌍극세포를 통하여 행해진다고 알려져 있다. 이러한 윤곽 검출의 원리를 그림 1에 제시하였다. 시세포는 입력 광강도에 대응하는 전압을 출력한다. 수평세포는 시세포의 출력을 입력으로 받아서 인접한 수평 세포간의 신경망(neural network)을 이용하여 공간적으로 평활된 출력을 쌍극세포로 내보낸다. 쌍극세포는 시세포와 수평세포의 출력을 받아 두 신호의 차를 출력하게 된다. 이것에 의해 시각상의 윤곽부근에서만 큰 출력이 얻어져 윤곽이 검출된다. 망막에서는 국소적으로 배경 광에 적응하여 큰 밝기 차이에서도 적절히 시공간 분해 조절 기능을 수행하여 윤곽을 정확히 검출할 수 있다. 위와 같이 눈이 입력 영상 신호를 병렬 처리 방식으로 전처리하여 뇌의 부하를 덜어주어 빠르게 원하는 신호를 분석해낼 수 있게 된다<sup>9)</sup>.

그림 2는 윤곽 검출 원리를 나타낸 것이다.  $x$ 축은 세포의 위치를 나타내고,  $y$ 축은 각각 시세포, 수평세포, 그리고 쌍극세포의 출력 값을 나타낸다. 좌측이 어둡고

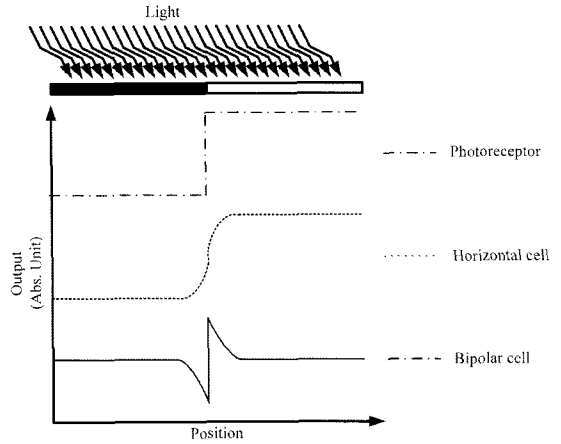


그림 2. 윤곽 검출 원리  
Fig. 2. Principle of edge detection.

우측이 상대적으로 밝은 광 신호가 입력되었을 때, 시세포는 그 입력 광에 대응하는 계단 함수(step function) 전압을 출력한다. 이 신호는 수평세포로 전달되어 평활되며, 쌍극세포는 시세포와 수평 세포의 신호를 받아 그 차이를 출력하게 된다. 이 때 수평 세포의 평활 특성은 윤곽 출력 신호의 출력을 좌우한다. 즉, 수평 세포에 의해서 평활된 신호와 시세포의 신호의 차이는 바로 윤곽 신호의 크기와 직결되며, 평활 길이가 길어지는 것은 직접적으로 공간 해상도가 나빠진다는 것을 의미한다.

### 2.2. 광적응 메커니즘

저항망을 구현하기 위해서 그림 3과 같은 두 소스 팔로워(source follower) 사이에 특정한 저항 요소가 들어가는 전자 회로 구조를 이용할 수 있다.  $V_i$  및  $V_j$ 는 각각  $i$ 번째 및  $j$ 번째 수광부에서 들어오는 광량에 따른 전기 신호의 입력 노드이다. MOSFET  $M_{p_i}$ 와  $M_{p_j}$ , 그리고  $M_{n_i}$ 와  $M_{n_j}$ 로 이루어진 소스 팔로워는 수광부의 출력 신호를 받아서 전위 이동된 전압을 출력한다.  $V_{SF_i}$  및  $V_{SF_j}$ 는  $V_i$  및  $V_j$  전위에서  $V_{DD}$ 와  $V_{sbias}$ 의 전위차만큼 더해진 전위이다. 이 전위는 저항 요소(resistive element)에 연결되어 전위차의 일정량이 공간적으로 평활된 신호를 만들어 낸다.  $I_{bias}$ 는  $V_{sbias}$ 로 제한되어서 MOSFET  $M_{n_i}$ 에서 흐르는 전류이며  $I_R$ 은 저항 요소에서 흐르는 전류,  $I_p$ 는  $M_{p_i}$ 에서 흐르는 전류이다.

그림 3에서  $V_{GS}$ 를 MOSFET  $M_{p_i}$ 의 게이트-소스간 전위차라고 한다면 저항망을 통한 전류가 없을 경우 그 값은 식(1)과 같이 계산된다<sup>10)</sup>.

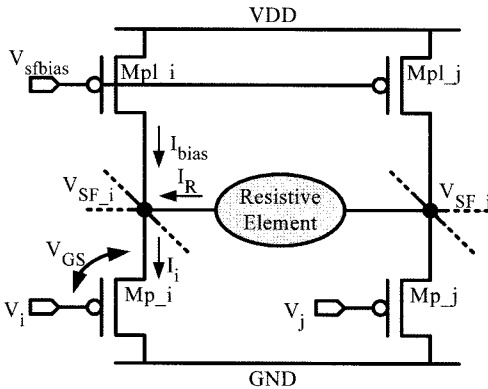
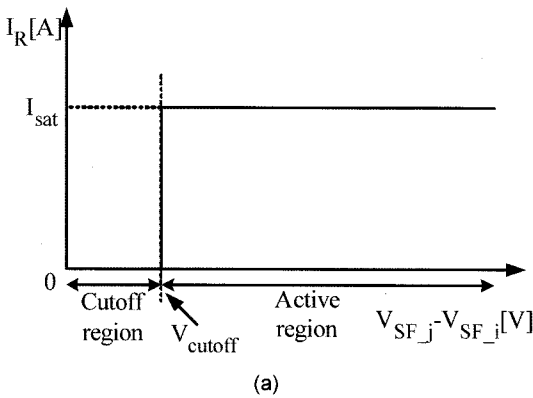
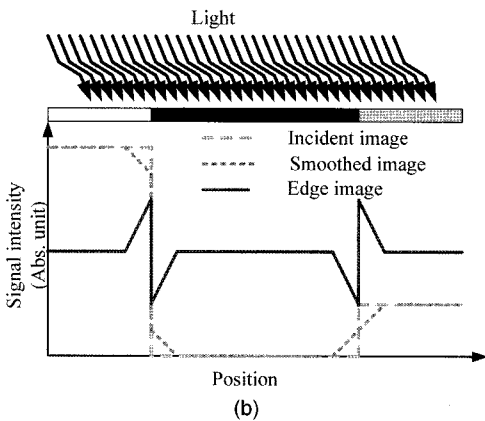


그림 3. 저항망의 등가 회로  
Fig. 3. Equivalent circuit of a resistive network.



(a)



(b)

그림 4. 광적응 메커니즘; (a) 광적응 실험을 위한 이상적인 비선형 저항 요소의 전류-전압 특성, (b) 예상 출력  
Fig. 4. Mechanism of light-adaptation; (a) I-V characteristics of the ideal non-linear resistive element for light adaptation, (b) Expected output signal.

$$V_{GS} = -\sqrt{\frac{I_{bias}}{\beta}} + V_{th}$$

(1)

그림 4(a)와 같은 저항 특성을 가지는 저항 요소를 그림 3의 저항망 회로에 적용하였을 경우 최종 유효 출력 크기 및 평활 길이를 일정하게 만들 수 있다. 그림 4(a)에서 x축은 저항 요소 양단의 전위차를 나타내고, y축은 평활 전류의 크기를 나타낸다. 두 평활 노드의 전위차가  $V_{cutoff}$  이하인 경우, 평활 전류는 0이 되며 평활 이전의 전위차와 평활 이후의 전위가 동일하므로 전위차는 0이 된다. 즉, 유효 신호는 나타나지 않는다. 반면에 두 평활 노드의 전위차가  $V_{cutoff}$  이상인 경우 평활 전류의 크기는  $I_{sat}$ 이 되며, 이때의 평활된 전위는 식(2)과 같이 나타낼 수 있다.

$$V_{CS\_sat} = \sqrt{\frac{I_{bias} + I_{sat}}{\beta}} + V_{th}$$

(2)

식 (1)과 식 (2)의 신호 크기의 차이는 유효 신호의 크기가 된다. 이 관계에 따라서 크기가 다른 두 개의 다른 계단 입력 모양의 광 입력 조건에서 그림 4(b)와 같은 유효 출력을 예상할 수 있다. 이 때 출력되는 유효 신호의 평활 길이 역시 일정한 값을 가지게 된다. 이와 더불어 만약 최종 출력인 평활 전후의 전위차가  $V_{cutoff}$ 보다 작다면 평활 길이가 하나의 단위 픽셀인 공간 해상도의 최대화를 구현할 수 있다.

### 3. 회로 설계

#### 3.1. 포화 저항 요소

그림 4에서 제안된 비선형 저항 요소의 이산적(discrete)인 전류 특성은 실제로 구현하기 매우 어렵다. 하지만, 그림 5에서 제안하는 회로를 이용하여 포화 전류 특성을 얻을 수 있었으며, 광적응 기능을 실현할 수 있었다. 포화 저항 요소는 모두 4개의 MOSFET로 구성되어 있다. MOSFET MDM의 소스와 드레인은 평활 되는 픽셀 노드의 양단에 연결된다. MOSFET M1과 M2 그리고 Mbias는 MOSFET MDM에 적당한 바이어스 전압을 공급하기 위한 회로이다. 적당한 평활 전류를 흘려주기 위해서는 모든 MOSFET는 서브스레숧드(sub-threshold) 영역에서 동작하여야 한다. MOSFET Mbias를 통해 흐르는 바이어스 전류  $I_{bias}$ 의 크기는 바이어스 전압인  $V_{bias}$ 에 의해 제한된다. 바이어스 전류  $I_{bias}$ 의 크기는 식(3)과 같이 계산된다.

$$I_{bias} = I_0 \exp\left(\frac{V_{bias}}{\xi \cdot V_T}\right)$$

(3)

여기서  $\xi$ 는 비선형 요인(non-linear factor)이며,  $V_T$ 는  $kT/q$ 이다<sup>[10]</sup>. 만약 MOSFET MDM의 소스 전위인  $V_S$

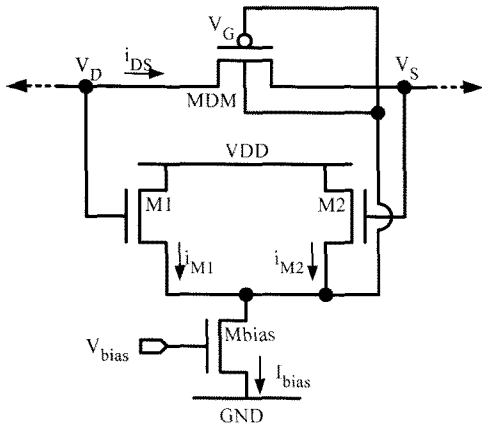


그림 5. 포화 저항 요소  
Fig. 5. Saturating resistive element.

가 드레인 전위인  $V_D$ 보다 상당히 큰 경우, MOSFET M1과 M2를 통해 흐르는 전류는 각각의 게이트-소스 전위에 대해 지수적으로 증가하게 되므로  $I_{bias}$ 는 거의

대부분 MOSFET M2를 통해 흐르게 된다. 이 경우 MOSFET MDM의 게이트-소스간 전위차인  $V_{GS}$ 는 계산에 의해 식(4)과 같이 계산하여 나타낼 수 있다.

$$V_{GS} = -V_{bias} \quad (4)$$

이 때의 전위차는 이 회로가 가지는 게이트-소스간 전위차의 최대 절대치이다. 더불어 MOSFET MDM의 소스와 드레인 전위가 동일한 경우, MOSFET M1과 M2에 동일한 크기의 전류가 흐르게 되고, 그 전류의 크기는  $I_{bias}$ 의 절반이 된다. 이 경우의 MOSFET MDM의 게이트-소스간 전위차는 식(5)와 같이 계산되어 나타내어진다.

$$V_{GS} = -V_{bias} + \xi V_T \cdot \ln(2) \quad (5)$$

식(5)에서의 값은 그림 4의 회로가 가지는 최대 전위차이며,  $V_D$ 가  $V_S$ 보다 커지는 경우 소스와 드레인의 위치가 변하게 된다. 즉, 전류의 방향은 반대이지만 크기가 동일한 결과를 얻을 수 있다.

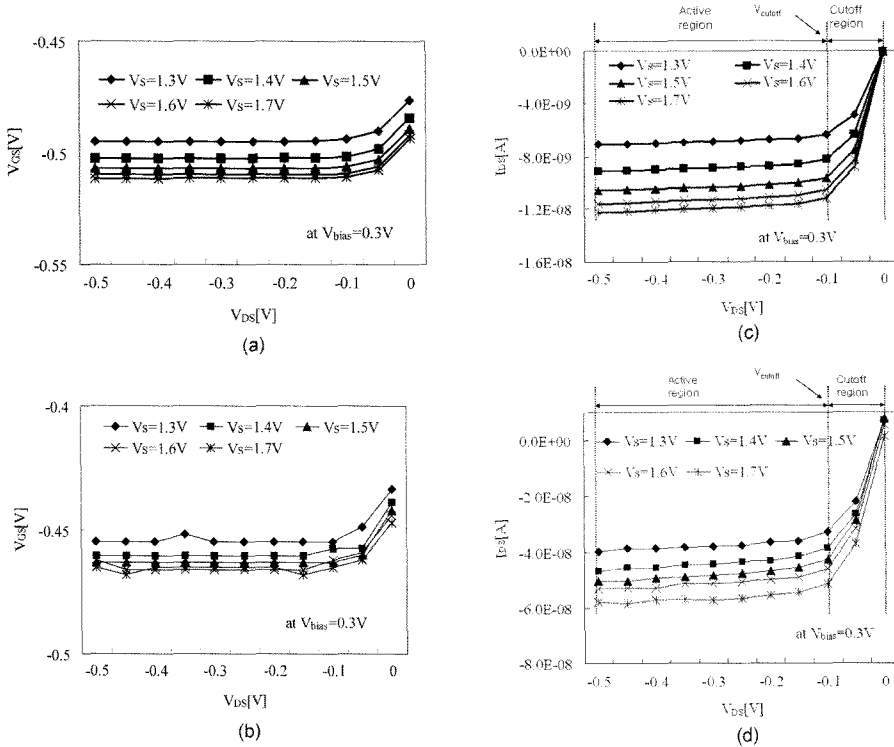


그림 6. 포화 저항 요소의 특성; (a)  $V_{GS}$ - $V_{DS}$ 의 모의실험 특성 및 (b) 실험 특성, (c)  $I_{DS}$ - $V_{DS}$ 의 모의실험 특성 및 (d) 실험 특성  
Fig. 6. Characteristics of saturating resistive element; (a) Simulated and (b) measured data of  $V_{GS}$ - $V_{DS}$  characteristic (c), Simulated and (d) measured data of  $I_{DS}$ - $V_{DS}$  characteristic.

그림 6은 제안된 포화 저항 요소의 전기적인 특성을 나타낸 그림이다. 식 (4)에서와 같이 MOSFET MDM의 소스 전위  $V_S$ 의 크기가 드레인 전위  $V_D$ 보다 0.12 V 정도 커지게 되면,  $V_{GS}$ 는  $V_{bias}$ 에 의해서 결정되어지는 일정 전위를 가지게 되고,  $V_S$ 와  $V_D$ 가 비슷해질수록 MOSFET MDM의 게이트-소스 전위차인  $V_{GS}$ 의 절대치 크기가 작아짐을 알 수 있다. 그림 6(a)와 (b)는 포화 저항 요소의 동작 특성을 그림 3의 회로에서 예상되는 소스 팔로워의 동작 범위인 1.3 V에서 1.7 V까지 0.1 V 단위로 소스 전위를 변화시키면서  $V_{GS}$ 와  $V_{DS}$ 의 관계를 모의실험 및 실험 측정한 결과이다. 식 (4)과 식 (5)에서 계산한 전위보다 모의실험에서 전위가 더 작은 이유는 MOSFET M1 및 M2에 존재하는 body-effect 때문이다. 그림 6(c) 및 (d)는 포화 저항 요소의  $I_{DS}$ - $V_{DS}$  특성 곡선을 나타낸다. 약 -0.12 V의 소스-드레인간의 전위차가 발생하였을 때 전류가 포화됨을 알 수 있다. 그림 6의 특성 곡선을 통하여 우리는 포화 저항 요소가 그림 4(a)에 나타난 비선형 저항 특성과 비슷한 특성을 가지며, 그 역할을 수행할 수 있음을 예상할 수 있다.

3.2. 회로 구성

그림 7은 단위 픽셀을 나타낸 것이다. 단위 픽셀은 한 개의 로그리즘릭(logarithmic) 회로, 두 개의 소스 팔로워 회로 및 두 개의 저항 요소로 이루어진다. 로그리즘릭 회로는 광 신호를 전기신호로 변환하는 망막에서의 시세포 역할을 수행하고, 소스 팔로워 및 저항 요소는 신호를 공간적으로 평활시키는 망막 내 수평세포의 역할을 한다. 그리고 전체 픽셀 어레이에 공통적으로 사용되는 차동 증폭기는 쌍극세포의 역할을 담당하게 된다. 즉, 시세포의 출력인  $V_{buf,i}$ 와 평활된 신호인  $V_{blur,i}$ 의 차이 전압을 출력한다.

그림 8은 윤곽 검출 회로의 이차원 어레이를 나타낸 것이다. 단위 픽셀은 상하좌우로 픽셀 간에 저항 요소를 통해 연결되고, 저항 요소로 형성된 이차원 저항망을 통해 신호의 평활이 이루어진다. 각 단위 픽셀은 평활 전 신호와 평활 후 신호의 두 가지 출력을 내며, 그 두 가지 출력은 최종 출력단에 위치한 차동 증폭기를 통해 증폭된 차를 출력한다. 이 증폭된 출력차가 바로 윤곽 신호가 된다.

4. 모의실험 및 고찰

모의실험을 위해서 포토다이오드는 전류원으로 대체되었으며, 광전류의 크기는 최소 10 fA에서 최대 10

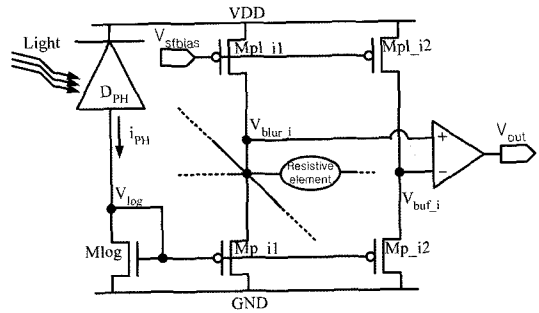


그림 7. 단위 픽셀  
Fig. 7. Unit pixel.

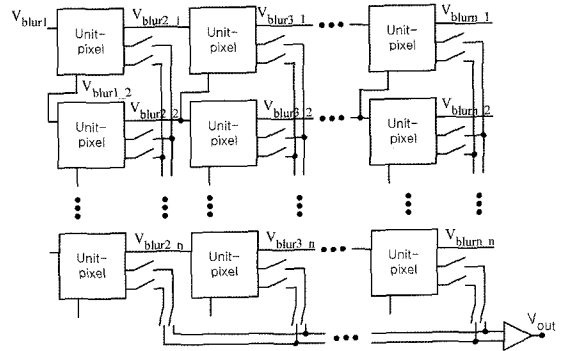


그림 8. 이차원 어레이  
Fig. 8. 2-dimensional array.

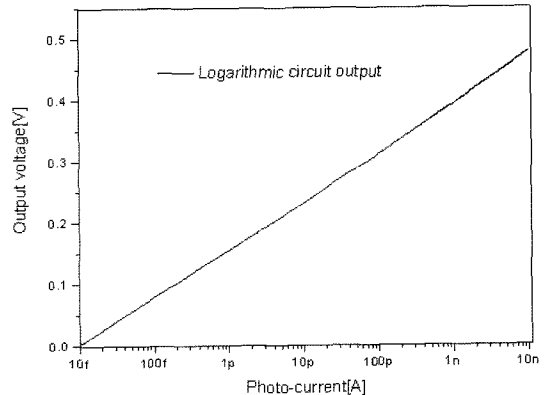


그림 9. 로그리즘릭 회로의 출력 특성 곡선  
Fig. 9. Characteristic curve of logarithmic circuit.

nA로 변화시키면서 모의실험을 수행하였다. 그림 9는 광전류 변화에 따른 로그리즘릭 회로의 출력 전압을 그래프로 나타낸 것이다. 로그리즘릭 회로는 최소 0.2 V에서 최대 0.46 V로 0.44 V 출력 스윙을 가지고, 이것은 설계한 포화 저항망 회로의 특성을 보기에 충분한 값임을 확인하였다.

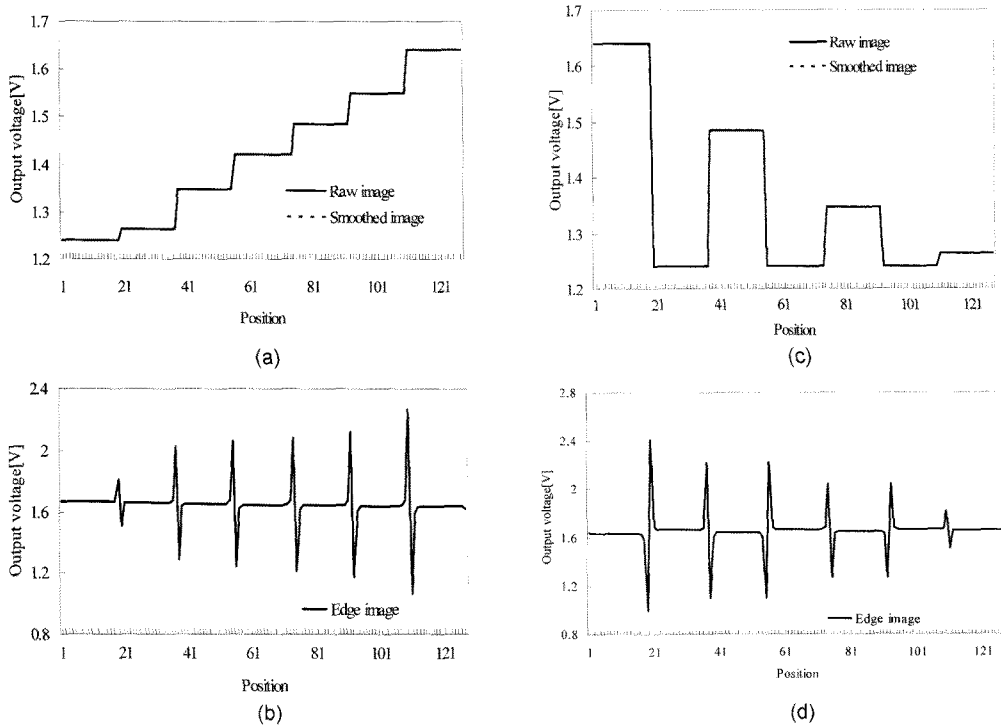


그림 10. 일차원 어레이의 모의실험 결과; (a) 계단 모양의 광 입력에 따른 수광부 및 평활부 출력 패턴, (b) 패턴 (a)에 따른 윤곽 출력, (c) 펄스 모양의 광 입력에 따른 수광부 및 평활부 출력 패턴, (d) 패턴 (c)에 따른 윤곽 출력  
 Fig. 10. Simulation results of 1-dimensional array; (a) Raw and smoothed output patterns according to the step function type of light, (b) edge output to the input pattern (a), (c) raw and smoothed output patterns according to the impulse function type of light, (d) edge output to the input pattern (c).

그림 10는 포화 저항망을 이용한 128개의 단위 픽셀을 가지는 일차원 어레이의 모의실험 결과이다. 그림 10(a)와 (c)에서 실선은 각각 계단 및 펄스 모양의 광 입력을 나타낸다. 점선은 그 입력에 대해서 평활된 신호를 나타내며, 평활된 정도는 앞에서 수식화한 내용과 유사하게 일정하게 평활된 신호를 출력함을 확인할 수 있었다. 그림 10(b)와 (d)는 각각 (a) 및 (c)의 입력에 대한 윤곽 출력을 나타낸다. 평활된 신호와 평활되기 전의 신호가 차동증폭기를 통해 차이가 증폭되어 나타나고, 그 크기 및 평활 길이는 비교적 일정한 값을 가진다. 그림 10(d)에서 작은 펄스 입력에 대해서는 작아지는 출력은 픽셀 간 전위차가 컷 오프 전압 이하이기 때문이고, 컷 오프 전압보다 작은 입력에 대해서는 신호 크기와 비례하여 선형 저항망을 사용한 경우와 유사한 윤곽 출력 특성을 가지게 된다.

그림 11은 64 × 64 픽셀 이차원 어레이를 HSPICE를 이용하여 모의실험을 통하여 확인한 결과이다. 광 입력 밝기에 대한 광전류의 크기는 지수 함수로 계산하여

최소 10 fA부터 최대 10 nA까지로 모델링하였으며, 출력되는 신호는 가장 작은 전압을 검정색으로 그리고 가장 높은 전압을 흰색의 그레이 스케일로 표현하였다. 그림 11(a)는 모의실험을 위해 사용된 입력 이미지를 나타낸 것이다. 그림 11(b) 및 (c)는 각각 단일 MOSFET 저항망 및 선형 저항망을 적용하여 윤곽 신호를 검출했을 때의 출력 결과를 나타낸다. 기본적인 회로의 구조는 그림 3과 같으며, resistive element가 들어가야 할 부분에 각각 단일 MOSFET 및 선형 저항을 적용하여 모의실험 하였다. 그림 11(b)의 경우 많은 윤곽 신호를 잃어버린 것을 확인할 수 있다. 이는 외부에서 인가하는 바이어스에 의해서 흐르는 평활 전류의 크기는 특정한 전위가 걸리는 영역을 제외하고는 과도하게 흐르거나 부족하게 흐르기 때문에 윤곽 신호를 잃게 된다. 선형 저항망을 이용하여 이러한 문제를 줄일 수 있다. 하지만, 선형 저항망을 이용할 경우에는 픽셀간 전위차가 큰 영역에서는 신호와 평활 길이가 동시에 길어지고 이와 반대로 신호가 작다면 작은 윤곽 신호에

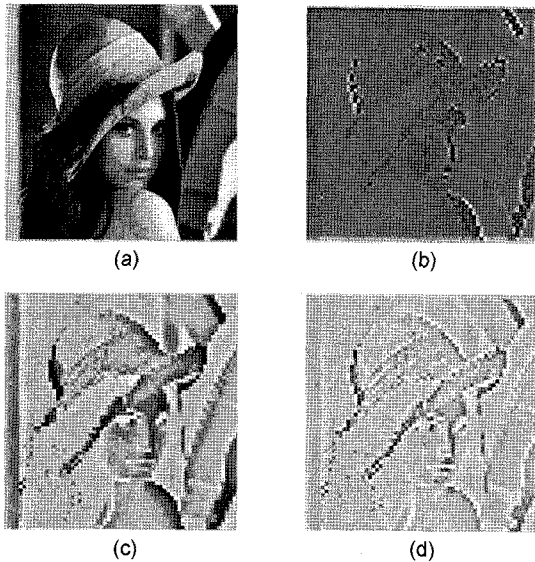


그림 11. 이차원 모의실험 결과; (a) 입력 이미지, (b) 단일 MOSFET 저항망, (c) 선형 저항망 및 (d) 포화 저항망을 이용한 윤곽 영상

Fig. 11. Simulation results of 2-dimensional array. (a) Input image, edge images by using (b) a single MOSFET network, (c) linear resistive network, and (d) saturating resistive network.

평활 길이도 동시에 줄어든다. 그림 11(c)는 포화 저항망을 이용하여 윤곽 신호를 검출하였을 때의 특성을 나타낸다. 선형 저항망에서 문제가 되었던 픽셀간 전위차에 따른 윤곽 신호의 크기차이가 많이 개선되었음을 확인할 수 있으며, 더불어 단일 MOSFET를 사용하였을 때 발생하는 신호의 손실 역시 발생하지 않음을 확인할 수 있었다. 출력신호를 기준치에서 쓰레숄딩(thresholding)하여 더 깨끗한 윤곽 정보를 얻을 수 있으리라 기대된다.

## 5. 결 론

영상 처리에서 윤곽은 그 물체를 구분 짓는 중요한 요소 중의 하나로써 많은 영상 신호 처리 시스템에 사용되어지고 있다. 이러한 윤곽 신호를 얻기 위해서 기존에는 CCD 카메라와 PC를 이용하여 시스템을 구현하고 라플라시안 필터링과 같은 소프트웨어적인 방식을 사용하여 왔다. 이러한 방식을 사용할 경우 독립된 두 개의 시스템이 존재하기 때문에 그 부피가 크고, 전력 소모 역시 크다. 그리고 직렬 정보 처리 방식을 사용하기 때문에 실시간 영상 정보 처리에 어려움이 있었

다. 이러한 문제를 해결하기 위해서 인간 망막의 윤곽 검출 매커니즘을 기초로 한 시각칩이 이용될 수 있다.

본 논문에서는 망막에서 이루어지는 윤곽 검출 원리를 바탕으로 포토다이오드와 MOSFET를 이용하여 시세포, 수평세포 그리고 쌍극세포의 기능을 간단한 전자 회로로 구현하였다. 특히 윤곽 출력의 크기와 평활 길이를 일정하게 하기 위하여 포화 저항망을 수평세포의 회로 모델로써 제안하였으며, 정량적으로 그 특성을 해석하였다. 이와 더불어 단 4개의 MOSFET를 사용하여 포화 저항망에 사용될 수 있는 저항 회로를 제안하였으며, 실험을 통하여 그 특성을 확인하였다. 이러한 정량적 분석과 더불어 HSPICE를 이용한 모의실험을 통하여 선형 저항망을 이용하는 기존의 윤곽 검출 회로가 가지는 광 밝기 및 밝기 차의 변화에 대한 윤곽 신호의 크기 변화 또는 평활 길이의 변화를 해결할 수 있음을 확인할 수 있었다.

MOSFET의 소스 전위 변화에 따른 평활 전류의 크기 변화를 최소화하고, 윤곽 여부 판단에 결정적인 영향을 주는 컷오프 전압의 크기를 조절할 수 있는 회로를 설계한다면 더 좋은 윤곽 출력 결과를 얻을 수 있을 것이다. 이와 더불어 MOSFET의 부정합으로 발생하는 노이즈를 제거할 수 있는 회로를 함께 집적하여 향상된 윤곽 영상 출력을 얻을 수 있을 것으로 기대된다.

## 감사의 글

본 연구는 뇌과학연구센터의 뇌신경정보학연구사업비에 의해서 연구되었음.

## 참고 문헌

- [1] Alireza Moini, *Vision Chips or Seeing Silicon*, CHIPTec, 1997.
- [2] C. A. Mead, "Analog VLSI and neural systems", Addison-Wesley, 1989.
- [3] S. Kameda and T. Yagi, "An analog VLSI chip emulating sustained and transient response channels of the vertebrate retina", *IEEE Trans. on Neural Networks*, vol. 14, no. 5, pp. 1405-1412, 2003.
- [4] J.-H. Park, J.-H. Kim, S.-H. Suh, J.-K. Shin, and P. Choi, "Edge and motion detection using a bio-inspired CMOS vision chip robust to device mismatches", *IEEE Proc. 2003 ICNNSP*, vol. I, pp. 341-344, 2003.
- [5] C. Y. Wu and C. F. Chiu, "A new structure of 2-D. silicon retina with tunable image smoothing retina", *IEEE Journal of Solid-State Circuits*, vol. 30, no.

8, pp. 890-897, 1995.

[6] S. Sawa, K. Nishio, Y. Furukawa, H. Yonezu, and J.-K. Shin, "Analog integrated circuit for edge detection with wide dynamic range based on vertebrate outer retina", *Intelligent Automation and Soft Computing*, vol. 11, to be published (2005).

[7] J. L. Wyatt *et al.*, "The MIT vision chip project: Analog VLSI systems for fast image acquisition and early vision processing", *IEEE Int. Conf. on Robotics and Automation*, pp. 1330-1335, 1991.

[8] E. Funatsu, Y. Nitta, Y. Miyake, T. Toyoda, J. Ohta, and K. Kyuma, "An artificial retina chip with current-mode focal plane image processing functions", *IEEE Trans. on Electron Devices*, vol. 44, no. 10, 1997.

[9] Eric R. Kandel, James H. Schwartz, and Thomas M. Jessell, "Principles of neural science, 3rd edition", Appleton & Lange Norwalk, CT.

[10] B. Razavi, "Design of analog CMOS integrated circuits", McGRAW-HILL, 2001.



**공재성**

- 2002년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자공학과 졸업(공학석사)
- 현재 경북대학교 전자공학과 박사과정
- 주관심분야 : 비전 센서, 아날로그-디지털 혼성 회로 설계, 신경망



**서성호**

- 2003년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자과 졸업(공학석사)
- 현재 삼성전자 시스템-LSI 근무
- 주관심분야 : 이미지 센서, 시스템-LSI



**김정환**

- 1997년 2월 경일대학교 전자공학과 졸업(공학사)
- 1999년 2월 경북대학교 전자공학과 졸업(공학석사)
- 2003년 2월 경북대학교 전자공학과 박사 수료
- 현재 경일대학교 전자정보통신공학부 전임강사
- 주관심분야 : 비전 센서, 전류 모드 아날로그 회로 설계



**신장규**

- 1978년 2월 서울대학교 전자공학과 졸업(공학사)
- 1980년 2월 KAIST 전자공학과 졸업(공학석사)
- 1991년 5월 미국 콜로라도 주립대학교 전자공학과 졸업(공학박사)
- 현재 경북대학교 전자전기컴퓨터학부 교수
- 주관심분야 : 이미지 및 바이오 센서



**이민호**

- 1988년 2월 서울대학교 전자공학과 졸업(공학사)
- 1995년 2월 KAIST 전자공학과 졸업(공학석사, 공학박사)
- 1995년 ~ 1998년 한국해양대학교 전임강사, 조교수
- 1998년 ~ 현재 경북대학교 전자전기공학부 조교수
- 주관심분야 : 신경망, 신호 처리