

## 픽셀의 고정 패턴 잡음을 감소시킨 윤곽 검출용 시각칩

서성호 · 김정환<sup>†</sup> · 공재성 · 신장규

### Vision chip for edge detection with a function of pixel FPN reduction

Sung-Ho Suh, Jung-Hwan Kim<sup>†</sup>, Jae-Sung Kong, and Jang-Kyoo Shin

#### Abstract

When fabricating a vision chip, we should consider the noise problem, such as the fixed pattern noise(FPN) due to the process variation. In this paper, we propose an edge-detection circuit based on biological retina using the offset-free column readout circuit to reduce the FPN occurring in the photo-detector. The offset-free column readout circuit consists of one source follower, one capacitor and five transmission gates. As a result, it is simpler and smaller than a general correlated double sampling(CDS) circuit. A vision chip for edge detection has been designed and fabricated using 0.35  $\mu\text{m}$  2-poly 4-metal CMOS technology, and its output characteristics have been investigated.

**Key Words** : vision chip, edge detection, FPN, offset-free column readout circuit

#### 1. 서 론

현재 영상 정보 처리를 위한 시스템들이 많이 존재하고 있다. 이러한 시스템을 이용하여 처리되는 영상정보 중에서 물체의 윤곽 정보는 화상을 특징짓는 중요한 요소이다. 많은 양의 영상정보 중에서 물체의 윤곽에 대한 정보만을 가지고도 물체에 대한 많은 정보를 얻을 수 있다. 예를 들면 물체의 윤곽정보를 이용함으로써 윤곽 정보를 이용한 특정한 물체를 구별, 면적이 나 둘레의 계측 및 화상의 대응점 추출뿐만 아니라 복잡한 화상인식과 화상이해 등을 위해 사용되어진다.

일반적으로 널리 사용되어지는 물체의 윤곽 검출 방법으로는 CCD(charge coupled device) 카메라를 이용하여 영상 정보를 얻은 후, 이 영상 정보를 PC(personal computer)를 이용하여 소프트웨어적 라플라시안 필터처리와 같은 영상 처리를 수행후 획득하는 방법이 있다. 이와 같은 기존의 시스템에서는 영상을 취득하는 부분과 얻어진 영상 정보를 처리하는 부분이 구분되어 있으며, 이러한 직렬 정보 처리는 여러 단계의 프로세싱이 필요하여 실시간 정보 처리가 어렵고, 많은 장치

가 요구되어진다<sup>[1-3]</sup>.

최근 CMOS공정 기술이 발전됨에 따라 기존의 영상 처리 방식과는 다른 새로운 영상 처리 방식에 대한 연구가 이루어지고 있다<sup>[1,2,4,5]</sup>. 단순히 광신호를 전기신호로 변환하는 영상센서의 개발뿐만 아니라, 얻어진 영상 정보에 대한 처리기능을 담당하는 하드웨어구현에 대한 연구도 이루어지고 있다. 이렇게 함으로써 영상취득과 신호처리 기능을 하나의 칩에 집적하여 취득한 영상신호를 인접셀과 연계한 병렬신호처리가 가능할 뿐만 아니라, 저소비 전력 시스템의 구현 및 시스템 규모를 축소시키는 것 등이 가능하다<sup>[1,2,4]</sup>.

생체 망막에서의 영상처리 메커니즘은 세포들 간의 병렬신호처리를 통한 물체의 윤곽을 검출한다. 망막의 윤곽 검출 메커니즘을 모방하는 회로를 CMOS공정 기술을 이용하여 구현한다면 기존의 영상 처리 방법인 CCD와 PC를 이용한 디지털 연산처리방식에 비해 소비 전력, 처리속도, 시스템의 구성비용 및 결과의 신뢰성 등 다양한 관점에서 성능의 향상을 기대할 수 있다<sup>[5-8]</sup>. 하지만 이러한 생체망막의 윤곽 검출 메커니즘을 전자 회로로 모델링하여 시각칩을 구현하기 위해서는 CMOS 제조공정 중에 발생하는 MOSFET의 부정합에 대해 고려하지 않으면 안 된다. MOSFET의 부정합은 시간과 위치에 관계없이 독립적으로 랜덤하게 발생되며, 공정기술의 발달로 MOSFET의 면적과 회로의 전원 전압

경북대학교 전자공학과(Department of Electronics, Kyungpook National University)

<sup>†</sup>Corresponding author: ricehome@ee.knu.ac.kr

(Received : February 4, 2005, Accepted : March 3, 2005)

이 감소함에 따라 더욱 그 중요성이 대두되고 있다<sup>9)</sup>.

일반적으로 MOSFET의 부정합에 의한 오프셋을 제거하기 위해서는 2개의 커패시터와 4개의 스위치를 이용한 CDS(correlated double sampling)회로를 주로 사용한다<sup>10)</sup>. 그러나 이차원 저항망을 구성하기 위해 단위 회로에 CDS를 적용하면 많은 면적을 차지하여 해상도를 저하시키고, 더불어 차동증폭기에 의한 추가적인 FPN이 발생하여 출력 영상에 나쁜 영향을 미친다. 본 연구에서는 이러한 면적 소모 문제와 FPN 문제를 해결하기 위해서 Kavadias가 제안한 offset-free column readout circuit를 윤곽 검출용 시각칩에 적용하였다<sup>11)</sup>. 이 회로는 기존의 CDS 회로와 비교하여 거의 동일한 잡음 제거 특성을 가지면서 1개의 커패시터를 사용하기 때문에 차지하는 면적의 감소를 기대할 수 있다. 아울러 차동증폭기를 사용하지 않기 때문에 이로 인한 추가적인 FPN이 발생하지 않으므로 윤곽 검출용 시각칩의 이차원 저항망을 구성시키기에 더욱 효율적이다.

## 2. 이 론

### 2.1. 윤곽 검출 원리

인간의 눈은 여러 가지 세포들로 구성되어 있으며, 물체의 윤곽과 움직임을 검출한다. 입력 영상의 윤곽 정보는 망막에서 검출되어 지고 그림 1과 같이 인체의 망막은 무축삭 세포(amacrine cell), 신경절 세포(ganglion cell), 시세포(rods and cones), 수평 세포(horizontal

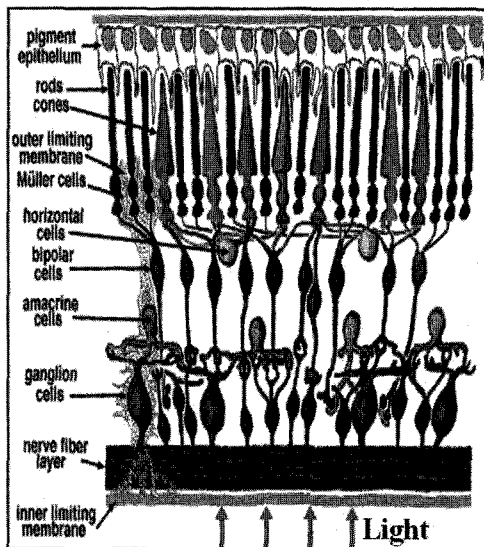


그림 1. 망막의 구조  
Fig. 1. Retina structure.

tal cell) 및 쌍극 세포(bipolar cell)로 구성되어 있다. 그 중 시세포, 수평 세포 그리고 쌍극 세포가 물체의 윤곽 검출에 관여한다고 알려져 있다<sup>11,5-7)</sup>.

인간의 망막에서 윤곽검출 방식에 대한 신호의 흐름과 이에 관여하는 세포들의 응답 특성을 그림 2에 나타내었다. 1차원으로 배열된 세포들의 가운데를 중심으로 하나의 윤곽을 가지는 입력이 존재할 경우, 시세포는 입사된 광신호를 전기적 신호로 변환하고(그림 2(a)), 수평세포는 인접한 시세포의 영향을 받아 공간적

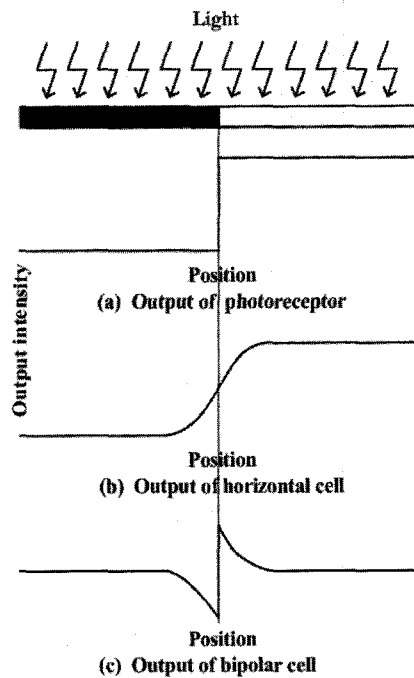


그림 2. 윤곽 검출의 원리  
Fig. 2. Principle of edge detection.

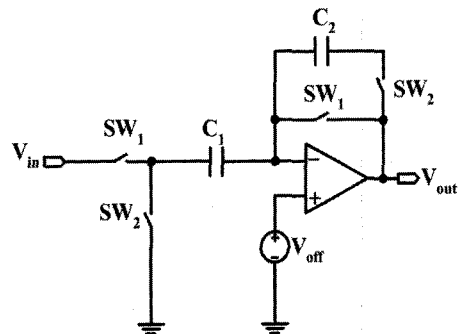


그림 3. 일반적인 CDS 회로  
Fig. 3. General CDS circuit.

으로 평활화된 신호를 출력한다(그림 2(b)). 이와같이 입력된 광강도에 대응하는 시세포의 출력과 평활화된 출력은 쌍극세포를 통하여 그 차를 출력한다(그림 2(c)). 따라서 동일한 입력 광강도 분포에 대해서는 출력의 변화가 없고, 윤곽부분에서만 큰 피이크의 출력이 존재하게 된다<sup>[2,12]</sup>.

**2.2. 오프셋 보상 회로**

시각칩 구현을 위해서는 우선적으로 생체의 망막을 구성하는 시세포, 수평세포 그리고 쌍극세포의 기능을 전자회로로 구현하여야 한다. 아울러 원하는 픽셀을 선택하는 디코더, 그리고 작은 신호를 증폭하기 위한 증폭기 등 부가적인 회로들이 필요하다. 이 회로들을 구성하는 개별 소자들의 특성을 결정하는 요인들은 CMOS 제조공정 중에 변화될 수 있다. 특히 각 단위픽셀 내부에 있는 능동 픽셀 센서의 출력을 담당하는 소스 폴로워와 출력단 readout회로의 특성변화는 시각칩의 최종 출력 오프셋으로 나타나게 되며, 이 출력이 다른 응용시스템의 입력으로 사용될 경우 시스템의 신뢰성을 제한하게 된다<sup>[13,14]</sup>.

일반적으로 회로 내부적으로 생기는 오프셋을 제거하기 위해서 CDS(correlated double sampling) 기술이 사용되고 있다. 일반적인 CDS 회로는 그림 3과 같이 4개의 스위치와 2개의 커패시터, 그리고 하나의 연산 증폭기를 사용하고 있다. 두 가지의 클럭 신호를 이용하여  $SW_1$ 과  $SW_2$ 를 제어함으로써 오프셋 보상을 행하게 된다. 스위치  $SW_1$ 이 ON이 되면, 커패시터  $C_1$ 에는 식 (1)처럼 입력전압  $V_{in}$ 과 회로적으로 발생된 오프셋 전압  $V_{off}$ 의 차에 비례하는 전하가 축적이 된다. 이때 출력 전압  $V_{out}$ 은  $V_{off}$ 이 된다. 스위치  $SW_2$ 가 ON이 되면, 전하량 보존 법칙에 의해 커패시터  $C_1$ 에의 한쪽 노드의 전압 변화에 대해 반대쪽 노드 전압이 변화하여 커패시터  $C_2$ 를 충전시키고 출력 전압은 오프셋 전압이 제거된 상태의 값을 식 (2)처럼 나타낸다.

$$QC_1 = C_1 \times (V_{in} - V_{off}) \tag{1}$$

$$V_{out} = V_{off} + (V_{in} - V_{off}) \tag{2}$$

기존의 CDS 회로에는 2개의 커패시터가 필요하고, 이를 이용하여 단위 픽셀을 구성할 경우 큰 면적이 요구되는 단점이 있다. 따라서 좀 더 간단하면서 작은 면적을 차지하고도 충분히 CDS 기술의 특성을 나타내는 회로의 필요성이 대두되었다<sup>[11]</sup>. 본 연구에서는, S. Kavadias의해 제안된 offset-free column readout circuit를 적용하여 APS에서 발생되는 고정 패턴 잡음(fixed

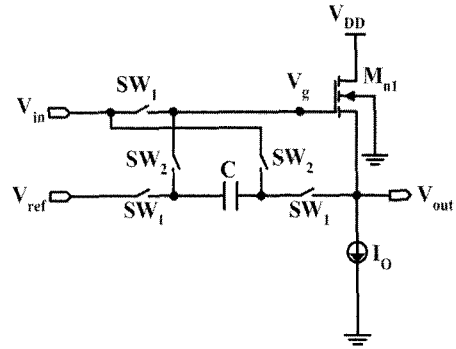


그림 4. Offset-free readout circuit 회로도  
Fig. 4. A schematic of offset-free readout circuit.

pattern noise)을 제거하고자 하였다. offset-free column readout circuit의 회로도를 그림 4에 나타내었다. 5개의 스위치, 1개의 커패시터 그리고 1개의 소스 폴로워로 구성된 offset-free column readout circuit는 기존의 CDS 회로에 비해 커패시터의 수를 줄임으로써 단위 픽셀 면적의 감소를 기대 할 수 있다.

일반적인 CDS 회로와 같이, 두 개의 스위치를 서로 다른 위상을 갖는 클럭 신호로 제어한다. 스위치  $SW_1$ 이 ON일 때, 커패시터  $C$ 에는 식 (3)과 같이 기준 전압  $V_{ref}$ 와 출력 전압  $V_{out}$ 의 차에 비례하는 전하가 축적이 된다. 스위치  $SW_1$ 이 OFF가 되고 스위치  $SW_2$ 가 ON되면 최종 출력이 나오게 되며, 식 (5)처럼 나타난다. 식 (3), (4)에 의해 게이트 전압  $V_g$ 를 식 (6)과 같이 나타낼 수 있으며, 이를 다시 식 (5)에 대입하여 공정 변수에 무관한 최종 출력  $V_{out}$ 을 식 (7)과 같이 얻을 수 있다. 이때  $V_{out}$ 은  $V_{ref}$ ,  $V_{in1}$ 과  $V_{in2}$ 에 의해서만 그 값이 결정됨을 알 수 있다. 여기서  $V_{in1}$ 은  $SW_1$ 이 ON 되었을 때의 입력 전압,  $V_{in2}$ 는  $SW_2$ 가 ON되었을 때의 입력 전압, 그리고  $V_g$ 는  $M_{n1}$ 의 게이트 전압을 나타낸다.

$$Q_C = C \times (V_{ref} - V_{out}) = C \times \left( V_{ref} - V_{in1} + V_{th} + \sqrt{\frac{2I_0}{K_0}} \right) \tag{3}$$

$$Q_C = C \times (V_g - V_{in2}) \tag{4}$$

$$V_{out} = V_g - V_{th} - \sqrt{\frac{2I_0}{K_0}} \tag{5}$$

$$V_g = V_{ref} - V_{in1} + V_{in2} + V_{th} + \sqrt{\frac{2I_0}{K_0}} \tag{6}$$

$$V_{out} = V_{ref} - V_{in1} + V_{in2} \tag{7}$$

Offset-free column readout circuit의 잡음 제거능력

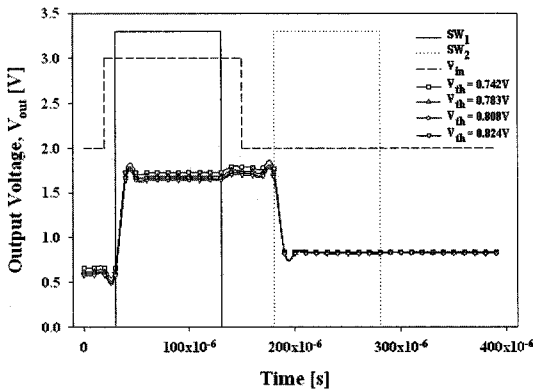


그림 5. 오프셋 제거 능력에 관한 시뮬레이션 결과  
Fig. 5. Simulation results of offset cancellation capability.

을 SPICE를 이용한 simulation을 통해 알아보았다. 그림 4의 회로 중  $M_{n1}$ 의 문턱전압을 0.742 V에서 0.824 V 까지 변화시켰을 때 이에 따른 출력 전압의 변화를 그림 5에 나타내었다. 스위치  $SW_1$ 이 ON되었을 때 문턱 전압의 변화에 따른 출력 전압은 100 mV정도 나타났지만, 스위치  $SW_2$ 가 ON이 되었을 때 출력 전압의 변위 폭이 10 mV 내외로 줄어들음을 알 수 있다. 따라서 offset-free readout circuit만으로도 공정 변화에 기인한 문턱전압 변화에 따른 출력 오프셋을 감소시킬 수 있음을 알 수 있다.

### 3. 시각칩의 설계

#### 3.1. 단위 픽셀

2차원 픽셀 배열을 구성하고 있는 단위픽셀의 등가 회로를 그림 6에 나타내었다. 그림 6 (a)에서  $M_{n1}$ , 포토 다이오드, 그리고  $M_{p1}$ ,  $M_{p2}$ 는 생체 망막에서의 시세포 역할을 수행한다. 하지만 동일한 입력광일지라도  $M_{p1}$ ,  $M_{p2}$ 를 거쳐 나오는 출력 전압이 다를 수 있다. 이를 해결하기 위해 offset-free column readout circuit를 적용하여 공정 변화에 기인한 문턱 전압 변화에 의한 출력 전압 변화폭을 줄였다. 그림 6 (b)는 인접한 픽셀과 능동 픽셀 센서의 출력 신호를 공간적으로 평활화하는 수평세포 역할의 저항 회로망 및 원래의 능동 픽셀 센서의 출력 신호를 받아들여 두 값의 차만큼 전압을 나타내는 최종 출력단을 나타낸 것이다. 이때 최종 출력단을 구성하는 회로는 픽셀 고정 패턴 잡음을 제거하기 위한 회로를 응용하여 사용하였다. 그렇게 함으로써 출력단을 구성하는 MOSFET의 문턱 전압 변화에 의한 고정 패턴 잡음을 제거함과 동시에 윤곽을 검출할

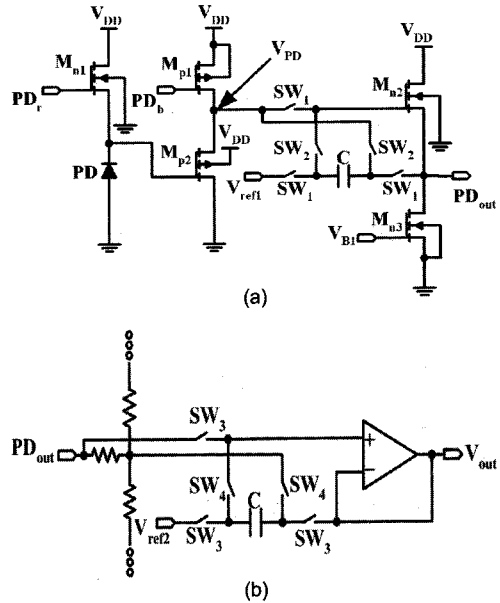


그림 6. 단위 픽셀 회로도: (a) 광다이오드와 offset-free column readout circuit, (b) 저항회로망과 최종 출력단

Fig. 6. Unit pixel circuit: (a) Photo-diode and offset-free column readout circuit and (b) Resistive network and output circuit.

수 있게 된다.

오프셋 보상 회로를 가진 시각칩의 윤곽검출 성능과 오프셋 제거기능을 확인하기 위한 시뮬레이션을 수행하였다. 광검출기를 구성하는 소스 플로워의 문턱전압을 변화시켜 임의의 오프셋 값을 만들어 offset-free column readout circuit이 있을 때와 없을 때의 출력값을 비교해 보았다. 시뮬레이션을 하기 위해 128개의 픽셀을 가지는 1차원 배열을 구성하고 64번째 픽셀까지는 광전류를 0.5 pA, 128번째 픽셀까지는 5 pA를 입력하여 한 개의 윤곽이 존재하게 하였다.

그림 7은 오프셋 보상 회로를 동작시켰을 경우와 그렇지 않은 경우를 비교한 것이다. 광검출기의 소스 플로워를 구성하는 MOSFET의 문턱전압을  $-0.84$  V를 기준으로 하여, 최대  $-0.80$  V에서 최소  $-0.87$  V 사이에서 임의적으로 변화시키면서 나타난 시각칩의 출력결과이다. 각 광검출기의 소스 플로워를 구성하는 MOSFET의 문턱전압이 임의로 변하게 되는 경우, 오프셋 보상회로가 없을 때 MOSFET의 문턱전압 변화가 출력에도 많은 변화를 발생시키고, 윤곽 정보를 찾는 데 어렵다는 것을 알 수 있다. 그러나 오프셋 보상 회로를 적용하였을 때 문턱전압의 변화에도 불구하고 깨끗한 윤

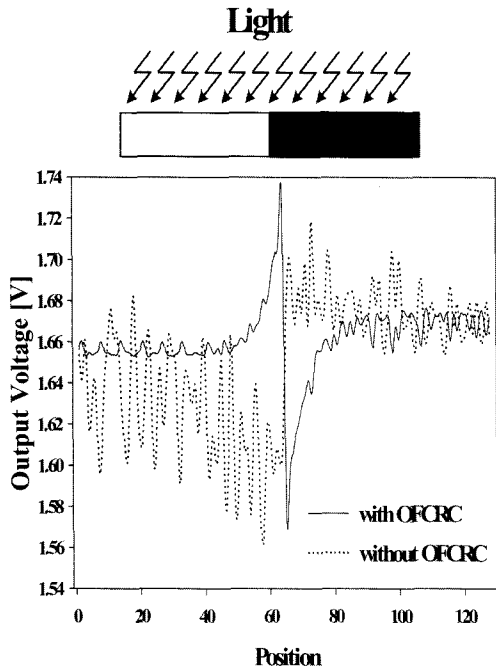


그림 7. 능동 픽셀 센서의 소스 폴로워의 문턱전압이 임의적으로 변화할 때 offset-free column readout circuit이 적용될 때와 그렇지 않을 때의 시뮬레이션 결과

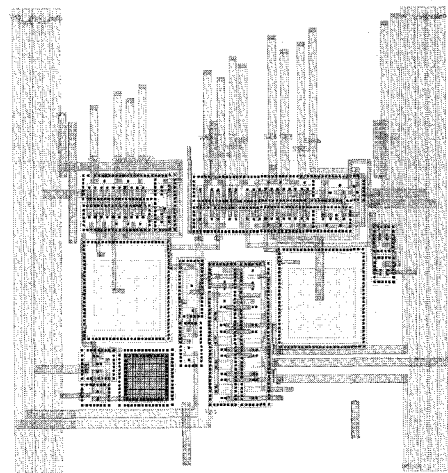
Fig. 7. Simulation result with and without offset-free column readout circuit when the variation of threshold voltage of source follower of active pixel sensor.

픽 정보를 얻을 수 있음을 알 수 있다.

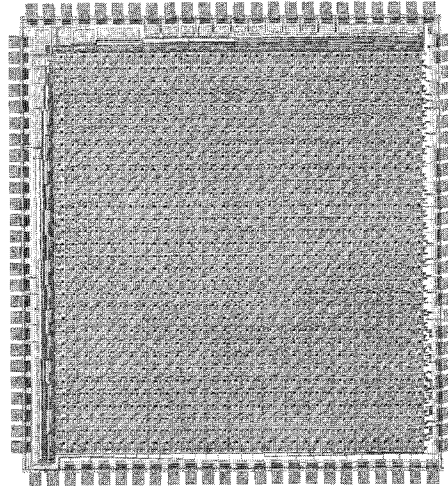
윤곽 검출용 시각칩은 IDEC(IC Design Education Center)을 통하여 Hynix 반도체의 0.35  $\mu\text{m}$  2-poly 4-metal 표준 CMOS 공정을 이용하여 설계 및 제작되었다. 그림 8 (a)와 (b)는 설계된 시각칩의 단위 픽셀 및 전체 칩의 레이아웃이다. 전체 칩 면적  $4 \times 4 \text{ mm}^2$ 의 크기에 단위픽셀의 면적  $100 \times 100 \mu\text{m}^2$ 의  $32 \times 32$  정방형 배열로 구성되어 있으며 각각의 단위 픽셀 출력 값은 2개의 디코더와 하나의 출력 버퍼를 통해서 출력된다.

### 4.3. 윤곽검출 출력특성

제작된 시각칩의 윤곽검출 출력특성을 조사하였다. 광원을 이용하여 이미지에 광을 조사시켜 반사되는 빛을 시각칩을 통하여 측정하였으며, 시각칩의 구동을 위해 FPGA를 이용하여 시각칩의 제어 신호를 생성하였다. 그리고 시각칩의 출력 결과를 오실로스코프를 이용하여 확인하였다. 윤곽 부분에서 큰 출력값을 얻을 수 있었으며 그 결과를 그림 9에 나타내었다. 측정시  $V_{\text{ref}}$



(a)



(b)

그림 8. 시각칩 레이아웃: (a) 단위 픽셀 레이아웃, (b) 전체 칩 레이아웃

Fig. 8. Vision chip layout: (a) Unit pixel layout and (b) Whole chip layout.

은 1.65 V였으며 최대 및 최소 전압은 각각 1.8 V, 1.5 V였다. 이 출력 전압은 offset-free column readout circuit의  $V_{\text{ref}}$  변화 및 바이어스 전압과 입사광의 강도에 의해서 변화한다. 출력 영상에서 최대 전압은 흰색으로 최소 전압은 검정색으로 각각 나타내었으며, 중간 전압의 경우 선형적으로 상응하는 흑백값으로 나타내어 주었다.

그림 9 (a)에서는 입력 패턴의 광강도 분포 중, 두 개의 윤곽이 나타나는 부분의 일차원적인 값과 그에 대한 출력 결과를 나타내며, 그림 9 (b)는 사각형의 입력 패턴과 그에 대한 이차원 출력 결과를 나타내고 있

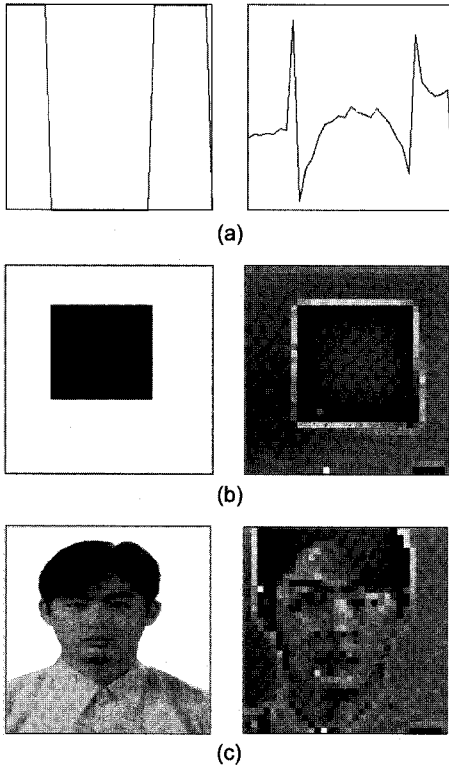


그림 9. 윤곽 검출 결과: (a) 사각 패턴의 일차원 출력, (b) 사각 패턴의 이차원 출력, (c) 인물 사진의 이차원 출력

Fig. 9. Result of edge detection: (a) Result of 1-dimensional circuit array with rectangular pattern, (b) Result of 2-dimensional circuit array with rectangular pattern, and (c) Result of 2-dimensional circuit array with picture.

다. 흰 부분과 검은 부분이 동일한 출력 전압을 갖지 않는 이유는 시각칩의 해상도 제한에 기인된 것이다. 더 많은 화소가 있을 경우 흰 부분과 검은 부분에 대한 동일한 출력 전압을 얻을 수 있으리라 생각된다. 그림 9(c)는 시각칩의 입력단에 사진을 놓고, 칩의 윤곽 검출 특성을 조사한 것이다. 측정 결과를 통해 본 윤곽 검출용 시각칩은 인체 망막의 윤곽 검출 메커니즘에 부합하는 예상한 윤곽 정보를 얻을 수 있었다. 하지만, 본 시각칩의 경우 해상도가 낮기 때문에 대략적인 화상 정보 이상의 결과를 얻기는 힘들다. 이러한 해상도의 문제는 레이아웃을 최적화하면 가능하며, 칩의 사이즈의 증가를 통해서도 이루어 질 수 있다. 이 밖에 수광부와 윤곽 검출 회로를 분리하여 윤곽 검출 회로를 행 혹은 열 방향으로 공통으로 사용하는 방식의 구현을 통하여 개선할 수 있다.

## 5. 결 론

인간의 망막에서 이루어지는 시각 정보처리 메커니즘을 모방하여 실시간 영상 정보처리가 가능한 윤곽 검출용 시각칩을 설계하였다. 시각칩을 구현하기 위해 인간 망막의 세포들 중 윤곽 및 움직임 검출에 관여한다고 알려져 있는 시세포, 수평세포 및 쌍극세포의 기능을 전자 회로로 모델링하였다. 광신호를 전기신호로 변환하기 위해 광검출기로써 능동 픽셀 센서를 이용하였고, 능동 픽셀 센서에 발생할 수 있는 고정 패턴 잡음을 제거하기 위해서 offset-free column readout circuit를 이용하였다. 그리고 전기적으로 변환된 신호를 공간적으로 평활화하기 위해 MOSFET 저항을 이용한 저항회로망을 구현하였으며, 마지막으로 두 신호의 차를 구하기 위해 offset-free column readout circuit를 응용한 차동 증폭 회로를 적용하였다. 제안된 시각칩은 SPICE를 이용하여 회로의 동작특성을 검증하였고, 0.35  $\mu\text{m}$  2-poly 4-metal 표준 CMOS공정을 이용하여 설계 및 제작되었다.

오피셋 보상 회로에 의해 공정변화에 따른 문턱 전압 변동에도 불구하고 능동 픽셀 센서의 출력 오피셋이 최소화됨을 알 수 있었다. 입력 패턴을 이용하여 시각칩의 윤곽 검출 성능을 평가하였으며, 칩의 출력 중 동일한 입력광이 존재하는 곳에는 일정한 직류 레벨이, 윤곽이 존재하는 부분에서는 큰 피크가 나타남을 확인하였다.

제안된 시각칩은 물체의 영상으로부터 특징을 추출하여 이를 사용하는 응용시스템의 입력단에 위치하여, 하드웨어적인 윤곽 검출을 통한 전체 시스템의 속도와 성능향상 및 보다 저렴한 비용의 다양한 시스템 설계가 가능할 것으로 기대된다.

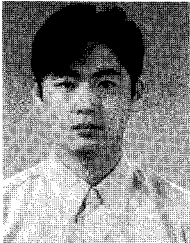
## 감사의 글

본 연구는 뇌과학연구센터의 뇌신경정보학연구사업비에 의해서 연구되었음.

## 참고 문헌

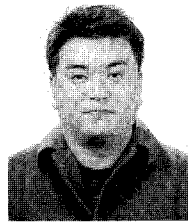
- [1] Alireza Moini, *Vision Chips or Seeing Silicon*, CHiPTec, 1997.
- [2] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [3] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, "CMOS active pixel image sensors for highly integrated

- imaging systems”, *IEEE J. Solid-State Circuits*, vol. 32, pp. 187-197, Feb. 1997.
- [4] C. Y. Wu and C. F. Chiu, “A new structure of the 2-D silicon retina”, *IEEE J. Solid-State Circuits*, Vol. 30, pp. 890-897, Aug. 1995.
- [5] T. Miyashita, K. Nishio, M. Ohtani, and H. Yonezu, “Analog integrated circuits for edge detection with local adaptation”, *The 1999 Annual Conference of Japanese Neural Network Society*, pp. 65-66, 1999.
- [6] H. S. Kim, D. S. Park, B. W. Ryu, S. K. Lee, M. H. Lee, and J. K. Shin, “Design and fabrication of  $8 \times 8$  foveated CMOS retina chip for edge detection”, *The Korean Sensors Society*, vol. 10, pp. 91-100, 2001.
- [7] D. S. Park, K. M. Kim, S. K. Lee, H. S. Kim, J. H. Kim, M. H. Lee, and J. K. Shin, “Design and fabrication of  $32 \times 32$  foveated CMOS retina chip for edge detection with local-light adaptation”, *The Korean Sensors Society*, vol. 11, pp. 84-92, 2002.
- [8] A. K. M. Zakaria, “Hardware for biologically inspired vision processing”, *Master's thesis, Arizona State University*, 1997.
- [9] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, “Matching properties of MOS transistors”, *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
- [10] R. C. Yen and P. R. Gray, “A MOS switched-capacitor instrumentation amplifier”, *IEEE Journal of Solid-State Circuits*, vol. 17, no. 6, pp. 1008-1013, 1982.
- [11] S. Kavadias, “Offset-free column readout circuit for CMOS image sensors”, *Electronics Letters*, vol. 35, no. 24, pp. 2112-2113, 1999.
- [12] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, and J. K. Shin, “A novel retina chip with simple wiring for edge extraction”, *IEEE Photonics Technology Letters*, vol. 10, no. 2, pp. 261-263, 1998.
- [13] M. Ismail and T. Fiez, *Analog VLSI Signal and Information Processing*, McGraw-Hill, 1994.
- [14] M. R. Haskard and I. C. May, *Analog VLSI Design-NMOS and CMOS*, Prentice Hall, 1988.



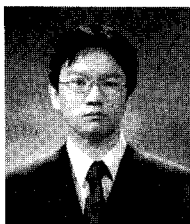
서 성 호

- 2003년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자과 졸업(공학석사)
- 현재 삼성전자 근무
- 주관심 분야 : 이미지 센서, 아날로그 회로 설계



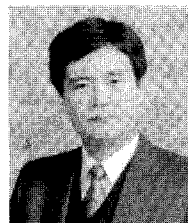
김 정 환

- 1997년 2월 경일대학교 전자공학과 졸업(공학사)
- 1999년 2월 경북대학교 전자공학과 졸업(공학석사)
- 2003년 2월 경북대학교 전자공학과 박사 수료
- 현재 경일대학교 전자정보통신공학부 전임강사
- 주관심 분야 : 이미지 센서, 아날로그 회로 설계



공 재 성

- 2002년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자공학과 졸업(공학석사)
- 현재 경북대학교 전자공학과 박사과정
- 주관심 분야 : 이미지 센서, 아날로그 회로 설계



신 장 규

- 1978년 2월 서울대학교 전자공학과 졸업(공학사)
- 1980년 2월 KAIST 전자공학과 졸업(공학석사)
- 1991년 5월 미국 콜로라도 주립대학교 전자공학과 졸업(공학박사)
- 현재 경북대학교 전자전기컴퓨터학부 교수
- 주관심 분야 : 이미지 및 바이오 센서