

아리랑 위성 2호의 시간동기

권기호*, 김대영**, 채태병***, 이종인****

KOMPSAT-2 Time Synchronization

Ki-Ho Kwon*, Day-Young Kim**, Tae-Byung Chae***, Jong-In Lee****

Abstract

In a satellite time management system, the GPS-based clock synchronization technique[1] has the merits of precision time management by knowing the time difference or the error between the OBT (On Board Time) of the internal processors and GPS time every second. It can be realized employing the DPLL (Digital Phase Loop Lock) and FEP(Front End Processor) circuitry for the clock synchronization[2]. In this paper, a refined DPLL & FEP scheme is proposed to provide the precision, stability and robustness of the operation, which is to compensate the errors and noise of the GPS signal, and also to cope with the case when the GPS signal is lost due to several reasons. The simulation and HIL (Hardware In the Loop) test results using the FM (Flight Model) in the course of KOMPSAT-2 (Korea Multi Purpose Satellite-2) design and development are illustrated to demonstrate the salient features of this methodology.

초 록

일반적으로 위성에 장착된 GPS 수신기는 GPS 위성으로부터 항법 신호를 받아서 위성의 위치, 시간 및 속도 정보를 제공하는 것을 주요 목적으로 하고 있다. 이러한 정보를 근거로 위성의 현재 위치정보 및 임무 수행을 위한 정보를 유도하게 된다. 2005년 발사예정인 아리랑 위성2호는 GPS수신기에서 나오는 1PPS 신호를 위성체 각 프로세서의 기준시간으로 사용되며 DPLL, FEP회로 및 운영소프트웨어(FSW)에 의하여 동작된다. 본 논문에서는 아리랑 위성2호(KOMPSAT-2,이하 K2)의 시간동기구조에 대한 구조 및 설계에 대한 뿐 아니라 정밀도 분석 및 시험결과등 전 과정에 대한 내용을 기술하였다.

키워드 : 시간동기(time synchronization), 위성항법장치(GPS), 아리랑 위성2호 (KOMPSAT-2)

* 위성전자그룹/khkwon@kari.re.kr

** 위성전자그룹/dykim@kari.re.kr

*** 위성전자그룹/tbchae@kari.re.kr

**** 위성전자그룹/jilee@kari.re.kr

1. 서 론

아리랑 위성2호는 GPS수신기[3,4]의 1PPS에 내부 OBT를 동기시켜 모든 H/W 및 S/W를 운영하는 구조를 이루고 있다. 이러한 시간동기는 운영시작부터 운영이 끝나는 시점까지 항상 안정적이고 정밀한 동작이 수행되어야 하는 부분이다. 지상용 GPS수신기의 경우 수백ns 정도의 정확도를 갖으나 저궤도 위성용 GPS수신기의 경우 초당 7km 정도의 이동속도로 인해 수 μ s 정도의 정확도를 갖는 것이 일반적이다. 더욱이 위성용 GPS수신기에서 제공되는 1PPS는 일정량의 오차와 노이즈를 포함하고 있다[5]. 그러므로 이것의 보상 또한 시간동기 구조의 핵심부분인 DPLL에서 처리해야 한다.

K2에 사용되는 DPLL은 위성용 GPS수신기에서 제공되는 1PPS 신호의 오차와 노이즈를 보상하여 좀더 정확하고 안정적인 동작이 가능하도록 수정된 것이다. 기본 개념은 강인한 DPLL 구현을 위하여 FEP를 DPLL 전단에 추가하여 Error가 포함된 GPS 1PPS 신호가 유기 되어도 안정된 회로 동작과 정확한 1Hz가 생성되도록 설계 되었으며 실시간 보정을 위한 S/W Filter도 설계되었다.

본 논문에서는 K2의 시간동기구조를 소개하고 시간동기의 내부 클럭을 생성하는 TCXO 구조 및 성능에 대하여 기술하였다. 뿐만 아니라 K2 시간동기 운영에 대하여 기술하고 동기된 시간의 성능 및 FM을 이용한 시험결과를 마지막으로 기술하였다.

2. 시간동기 구조

2.1 K2 시간동기 구조

K2의 시간동기 구조는 그림1과 같이 GPS Receiver로부터 GPS 1PPS를 공급받아 ECU(Electrical power subsystem Control Unit)에서 먼저 동기시킨 후 OBC(On-Board Computer)[6]와 RDU(Remote Drive Unit)가 ECU 1PPS 출력이 동기시키는 구조를 이루고 있다.

정밀한 시간동기를 이루기 위해서는 DPLL Logic이 정확하고 빠른 시간동기 구조를 가지고 있어야 하고 14.985[MHz] Reference Clock을 제

공하는 TCXO(Temperature Compensated Crystal Oscillator) 부분도 온도에 변화에 관계없이 정확한 기준 Clock을 제공해야 한다.

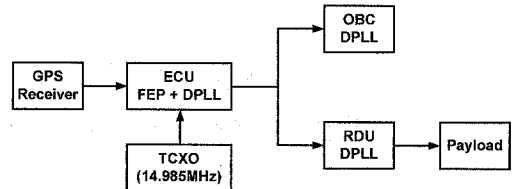


그림 1. K2 시간 동기 구조

2.2 K2 DPLL-FEP 구조

K2에 사용되는 FEP는 DPLL 전단에 위치하며 내부구조는 그림2와 같다.

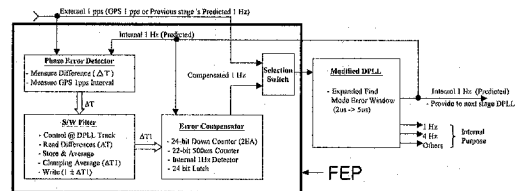


그림 2. K-2 FEP 구조

FEP는 PED(Phase Error Detector), S/W Filter, EC(Error Compensator)로 구성되어 있다. PED에서는 GPS 1PPS와 Internal 1Hz사이의 시간차이를 측정하고 SW Filter부분에서는 측정된 시간차이를 SW Controller에 의하여 Average를 취하며 EC에서는 보상된 1Hz신호를 생성하게 된다.

K2에 사용된 DPLL의 내부 구조는 그림3와 같다.

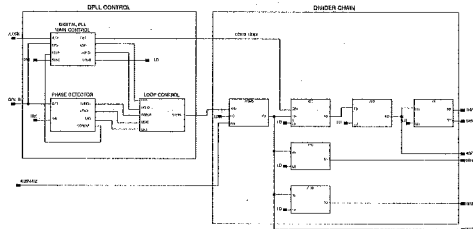


그림 3. K-2 DPLL 구조

DPLL은 Control부분과 Divider부분으로 구성되어 있다. Control부분은 다시 Phase Detector, Loop Control, Main Control로 구성되어 있고 Divider부분은 각 프로세서에서 필요한 클럭신호를 생성하는 부분이다.

DPLL의 동작 Mode는 Coarse Mode, Enable Loop, Hold Mode, Load Mode로 나뉘어져 있다. 각 Mode에 대한 State Diagram은 그림4와 같다.

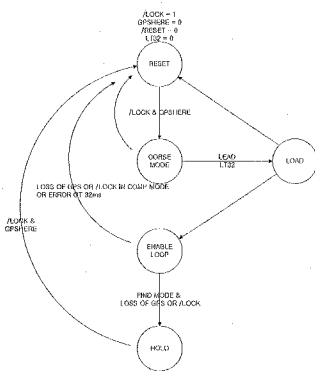


그림 4. Mode State Diagram

Coarse Mode는 내부1초 신호를 외부 GPS수신기의 1초 신호와 동기 시키기 위한 초기 동작 Mode로서 GPS신호가 포착되고 Lock명령이 있을 때 수행되며, Enable Loop는 Coarse Mode에서 Error의 양(내부 1Hz와 GPS 1PPS의 차이값)이 32ms보다 적을 때 시작된다. Enable Mode에서 Error양이 5 μ s 이내 이면 Fine Mode가 되고 5 μ s 이상이면 Compensation Mode를 유지한다. Enable Loop상태에서 GPS 포착신호나 Lock명령이 없으면 Hold Mode상태가 된다. Loop Control에서는 현재의 Error값과 상태를 가지고 Divider부분에 사용될 기준 클럭을 생성한다. Divider부분은 Control부분에서 생성된 기준 클럭을 사용하여 프로세서에서 필요한 다양한 클럭신호를 생성하게 된다. 물론 이 신호에 1Hz신호도 포함되어 있다.

2.3 K2 TCXO 구조

TCXO는 프로세서 내부 1Hz를 생성하는 기준 클럭으로서 이것의 정밀도는 동기된 1Hz정밀도에 직접적인 영향을 미친다. 정밀도가 낮다면 아무리 GPS수신기의 1PPS신호가 정확하더라도 DPLL은 GPS 1PPS에 동기시키지 못하는 경우도 발생한다.

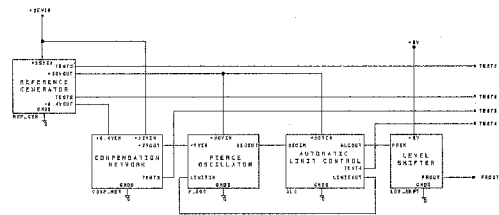


그림 5. TCXO Circuit Block Diagram

그림5의 TCXO Circuit의 구성을 살펴보면 Reference Generator Block, Compensation Network Block, Pierce Oscillator Block, Automatic Limit Control Block, Level Shifter Block으로 구성되어 있고 이 중에서 Compensation Network Block과 Pierce Oscillator Block이 온도에 따른 보상을 하는 핵심 부분이다. Compensation Network Block 동작은 Thermistor가 온도 변화에 따라 저항이 변하는 특성을 가지고 있으며 이에 따라 Compensation Network Block에서는 Pierce Oscillator Block으로 입력되는 출력전압이 변화되어 온도변화에 따른 Crystal의 주파수 변화를 보상한다. Pierce Oscillator Block에서는 Compensation Network Block으로부터 온도 보상용 전압을 입력받아 Varactor diode의 Capacitance를 가변 함으로써 출력되는 Clock 주파수가 온도변화에 영향을 받지 않도록 한다.

2.4 K2 TCXO Accuracy Analysis

K2 TCXO에 장착된 Pierce Oscillator의 온도에 따른 PPM변화량은 그림6과 같이 나타난다. 그래프는 Pierce Oscillator 단독으로 Thermal 시험을

통하여 얻은 결과이다. 그림에서 보는 바와 같이 Oscillator의 PPM변화량이 약 ± 20 [ppm]으로 이 수치는 단순히 분주하여 1Hz Clock을 생성할 경우 약 ± 20 [us]을 발생시키는 매우 큰 오차임을 알 수 있다. 만약 Oscillator를 온도 보상없이 사용하게 되면 K2의 3-Processor간의 시간동기는 많은 Error를 가지고 동기 되므로 동기된 시간에 촬영되는 영상의 품질에 직접적인 영향을 미치게 된다.

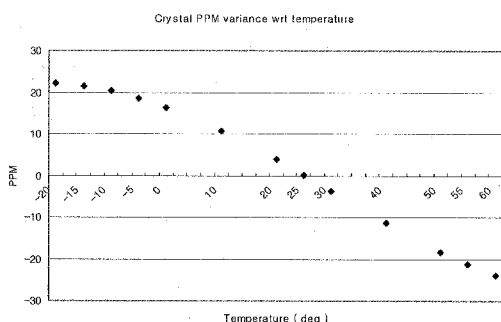


그림 6. 온도에 따른 Crystal Oscillator의 PPM변화량

이것의 보상을 위해서 그림7과 같이 온도에 따른 Thermistor의 저항값을 변화시키고 변화된 전압에 의해 Oscillator의 Load Capacitance성분을 변화시켜 Crystal Oscillator를 역 보상을 하게 되는 것이다.

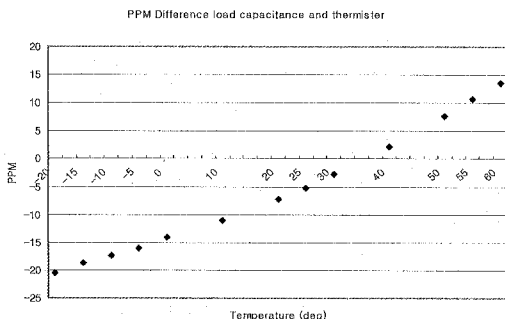


그림 7. Thermistor와 Load Cap.에 따른 PPM변화량

OBC Clock Generator Board의 Crystal의 온도는 K2 Thermal Analysis 결과를 바탕으로 역으로 구할 수 있다. 즉, Base Plate기준으로 -25°C 인 경우 Crystal의 온도는 -5°C , $+60^{\circ}\text{C}$ 인 경우 $+7.5^{\circ}\text{C}$ 가 된다. 이 온도 범위에서 대한 TCXO에 의한 1Hz Accuracy를 아래 표1과 같이 Analysis와 시험을 통하여 얻었다.

표 1. 온도에 따른 1Hz Accuracy

| Crystal온도($^{\circ}\text{C}$) | 절대편차(μs) |
|---------------------------------|-----------------------|
| -20.3 | -1.3 |
| -14.9 | -0.3 |
| -10.2 | 0.3 |
| -4.9 | 0.8 |
| 0.1 | 1.2 |
| 5.7 | 1.5 |
| 9.7 | 1.7 |
| 15.2 | 1.7 |
| 20.1 | 1.7 |
| 25.3 | 1.7 |
| 30.5 | 1.6 |
| 35.4 | 0.9 |
| 40.6 | 0.9 |
| 45.9 | 0.7 |
| 50.9 | 0.4 |
| 56 | 0.1 |
| 61 | -0.1 |
| 65 | -0.4 |
| 70 | -0.7 |
| 75 | -1.0 |
| 80 | -1.3 |

3. K2 시간동기 운영

K2 시간동기 운영 Mode는 INIT Mode, GPS Receiver Connection Mode, GPS Receiver Abnormal Mode로 구성되어 있다.

INIT Mode에서는 DPLL의 초기 시험을 수행하고 GPS Receiver Connection Mode에서는 GPS Receiver의 GPS 1PPS와 Lock 시켜 DPLL 1Hz를 GPS 1PPS에 동기 시킨다. GPS Receiver Abnormal Mode는 GPS Receiver가 Fail인 경우로서 GPS 1PPS와 동기를 끊고 내부적으로 3 Processor간에 1Hz 시간 동기가 이루어진다.

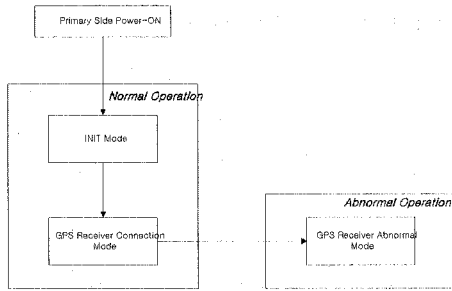


그림 8. DPLL Operation Plan

3.1 Init Mode

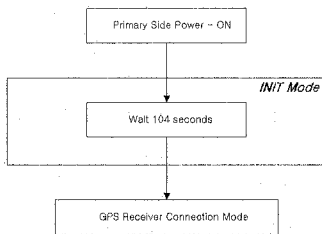


그림 9. INIT Mode Plan

INIT Mode에서는 Processor Board의 Power 가 인가된 후 자동적으로 104초를 소요하게 되고 104초 경과후 ECU, OBC, RDU 3 Processors Internal 동기화가 이루어지게 된다.

3.2 GPS Receiver Connection Mode

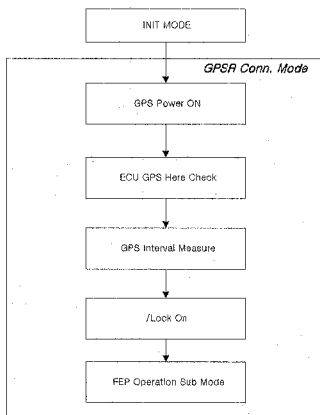


그림 10. GPSR Conn.Mode Plan

GPS Receiver Connection Mode는 ECU DPLL의 입력신호로 GPS Receiver의 1PPS를 사용하는 Mode이다.

우선 지상명령을 통해 GPS Power On시킨 후 지상국에서 GPS 상태를 파악한다.

그 후 지상국에서 /Lock On명령을 전송하면 FEP Operation Sub Mode가 수행되게 된다.

3.3 FEP Operation sub Mode

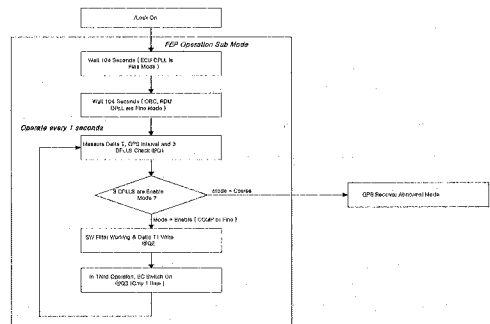


그림 11. FEP Operation Mode Plan

/Lock On 명령 수행후 208초를 기다린 후 1번째 quarter cycle에서 Delta T, GPS Interval, RDU, ECU, OBC 각 processor의 DPLL의 Status를 Check한다.

이때 이상이 발견된 경우는 GPS Receiver Abnormal Mode로 가게 된다.

이상이 없으면 2번째 quarter cycle에서 SW Filter를 수행하고 Delta T1를 Write하게 된다.

3번째 quarter cycle에서 EC switch on함으로써 compensated 1Hz가 DPLL로 입력되게 된다. FEP Operation은 1초를 주기로 수행된다.

3.4 GPS Receiver Abnormal Mode

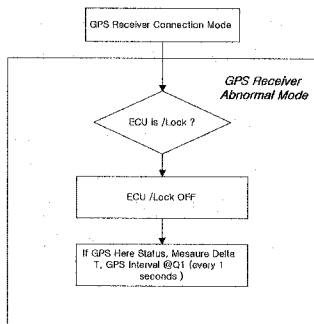


그림 12. GPS Receiver Abnormal Mode Plan

GPS Receiver Abnormal Mode는 GPS Receiver의 문제로 인하여 3 Processor의 DPLL이 GPS receiver의 1PPS를 사용하여 Sync를 못하는 경우를 의미한다.

이때 ECU가 /Lock On상태이면 /Lock을 해지하지만 GPS 1PPS Interval, Delta T는 매초 측정하여 지상에 전송하게 되고 3 Processor간의 동기는 여전히 유지 되게 된다.

4. 1Hz시간동기 Performance

K2의 Timing Performance는 DPLL Logic부분과 TCXO Circuit부분으로 구성되어 있고 이 두 부분과 GPS 1PPS의 Accuracy를 포함한 전체 1Hz시간동기의 Performance를 분석하였다.

4.1 TCXO Performance

2.4에서 언급한 파와 같이 K2의 Thermal Analysis를 바탕으로 한 온도범위에서 TCXO의 정밀도는 약 $\pm 2[\mu s]$ 이내임을 확인하였다. 이와 같은 수치는 각 Processor의 Fine Mode Error Window내의 값이므로 Overall Performance계산시는 고려하지 않아도 문제 되지 않는다.

4.2 DPLL Performance

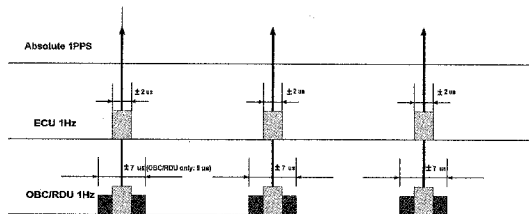


그림 13. DPLL 1Hz Performance

ECU, OBC, RDU 3 Processors에 포함된 DPLL의 Performance를 1Hz Signal을 기준으로 해서 살펴보면 ECU 1Hz는 앞선 TCXO Worst Case Analysis를 통해서 얻은 $\pm 2[\mu s]$ 의 오차를 가지고 있고 ECU의 1Hz에 동기되는 OBC, RDU는 Fine Mode Error Window인 $\pm 5[\mu s]$ 의 오차내에서 ECU 1Hz를 tracking하게 된다. 그러므로 ECU, OBC, RDU 3 Processor간의 오차는 $\pm 7[\mu s]$ 가 되게 된다.

4.3 Overall Performance

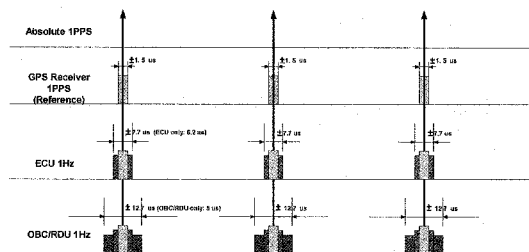


그림 14. 1Hz Overall Performance

Overall Performance라 함은 위성체 시간동기가 GPS 1PPS를 기준으로 동기됨으로 GPS 1pps로부터 Processor의 마지막 부분인 OBC, RDU의 출력 1Hz까지를 의미한다. K2에 사용되는 GPS Receiver의 1PPS Accuracy는 $\pm 1.5[\mu s]$ 이고 GPS 1PPS와 처음으로 동기되는 ECU는 Fine Mode Error Window인 $\pm 5[\mu s]$ 와 FEP 내부의 GPS

Detection Logic의 Uncertainty인 $\pm 1.2[\mu\text{s}]$ 를 포함하여 총 $\pm 6.2[\mu\text{s}]$ 를 가지고 있고 ECU와 동기하는 OBC, RDU는 Fine Mode Error Window인 $\pm 5[\mu\text{s}]$ 만을 가지고 있다. 그러므로 GPS 1pps부터 OBC, RDU출력단의 1PPS Uncertainty량은 $\pm 12.7[\mu\text{s}]$ 가 되게 된다.

5. 시험결과

5.1 DPLL-FEP Function Test

그림15는 GPS 1PPS를 입력하였을 때 FEP동작이 정상적으로 이루어지는지에 시험과 동시에 FEP성능검증을 위해 GPS 1PPS에 변화를 주었을 때 FEP가 정확히 추적하는지에 대한 시험 결과 그래프이다.

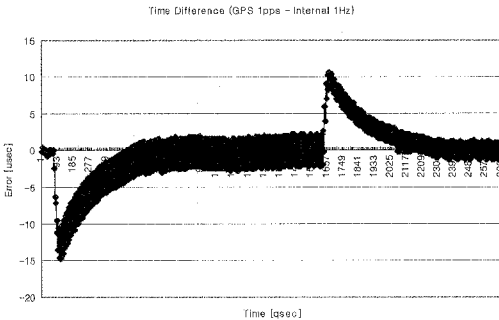


그림 15. DPLL-FEP Function Test Result

GPS 1PPS공급 후 61[qsec] 전에 Fine Mode에 상태를 유지하여 61[qsec]에 FEP Mode로 진입하고 3 초후에 EC_Switch On이 실행되었을 때 GPS 1PPS와 Internal 1Hz사이의 Time Difference양을 측정할 것이다. FEP 진입시점에서는 Time Difference가 약 14us정도 발생하였다.

이것은 FEP는 PI Control Loop을 사용하고 있고 FEP동작 시작점에서 약 2[usec]의 Time Difference가 발생하였지만 PI Control Loop에서는 이 Error값이 너무 미미하여 Control값을 발생시키지 못하다가 시간이 지남으로 해서 I Control값이 누적되어 약 10[qsec]이후부터 Control값이 생성되어 보상함으로써

서 응답시간이 늦어 약 150[sec]후에서 수렴하는 결과를 가져왔고 수렴하였을 때는 Error값이 $\pm 1[\text{usec}]$ 이내에 있음을 확인 할 수 있다. 여기에는 표시하지 않았지만 ECU, OBC, RDU는 항상 Fine Mode상태를 유지하고 GPS 1PPS도 정확히 측정됨을 확인할 수 있었다. 위의 Data값은 FSW에서 Read한 값으로서 Universal Counter로 Read한 값도 $\pm 1[\text{usec}]$ 이내임을 확인 하였다.

FEP성능검증을 위해 1665[sec]에 GPS 1PPS를 0.999998[sec]로 변화를 주었을 때의 시험결과로서 GPS 1PPS의 변화를 주더라도 ECU 1Hz가 GPS1PPS를 정확히 추적함을 확인 할 수 있었고 GPS 1PPS Interval의 Counter값 변화량이 10 counter로서 이것을 시간으로 환산하면 $10 \times 200.2 [\text{nsec}] = 2 [\text{usec}]$ 가 감소함을 확인 할 수 있다. 그리고, 이 경우 역시 ECU, OBC, RDU는 Fine Mode를 유지함을 확인할 수 있었다.

5.2 DPLL-FEP Long Term 시험

다음 시험은 FEP-DPLL의 Long Term Time Sync 시험으로서 시험은 FEP ON상태와 FEP OFF상태에서 시험을 수행하였다. 뿐만 아니라 GPS 1PPS Interval도 항시 Monitor하였다.

ECU 내부 클럭 기준으로 측정된 GPS 1PPS Interval은 시험 전과정동안 (약 13시간) 4994998count (=0.9999984 [Sec]) ~ 4994997 (=0.9999983[Sec]) 로 Stable상태를 유지함을 확인하였다. 이 값은 ECU 1Hz의 Short-term drift가 거의 없다는 가정하에 GPS 1PPS의 변화량이 약 200.2[nsec]임을 의미한다.

FEP ON상태에서의 시험은 약 14시간 동안 수행되었으며 Data 양이 많은 관계로 인하여 그림14는 약 6시간 동안의 시험결과이다. FEP ON인 경우 GPS 1PPS와 ECU 1Hz사이의 시간오차는 약 800[nsec]이내임을 확인 하였으며 Error값을 모두 절댓값을 취하여 합한 후 평균을 취한 RMS값은 약 0.933819 count로서 시간으로 환산하면 187[nsec] 값을 가진다. 위의 오차는 GPS 1PPS와 ECU Internal 1Hz오차가 포함된 Uncertainty양의 평균값으로 생각할 수 있다.

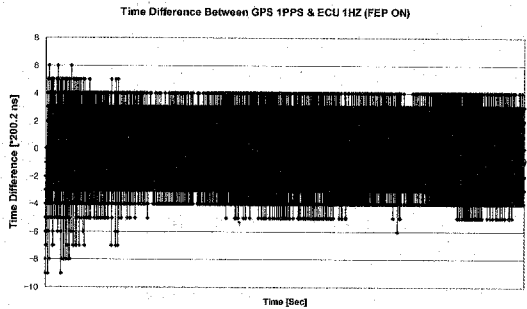


그림 16. DPLL-FEP Long Term Test Result

6. 결 론

본 논문은 아리랑위성 2호기에 사용될 1Hz 시간동기의 전반적인 내용을 다루었다. K2의 시간동기는 K1의 시간동기 구조를 기반으로 보다 더 강인하고 정밀한 시간동기를 위해 FEP를 DPLL의 전단에 구현하여 H/W, S/W의 제어에 의해 동작하도록 설계되었다. 뿐만 아니라 Internal Clock의 온도에 따른 정밀도 분석을 통하여 1Hz Overall Performance분석도 수행하였다. STB, EM, FM에서는 실제 운영개념을 기반으로 FEP-DPLL Function Test, Long Term 시험이 수행되었으며 시험결과 좋은 성능결과를 얻었다. 끝으로 이 논문이 위성용 뿐 아니라 지상용 시간 동기 설계 및 시험에 많은 도움이 되기를 희망한다.

참 고 문 헌

1. B.Sterzbach. "GPS-based Clock Synchronization in a Mobile, Distributed Real-Time System", Real-Time Systems, Vol.12, No.1 pp63-76.
2. 권기호외, "아리랑위성2호 DPLL 설계 및 시간동기 알고리즘" 항공우주학회 추계학술대회, 2001.
3. Alcatel Space Inc.: Topstar 3000 Technical specification & User's Manual, 1998.

4. KOMPSAT-2 Equipment Specification for GPS Receiver, KARI.
5. Jefferson, D. C.; Lichten, S. M.; Young, L. E. "A Test of Precision GPS Clock Synchronization", Proceedings of the IEEE International Frequency Control Symposium, No. 55, pp. 1206-11210, 1996.
6. KOMPSAT-2 Equipment Specification for On-Board Computer(OBC), KARI, 20021.