

최근의 위성용 탑재컴퓨터 개발 현황

글 / 김 대 영 dykim@kari.re.kr, 채 태 병, 권 기 호,
이 종 인

한국항공우주연구원 위성기술실 위성전자그룹

1. 서론

국내의 위성용 전자 장치, 특히 위성용 탑재 컴퓨터에 대한 개발은 과학기술부의 우주개발 인력 양성 프로그램에 따라 시작된 우리별 1호 실험용 위성으로부터 시작되었다. 인공위성연구센터는 국내 인력을 해외의 교육 기관에 파견, 위성용 탑재컴퓨터 개발에 참여하도록 함으로서 현재 과학위성으로 이어지는 국내의 독자적인 실험용 위성 개발이 가능하게 되었다. 우주에 발사된 후 매우 높은 신뢰성을 갖고 고장 없이 동작해야 하는 실용급 위성의 탑재 컴퓨터는 해외 기술 협력을 통한 다목적실용위성(KOMPSAT) 1호기 개발에서 처음으로 이루어졌다. 우리별 개발과 유사하게 개발 OJT 참여를 통하여 설계 기술 및 시험 기술을 습득하는 한편 국내에서 제작 기술을 확보하도록 하였다. 이러한 노력의 결과로 실용위성인 다목적실용위성 2호기의 탑재컴퓨터에 대한 국내 설계, 제작 및 시험 검증을 통한 완전한 국산화가 수행되었다. 그러나 현재의 탑재 컴퓨터 기술 개발 수준은 대부분 최초에 습득한 기술을 기반으로 좀 더 복잡한 임무를 수행할 수 있도록 하기 위한 CPU의 성능 개량, 입출력 장치의 확장 등에 한정되었다. 새로운 기술 개발에 있어 가장 큰 걸림돌은 국내의 위성 개발 프로그램 특성 상 어느 한 분야의 개발 실패로 인해 전체 프로그램이 실패할 수 있는 가능성을 줄이기 위해 가능한 많은 부분에 대해 설계 변경 없이 재사용하며, 조금씩 개조하는 것이다. 이러한 개발 방법을 사용할 경우

매번 많은 비용을 소요하여 성능 개량이 추진되어야 하므로 전반적으로 무게 증가, 전력 증가, 부피 증가 등이 수반되어 위성 전체의 개발비용을 높이게 된다. 다양한 임무 요구 사항을 만족하기 위해 고성능 처리 능력을 가지면서, 저 전력 소모 및 소형 경량화를 위해서는 새로운 기술을 도입하고, 완전히 새로운 운영 개념을 갖는 탑재컴퓨터를 개발할 필요성이 있다.

본 논문에서는 최근에 개발된 외국의 위성용 탑재컴퓨터에 대하여 소개한 후 이러한 동향에 따라 수행되고 있는 국내의 위성 탑재컴퓨터 개발 현황에 대해 소개하고자 한다.

2. 해외의 위성용 탑재컴퓨터 개발

2.1 위성용 탑재컴퓨터 개발 기술 동향

과거의 위성 관련 기술 개발은 군사 작전을 수행하기 위한 정보 수집 목적으로 주로 미 국방성 산하 기관들에 의해 이루어졌다. 이러한 위성 제어를 위해 사용된 초기의 탑재컴퓨터는 개별 논리 소자로 구성되는 Bit-Slice 형태의 CPU를 사용하여도 충분하였다. 또한 위성 개수 자체가 많지 않았으며, 예산도 충분이 지원되었으므로 조금씩 성능을 개선하는 정도로 가능하였으나 시간이 지나면서 점점 더 복잡한 임무 요구 사항을 갖는 위성을 더 많이 개발하게 되었다. 또한 장기간 재사용할 수 있는 부품이 필요하게 되었다. 과거 미국의 경우 모든 군용 부품에 대해 규격을 설정하고, 이에 대한 인증을 거친 부품만 사용하도록 하였으므로 개발 및 검증에 상당한 시간이 소요되었다. 그 결과, 상용 CPU 보다 상당히 늦은 시점에 군용/위성용 부품이 가용하

게 되었으며, 실제 부품을 사용할 수 있을 때에는 더 많은 요구 사항이 제기되어 더 높은 성능을 요구하는 부품이 필요해지게 되었다. 소프트웨어의 경우 하드웨어 개발이 완료된 후 그 하드웨어를 사용하여 검증을 해야 하는 문제가 있었으므로 개발될 소프트웨어와도 호환성을 유지해야 했다. 때때로 CPU 생산이 중단되는 경우까지 발생하여 그때까지 개발된 소프트웨어가 무의미해 지거나 추가로 보완 개발을 해야 하는 경우도 발생하였다. 이러한 문제를 해결하기 위해 CPU 변경에 영향을 덜 받는 상위레벨의 언어(High-level Language)를 사용하였으나 최근에는 이진수로 된 소프트웨어 Code 수준까지 호환이 가능하도록 CPU 및 Code 인터페이스를 표준화하는 방향으로 개발 전략이 수정되었다 [1]. 그 결과로서 미국 군용 규격을 만족하는 MIL-STD-1750 CPU와 MIL-STD-1553 인터페이스를 갖는 하드웨어가 개발되고, ADA 등 표준화된 상위 언어를 사용하여 소프트웨어를 개발하도록 하였다. NASA 역시 많은 개발비를 군에서 조달했기 때문에 군의 요구 사항을 만족하는 군사 위성 탑재 컴퓨터를 개발하였다. 그러나 냉전이 끝나고 군비가 축소됨으로 인해 군용 및 위성용 탑재 컴퓨터 개발에 적용하기 위한 기술 개발과 이의 인증 시스템으로서는 막대한 비용을 감당하기 어려우므로 제한된 예산 내에서 가능한 다양한 임무를 수행할 수 있도록 비용 절감 노력을 기울이게 되었다 [2]. 이러한 과정에서 일부 업체는 수익성 제고 측면에서 군용 부품 개발을 포기하고 상용 개발에만 전념하게 됨으로서 위성용 부품, 특히 CPU를 확보하기가 더욱 어렵게 되었다. 그 후로 탑재컴퓨터 개발은 핵심 부품인 CPU 개발 역사로 이어지게 되었다. 즉, 우주 환경에서 동작이 가능한 CPU 개발에 의해 탑재컴퓨터 하드웨어 및 이에 필요한 소프트웨어 개발 방향이 결정되었다. 위성 개발에 있어서도 계속되는 비용 절감 압력에 따라 NASA는 “Faster, Better, Cheaper (FBT)” 전략을 도입하였다 [3]. 이 전략을 달성하기 위해 신규 개발을 줄이고, 가능한 개발이 완료된 제품을 재사용 하도록 하고 있다. 또한 발사 비용을 줄이기 위해 위성의 무게 및 전력 소모량도 줄일 필요성까지 제기됨으로서, 상용 시장에서 개발된 저 전력 소모 및 소형

화 기술을 일부 보완, 위성에 적용하도록 하고 있다. NASA의 FBT 전략은 때때로 위성 개발 실패로 이어지는 등의 문제점이 많았으나 전반적으로 개발 비용을 줄이기 위해 상용 기술을 위성 개발에 더 많이 적용하는 계기가 되었다. 90년대 말부터 상용 시장에서부터 개발되어 위성용 탑재컴퓨터에 적용된 기술들을 열거하면 대략 다음과 같다 [4].

- 가능한 많은 기능을 하나의 반도체 위에 집적하기 위한 System-On-a Chip (SOC) 기술
- 전자 장치의 소형 경량화를 위한 BGA, TQFP 등 새로운 Packaging 기술
- 우주용 저 전력 소모 부품의 개발 및 활용
- 상용 소자를 사용하면서도 동일한 신뢰성을 갖도록 하는 Up-screening 기술
- 개발된 하드웨어의 재사용을 위한 표준화된 고속 데이터 전송 인터페이스 기술
- 다양한 응용 분야에 재사용이 쉬우며, Code 수준에서 호환성을 갖는 PowerPC 관련 기술 및 손쉬운 소프트웨어 개발 환경의 활용
- 오랜 개발 경험으로 성능이 검증된 상용의 실시간 운용 체계 적용

2.2 상용 기술과 우주화 기술을 접목한 SCS750 탑재컴퓨터 개발 사례 분석

2.1절에서 열거한 많은 상용 기술을 위성용 탑재 컴퓨터 개발에 적용한 대표적인 사례 중 가장 현저한 성과를 거둔 것은 미국의 Maxwell Technologies (과거 SEI) 사이다. 이 회사는 상용의 전자 장치를 우주용으로 적용하기 위해 필요한 다양한 우주 방사능 영향 완화 기술 개발을 주도하고 있는 회사로서, TID에 대한 내성 강화를 위한 RAD-PAK[®] 기술, SEU에 대한 내성 강화를 위한 EDAC (Error Detection & Correction) 및 TMR (Triple Modular Redundancy) 기술, 그리고 Latch-up으로 인한 영구 손상을 방지하기 위한 LPT[®] 등의 기술들을 꾸준히 개발하여 왔다. 이러한 기술 개발과 함께 CPU에 대한 TMR 적용 기술을 개발하여 왔다. 최초의 개발품은 1999년 상용의 PowerPC 603e를 3개 사용한 SBC603Ex3으로, 약 16W의

전력 소모로서 250 MIPS의 성능을 갖고 있다. 이를 바탕으로 보완 개발을 시작, 2003년 말에 JPL의 지원 하에 Engineering Model인 SCS750 컴퓨터를 개발하였다. 이는 최신의 상용 기술에 의해 개발된 PPC750FX CPU, 고속의 SDRAM, PCI 버스 등 상용 기술을 사용하되, 우주 환경에 대한 내성 강화를 위한 다양한 기술을 사용하여 상대적으로 매우 낮은 전력으로 슈퍼컴퓨터 정도의 높은 성능을 가지며, 아울러 완전한 소프트웨어 호환성을 갖는 탑재컴퓨터를 개발한 좋은 사례이다 [5]. 이 컴퓨터 모듈의 개발로서 상용에 비해 약 10년 이상 뒤져있던 위성용 컴퓨터의 성능을 획기적으로 앞당기고 있다. 지금까지 Prototype 및 Engineering Model에 대한 개발이 완료되어 있으며, 2005년까지 Flight Model 개발을 완료할 예정이다. SCS750의 주요 규격은 다음과 같다.

- 0.13 um SOI device의 IBM PPC 750FX
- 1800 MIPS@800 MHz / 20 Watts 소모
- L1 Cache: I/D 모두 32KB (Parity 확인)
- L2 Cache: 512KB on-chip, EDAC 포함

상용 기술을 위성용 탑재컴퓨터에 적용할 경우 발생할 수 있는 문제를 해결하기 위해 다음과 같은 우주용 기술이 추가로 사용되었다.

- Triple Modular Redundant (TMR) CPU
- Error detection on CPU
 - ✓ Re-Sync for one CPU error
 - ✓ Restart for double CPU error
- Task Re-synchronization & Scrubbing
 - ✓ Saving CPU states & re-load
 - ✓ < 1 ms delay & < 0.3% overhead

SCS750 컴퓨터는 매우 빠른 처리 성능을 가지고 있으므로 향후 인공 지능 기능을 포함하여 지상의 도움 없이 위성 자체적으로 더 복잡한 임무를 수행할 수 있도록 하는 추세를 더욱 가속화시킬 것이다. 그러나 SBS603Ex3과 같이 신뢰성에 대한 검증이 되지 않았으며, 아직 개발이 완료되지 않았을 뿐만 아니라 그렇게까지 고성능 처리기에 대한 수요가 많지 않은 것이 현실이다.

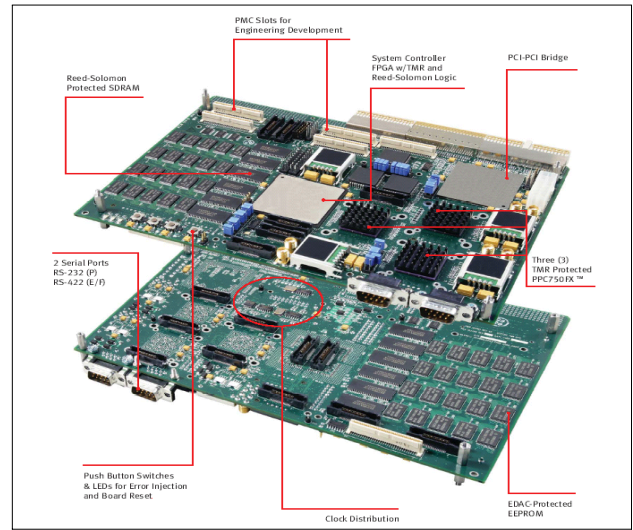


그림 1. SCS750 Super Computer for Space (EM)

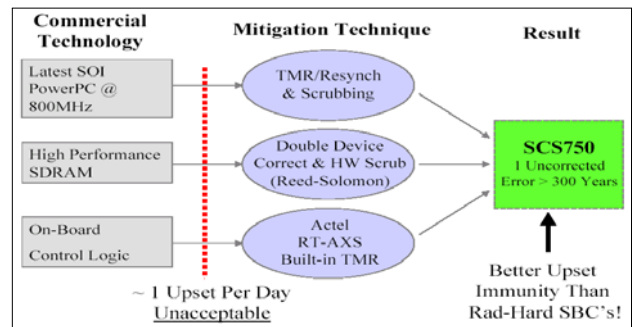


그림 2. SCS750 개발에 사용된 주요 우주화 기술

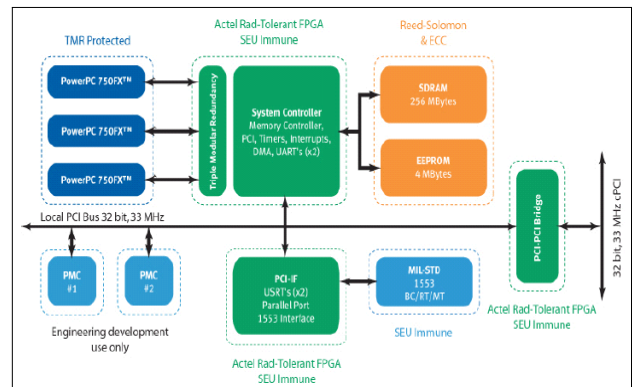


그림 3. SCS750 Functional Block Diagram

2.3 고 신뢰성을 갖는 RHPPC603e 및 RAD750 탑재컴퓨터 개발 사례 분석

다양한 상용 기술을 적용하였으나 아직까지 개발 중인 SCS750과는 달리, 정지궤도 위성 등에 직접 적용할 목적으로 개발이 이미 완료된 탑재컴퓨터에 대해서는 미국의 Honeywell 사와 BAE

(이전의 Lockheed Martin사)의 개발 결과를 살펴보는 것은 매우 의미 있는 결과가 될 것이다. 이들 두 회사는 과거 미 정부의 방산 물자를 많이 조달하는 회사로서, 많은 군용 전자 장치 및 군용/상용 위성을 개발, 납품한 경력이 있다. 이를 위해 과거에는 MIL-STD-1750 규격을 만족하는 CPU를 개발하고, 이를 이용한 탑재컴퓨터를 생산하였으며, 한때 R6000 RISC CPU를 이용한 탑재컴퓨터를 개발하여 저궤도 위성, 정지궤도 위성 및 행성간 탐사용 위성에 각각 적용을 하였다. 그러나 1750이나 RAD6000 CPU의 경우 모두 과거에 개발된 전용의 개발 환경을 갖는 것으로, 소프트웨어 개발에 많은 시간이 소요되었다. 이러한 이유로 인해 1990년대 말부터는 더 높은 처리 성능과 Code 수준의 소프트웨어 호환성을 가지면서 좀 더 편리한 개발 환경을 갖는 상용의 PowerPC 계열 CPU에 대해 우주에서 사용이 가능한 Radiation Hardened CPU를 개발하고, 이를 이용한 단일 보드 형태의 탑재컴퓨터 (Single Board Computer)를 개발하였다. Honeywell 사는 1997년부터 PowerPC G2 계열의 603e와 호환성을 갖는 RHPPC603e를, BAE사는 1999년부터 G3 계열의 750과 호환성을 갖는 RAD750 개발을 시작하였으며, 2001년과 2003년에 각각의 CPU를 장착한 탑재컴퓨터를 완성하였다 [6, 7]. 각각의 주요 규격은 표 1과 같으며, 개발 결과는 그림 4에서 그림 7과 같다.

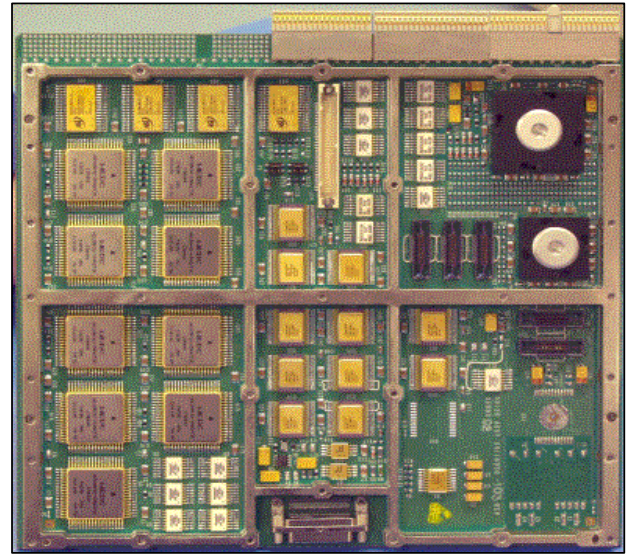


그림 5. RHPPC603e를 사용한 Computer Module

표 1. RHPPC와 RAD750 주요 규격 비교

	RHPPC	RAD750
사용된 CPU	RHPPC603e	RAD750
크기 [mm]	233x221	100x160
무게 [grams]	748 grams	549 grams
소모전력 [W]	12W (nom)	10.2 (typ)
성능 [MIPS]	167@100 MHz	240@133MHz
신뢰도	>0.99@15 year	MTBF>390Khr
기타	8MB SRAM 4M EEPROM	128MB SDRAM 1MB EEPROM

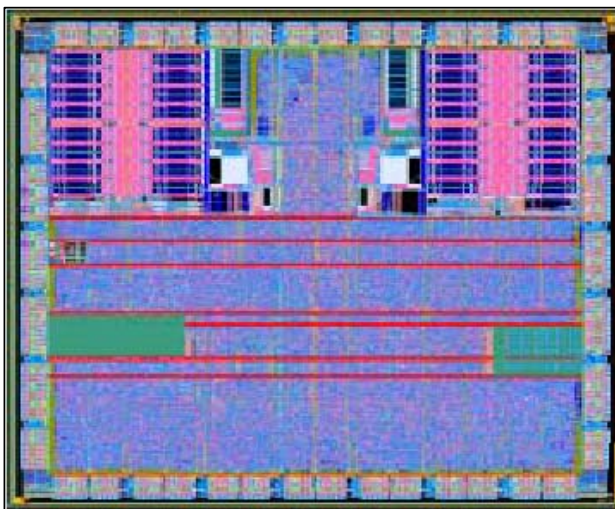


그림 4. Honeywell 사의 RHPPC603e CPU

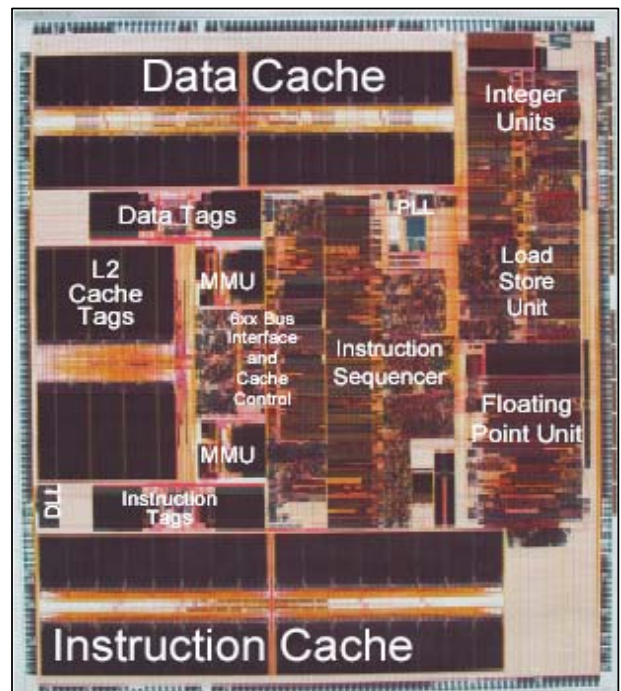


그림 6. BAE 사의 RH750 CPU

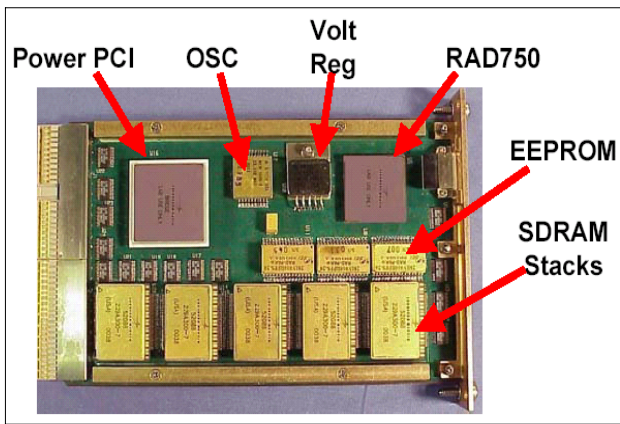


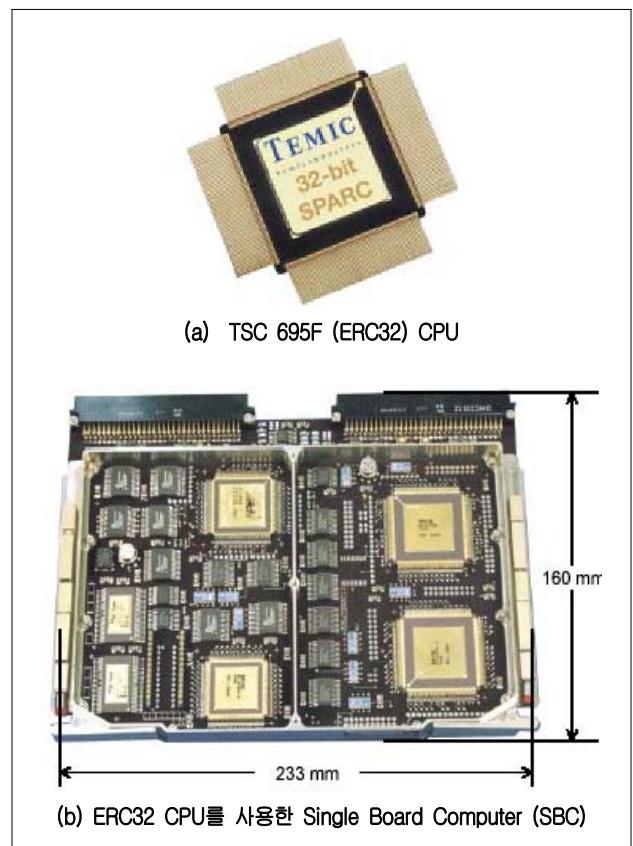
그림 7. RH750 CPU를 사용한 Computer Module

2.4 유럽의 탑재컴퓨터 개발 사례 분석

유럽의 경우 나날이 복잡해지는 요구 사항을 만족하기 위해 최첨단의 부품을 사용하고자 하였으나 미국의 방산 물자 수출 제한 (Export License) 규정에 따라 사용할 수 있는 기술과 부품에 제한이 생기게 되었다. 그러므로 독자적인 기술 개발을 통해 자체적으로 개발하고 생산한 부품을 더 많이 사용할 수 있도록 기술의 유럽화를 추구하고 있다. 특히 상업용으로 개발되었으나 수요가 없어 생산을 포기한 기술과 처음부터 일반에게 공개된 기술 등에 기반으로 위성용으로 가용하도록 개량하는 틈새시장 공략 방식을 집중적으로 채용하고 있다. 이러한 기술을 이용, 위성용으로 개발한 대표적인 것이 ERC32 SPARC Processor와 SpaceWire 표준이다 [8, 9, 10].

SPARC Processor는 RISC CPU로서, Sun Microsystems 사에서 제시한 표준 규격에 따라 누구나 개발을 할 수 있도록 허용하되, 호환성에 대해서는 Sun사로부터 인증을 받도록 한 것이다. 이를 위해 다양한 업체에서 다양한 SPARC 호환 CPU를 생산하고 있다. 이전부터 많이 사용된 Sun Workstation 과 최근에 산업용으로 많이 쓰이는 ARM Processor 등이 그 대표적인 것이다. 유럽의 경우 ESTEC (European Space Research & Technology Center) 을 중심으로 91년부터 SPARC V7 표준 규격과 호환될 수 있는 ERC32(32-bit Embedded Realtime Computer core) CPU에 대한 개발을 시작하였다. 개발 과정에서 VHDL model을 사용하였으며, 우

주 환경에 대한 내성 특성을 강화하기 위해 내부 register 등에 대하여 TMR 회로, Parity 확인 회로 등을 적용하였으며, SCMOS RT Library를 사용하였다. 설계 결과는 유럽의 Thomson (현 ATMEL) 사를 통해 유럽에서 개발된 Radiation Tolerant ASIC 기술과 결합하여 미국에 대한 의존성을 완전히 배제한 부품을 생산하였다. 하드웨어 개발과 병행하여 소프트웨어 개발을 위한 Simulator, 개발 환경 및 RTEMS 등의 Real-Time OS 등에 대한 개발도 병행되었다. 그 결과 1990년대 말부터는 이 부품을 이용한 탑재컴퓨터를 설계하여 유럽 연합에서 개발하고 있는 다양한 위성에 적용하고 있다. 최근에는 Single Board 형태의 탑재컴퓨터 기능을 하나의 Hybrid Chip에 모두 장착한 MCM32 (Multi-Chip Module using ERC32)도 사용되고 있다 [11]. 1997년 약 1.2W 미만의 전력을 소모하며 20 MIPS 정도의 처리 성능을 갖는 Prototype ERC32 CPU를 완성한 이후 현재는 0.4W 미만의 소모 전력과 100 MIPS 이상의 처리 성능을 갖는 SPARC V8 규격 호환 LEON CPU를 현재 개발 중이다 [12].



(a) TSC 695F (ERC32) CPU

(b) ERC32 CPU를 사용한 Single Board Computer (SBC)

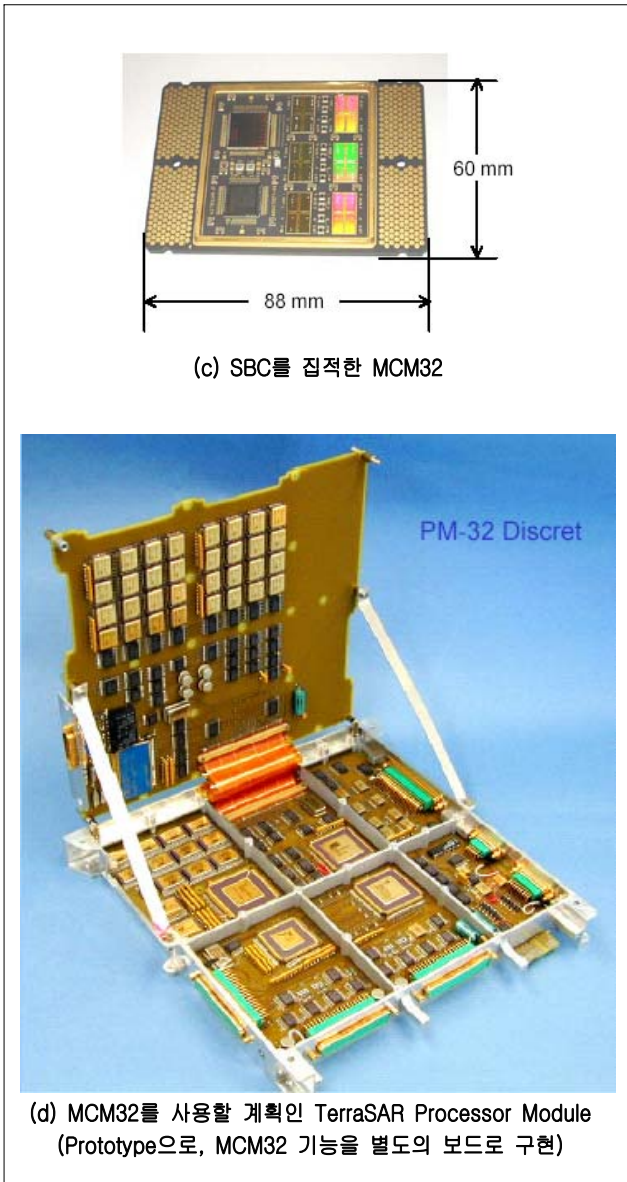


그림 8. 유럽의 다양한 탑재컴퓨터 관련 기술 개발 사례



그림 9. LEON-2 Test Chip을 이용한 개발 모듈

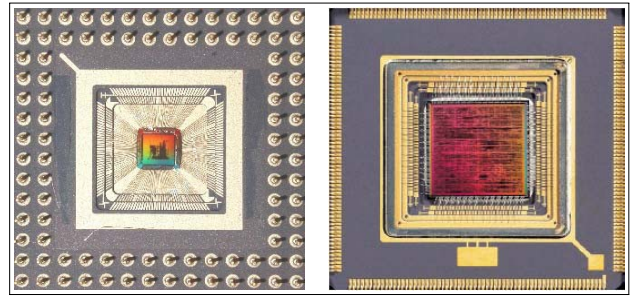


그림 10. LEON-2 Test Chip (왼쪽)과 상용화 예정인 TSC697 LEON-2 CPU (오른쪽)의 형상

SpaceWire 표준은 1995년에 정립된 IEEE-1355 표준을 근간으로 하고 있다. 1980년대 말 INMOS 사에서는 대규모 병렬 처리를 위해 직렬 통신 방식에 의한 고속 데이터 교환 통신 규격을 개발, Transputer 간에 연결이 가능하도록 하였으며, IEEE-1355 표준으로 정립되었다. 그러나 고장이 발생할 경우 재 연결 방법이 구체적이지 못해 Transputer가 시장에서 외면되면서 INMOS 사는 개발된 기술에 대한 독점권을 포기하였다. 유럽 연합은 IEEE-1355 표준 중 DS-DE (Data-Strobe, Differential Ended) 부 표준규격(Sub-Standard)의 문제점을 보완하고, 위성 개발에 적용할 수 있도록 추가 기술을 개발하여 SpaceWire 표준을 정립하였다. 이를 통해 위성 내부 기능의 Cross-Strap 연결이 쉬우며, 데이터 처리를 위한 표준화된 인터페이스로 사용할 수 있도록 하고 있다. 현재까지 SpaceWire와 IEEE-1355의 DS-DE 부 규격의 통신 프로토콜을 동시에 만족하는 단일 포트/3 포트 지원 부품이 개발되었으며, 다양한 노드 간의 상호 연결을 위한 10 포트 스위치 모듈에 대한 개발이 완료되어 있다. 2004년 상반기까지 SpaceWire 표준과 완벽하게 호환되는 단일 및 4 포트 지원 부품에 대한 개발을 계속하고 있다. 두 규격의 주요 차이점은 표 2, 주요 구성 요소는 그림 11과 같다.

표 2. IEEE-1355 DS-DE와 SpaceWire 주요 차이점

	IEEE-1355 DS-DE	SpaceWire
Connector	MMD, 10-pin	MMD, 9-pin
Cable	Twist Pair	4-Twisted Pair
Tranceiver	PECL	TIA/EIA-644 LVDS
소모 전력 [mW]	120 (typ)	50 (typ)
전송속도 [Mbps]	10 ~ 100	2 ~ 400
초기화 및 고장 복구 규격	중의 모호 혹은 불분명	명확한 초기화 및 복구 방법 정의

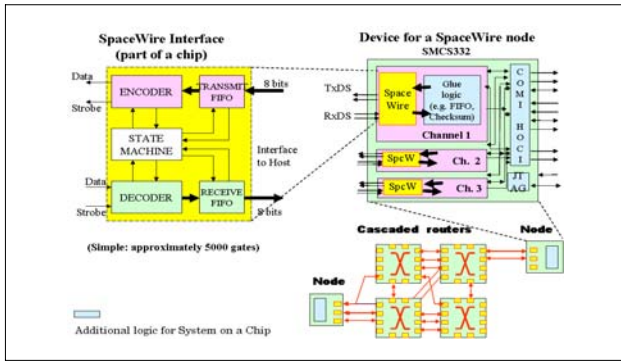


그림 11. SpaceWire 구성 요소 - Node & Router

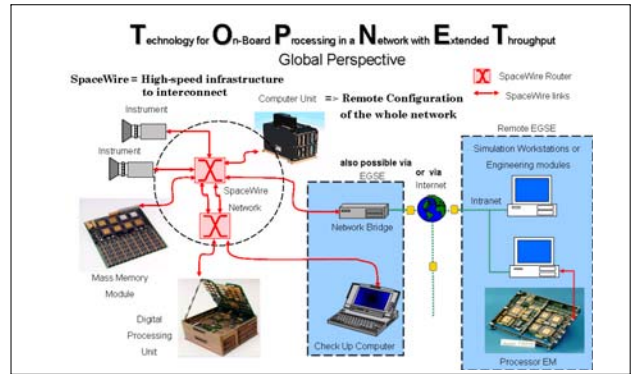


그림 13. TOPNET 개념도

SpaceWire 규격을 개발하게 된 가장 큰 목적은 표준화를 통한 인터페이스 호환성(Compatibility)과 하드웨어의 재사용(Re-Use)이다. 이를 통해 기능 간의 손쉬운 연결과 시험이 가능하도록 하며, 개발비용과 시간을 단축할 수 있도록 하고 있다. 또한 직렬 통신 포트를 추가하는 것만으로 전송 속도를 무한정 늘릴 수 있는 가변확장성(Scalability)도 제공하고 있다. SpaceWire 인터페이스는 한 Unit 내부의 기능 간 연결에도 사용할 수 있으며, Unit 간의 연결에서도 사용될 수 있으므로 궁극적으로는 미국에 종속되어 고가이면서 저속인 1553B 데이터 통신 방식을 대체할 수 있다. 호환성 및 재사용을 위해 개발된 대표적인 경우가 그림 12에 제시된 Astrium 사의 DSP 처리 보드이며, 이러한 개념을 시스템 전반에 일관되게 적용하기 위한 TOPNET(Technology for On-board Processing in a Network with Extended Throughput) 기술에 대해서는 현재 꾸준히 보완 개발이 되고 있다. Unit 내부 기능 간 연결을 위해 SpaceWire 표준을 사용한 예로서, Astrium 사의 ICDE (Integrated Control and Data System Electronics)가 있다. 그림 14에는 TerraSAR 위성의 OBC에 대한 것으로 블록도와 ICDE의 사진을 제시하였다. 참고로, ICDE 그러나 TerraSAR OBC의 원형이다.

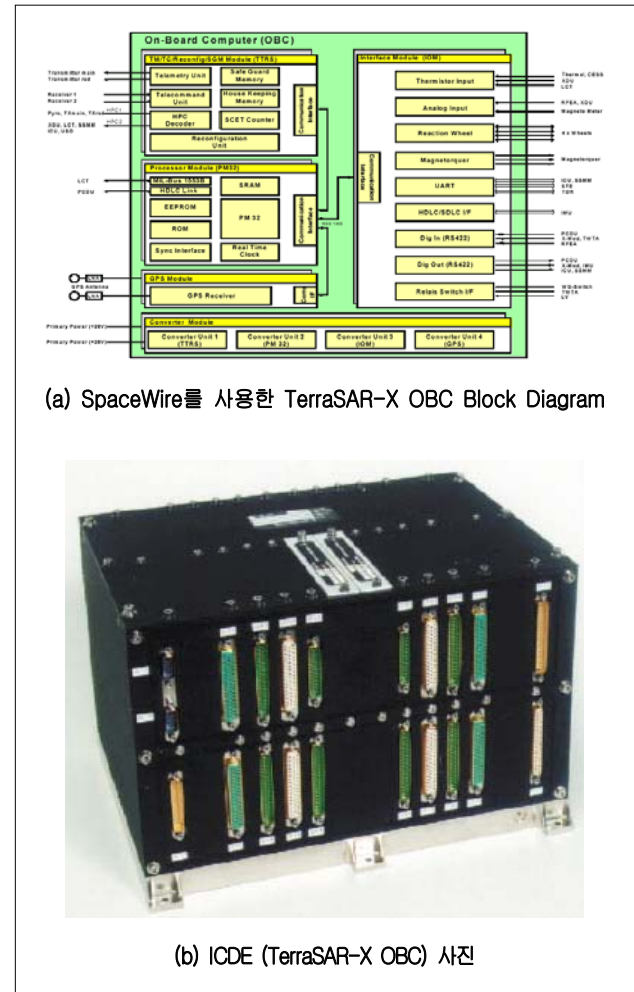


그림 14. SpaceWire를 Unit 내부 기능 간 연결에 사용한 예제. (ICDE는 TerraSAR-X의 OBC의 원형임)

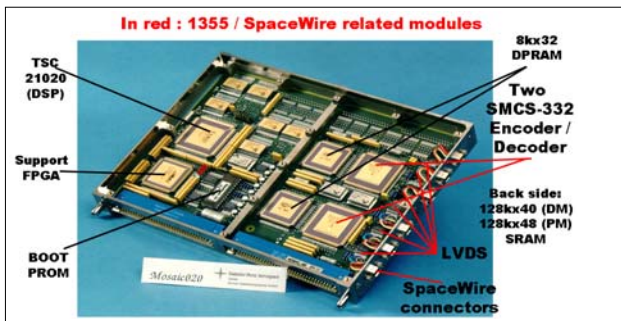


그림 12. SpaceWire 표준을 적용한 DSP 보드 예제

3. 국내의 개발 동향

국내의 실용급 위성을 위한 탑재컴퓨터 개발은 본 원과 한국항공우주산업(주)의 공동 협력에 의해 주도되고 있다. 앞서 설명한 바와 같이 실용급 위성

을 위한 탑재컴퓨터로서 국내에서 최초로 개발된 것은 해외에서 개발된 다목적실용위성 1호를 기준으로 개량한 2호기의 컴퓨터 모듈이다. 이 모듈은 그림 15 및 16과 같이 OBC, ECU 및 RDU의 3개 처리기에 공통적으로 사용되며, 1553B 인터페이스를 통해 연결되는 분산 처리 형태를 갖고 있다. 그러나 향후 다양한 임무를 수행하기에는 처리 성능이 미흡하며, 더욱이 80386 CPU 자체가 생산이 중단되어 구하기가 더욱 힘들어졌다. 또한 향후 임무의 복잡성과 분산 처리로 인한 고장 진단 및 복구의 어려움을 고려하여 3개의 처리기가 하나의 컴퓨터 모듈로 통합된 단일 처리기에 대한 개발을 추진하였다. 최초의 개발 방향은 외국의 탑재 컴퓨터 개발 계획과 사례를 중심으로 조사한 Feasibility Study 결과에 의해 최소 10에서 최대 30 MIPS 정도의 처리 성능을 갖는 PowerPC 기반의 탑재 컴퓨터 개발이었다 [13]. 향후 우주용 부품이 가용할 것으로 예상하되, 상용 부품을 사용하여 위성에 사용할 수 있도록 하는 방안도 고려되었다. 이를 위해 Latch-up 방지 회로에 대한 연구와 TMR 기술에 대한 연구를 수행하였으나 공개된 자료가 거의 없어 기본적인 개념 연구만을 완성하였다. 다양한 우주화 기술을 적용하지 않고 기본적인 기능만을 구현한 PowerPC 컴퓨터 기능 모듈은 그림 17과 같다. 이것은 Honeywell 사의 RHPPC603e와 BAE 사의 RAD750 모델을 모두 벤치마킹하여 그 구조와 규격을 결정한 것이다 [13, 14, 15].

그러나 다목적실용위성 3호기 개발 준비를 위해 최근에 Honeywell 및 BAE 사를 통해 우주용으로 개발된 PowerPC Chipset 구매 가능성을 타진하였으나 불가한 것으로 통보되었다. 더욱이 향후 미국의 기술 이전에 대한 제약이 더욱 심화될 것으로

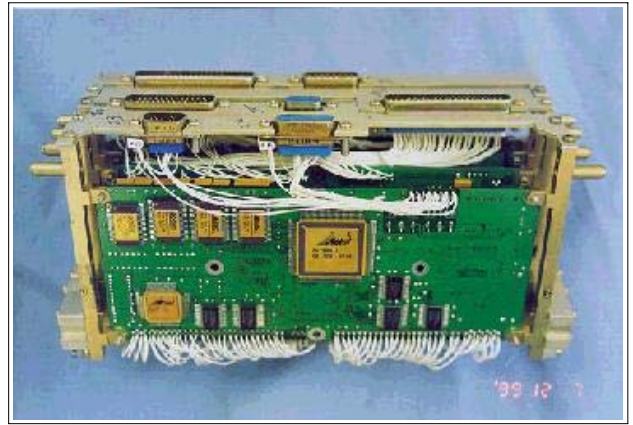


그림 16. 국내 기술로 개발된 80386 CPU 기반의 탑재 컴퓨터 모듈 (KOMPSAT-2에 적용된 모듈)

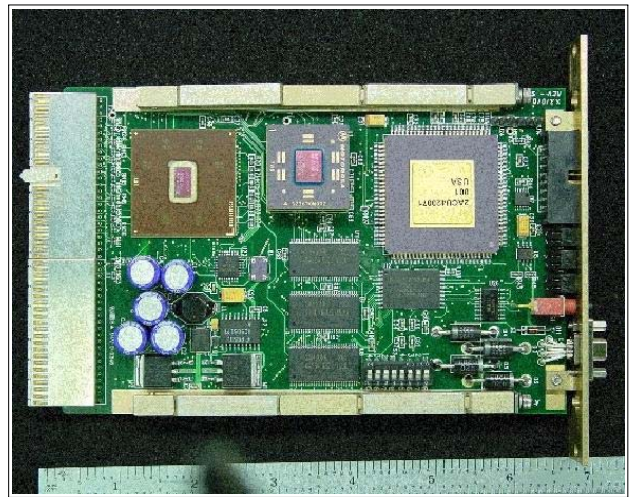


그림 17. PPC750을 이용한 VME 3U 크기의 Single Board Computer 기능 모듈

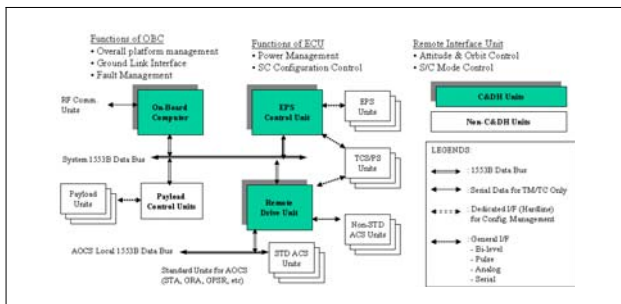


그림 15. 다목적실용위성의 분산 처리 구조

예상되므로 Single Board Computer 형태의 모듈을 구매하기도 점차 어려워질 것으로 예상되었다. 이러한 추세는 유럽의 경우 1990년대에 이미 경험한 것이며 다목적실용위성 2호기 프로그램을 통해서도 확인된 바 있으므로, 미국이 아닌 유럽의 기술을 채용하는 방안이 대해 논의가 적극적으로 이루어졌다. 그 결과 유럽에서 개발된 ERC32를 기반으로 하는 처리기 모듈을 개발하기로 의견이 모아졌다. 특히 2호기 개발 과정에서 어려움이 확인된 우주용 메모리 선정 기술, 더 빠른 성능을 위한 CPU 주변 장치 제어 기능 설계 기술 및 미국의 수출 통제를 받는 1553B Chipset 확보 문제 등을 한꺼번에 해결할 수 있는 MCM32 모듈을 사용하는 방안도 함께 고려되고 있다. 또한 2호기와는 달리, 처리

기 모듈, 입출력 장치 그리고 데이터 통신을 위한 장치를 모듈을 모두 통합하는 중앙 집중식 탑재 컴퓨터 (IBMU, Integrated Bus Management Unit) 를 개발하기 위해 SpaceWire 표준을 사용하기로 하였으며, 그림 17과 같은 블록도를 완성하였다. 최종적인 IBMU의 구조는 Astrium 사의 ICDE 혹은 TerraSAR의 OBC와 유사한 형태를 가질 것으로 예상 된다 [16, 17].

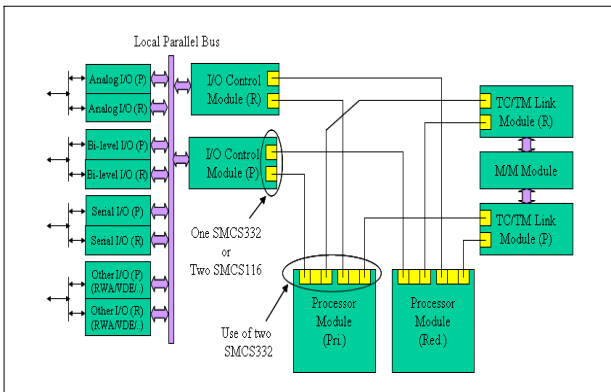


그림 18. 차세대 위성을 위한 IBMU 블록도

우리별 위성 및 과학위성 등 실험용 위성 개발 과정에서는 초기에는 80C186 기반의 탑재컴퓨터를 개발하였으나 우리별 3호부터는 그림 19에 제시된 바와 같이 Intel 80960 (i960) CPU를 사용한 탑재 컴퓨터를 개발, 사용 중이다. 최근에 개발을 시작한 과학위성 2호의 경우 PowerPC603e 기반의 탑재컴퓨터를 개발하기로 결정하였다. 그러나 이들 역시 탑재컴퓨터의 처리기 모듈 이외는 이전 프로그램에서 사용된 기능을 재사용하는 형태를 유지하고 있다. 유의할 사항은 주 처리기를 위해서는 새로이 개발된 처리기 모듈을 사용하되 고장이 발생하였을 때 동작하는 잉여 처리기로서는 이전에 개발되어 우주 환경에서 사용이 검증된 80C186 기반의 처리기 모듈을 사용하는 것이다. 이러한 방법은 비용을 줄이기 위한 위성 개발 전략과 관련이 있는 것이다. 그 외에 인공위성연구센터에서 벤처업체로 독립한 세트랙아이(SaTReCi)에서는 말레이시아 정부의 자금 지원 하에 Motorola 6EN360 CPU 기반의 탑재컴퓨터를 개발하여 2005년 중반에 발사 예정인 RazakSAT(이전의 MACSAT)에 적용하고 있다.

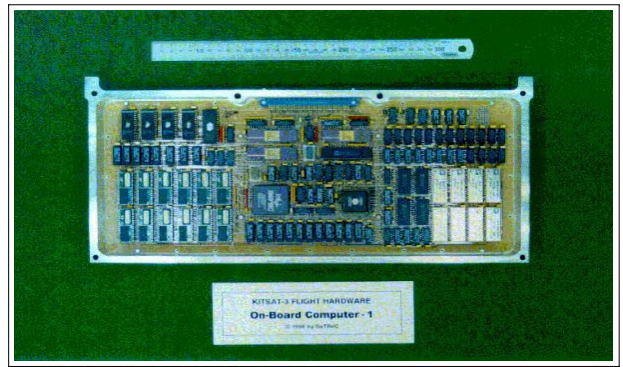


그림 19. 우리별 3호의 i960 기반 탑재컴퓨터

4. 결론

본 논문에서는 해외 기술 선진국의 위성용 탑재 컴퓨터에 대한 최신 개발 동향과 관련 기술 개발 추세를 반영한 국내의 위성용 탑재컴퓨터 개발 현황에 대해 논의하였다. 특히 유럽의 기술을 활용하여 미국의 수출 통제에 의한 위성 개발의 어려움을 회피하면서 핵심 부품인 탑재컴퓨터를 개발함으로써 독자적인 위성 개발이 가능하도록 하는 방안에 대해 논의하였다.

전반적인 위성용 탑재컴퓨터 개발 기술 동향은 더 높은 처리 성능을 가지면서 저 전력 소모 및 소형 경량화를 통해 위성 개발비용을 줄이도록 하는 것이다. 또한 표준화된 인터페이스를 사용하여 향후 재사용이 가능하도록 하며, 상용 분야에서 검증된 실시간 운영 체제(Real-Time OS)를 사용하는 것이다. 그 이외에 동일한 하드웨어를 사용하되, 소프트웨어의 변경만으로 새로운 임무를 처리할 수 있도록 하기 위해 상용의 소프트웨어 개발 환경을 가능한 많이 사용하도록 하고 있다.

국내의 개발 방향은 고 성능, 저 전력 및 소형화를 추구하되 유럽의 기술을 가능한 많이 채용하여 향후 미국의 통제를 가능한 줄일 수 있도록 하는 것이다. 이를 위해 ERC32 및 MCM32 기반의 처리기 모듈과 SpaceWire 표준을 통한 기능 간의 연결 방법을 사용하기로 결정하였다.

그러나 향후 예상되는 가장 큰 문제점은 유럽의 기술이 아직 완성된 것이 아니라 계속적으로 보완되고 있으며, 공개된 자료가 매우 부족하다는 것이

다. 또한 PowerPC 기반의 탑재 컴퓨터와 비교할 때 소프트웨어 개발 환경이 매우 열악한 형편이다. 그러므로 향후 국내의 독자적인 위성 개발에 있어 가장 큰 문제인 실패 요인을 가능한 줄이기 위해, 탑재컴퓨터 하드웨어 개발은 본 원을 중심으로 국내의 위성 부품 개발 전문 기관인 한국항공우주산업(주)과 세트랙아이 등이 공동으로 참여하도록 하였으며, 소프트웨어 개발은 Astrium 사의 평가용 모듈(Evaluation Model)을 미리 구매한 후 하드웨어 개발이 완료되기 이전부터 차세대 위성 제어를 위한 새로운 소프트웨어 구조 설계 및 사전 검증 시험이 가능하도록 할 계획이다.

14. 연구보고서, "인공위성 핵심기술 선행개발연구: 고성능 위성용 탑재컴퓨터 기술연구(II)", 2001.12, 항우연.
15. 연구보고서, "차세대 위성체 핵심기술 선행 연구: 위성 전자/구조/제어 선행기술 연구", 2002. 12, 항우연.
16. 김대영 외, "Feasibility Study of On-Board Computer Design for Next Generation Satellites", 2004. 8, CCCT2004 발표 예정.
17. 김대영 외, "차세대 위성을 위한 탑재컴퓨터 구조 연구", 한국항공우주학회 춘계 학술발표회, 2004. 4.

참고문헌

1. R. Comfort, "The Economics of Microprocessor Obsolescence", COTS Journal, p21-23, 19
2. Virginia L. Castor, "The Development of Defense Science and Technology Program", Proceedings of the 1996 HASE Workshop, p130-p131.
3. K. Label, et al, "Emerging RHA issues: A NASA Approach for Space Flight Program", <http://flick.gsfc.nasa.gov/radhome/papers/RHA98.pdf>.
4. 김대영 외, "차세대 위성용 탑재컴퓨터 개발 동향에 관한 연구", 한국항공우주학회지, 제 30권 제 2호, 2003. 3, pp145-151.
5. Maxwell사 homepage: <http://www.maxwell.com>
6. Honeywell: <http://www.honeywellaerospace.com> 및 <http://content.honeywell.com/dses.default.htm>
7. BAE사 RAD750 homepage: <http://www.iewns.na.baesystems.com/space/rad750>
8. ATMEL 유럽 지사의 Rad hard IC homepage: <http://www.atmel.com/products/radhard/>
9. ATMEL, "32 bit Embedded Real-time computing Core Single Chip Development", Microelectronics Workshop, 2001.
10. ESA/ESTEC SpaceWire Homepage: <http://www.estec.esa.nl/tech/spacewire/>
11. Astrium, "MCM SPARC ERC32SC Generic Computer Core", Spacecraft Data Systems Workshop 2003.
12. Gaisler Research 사: <http://www.gaisler.com>
13. 연구보고서, "인공위성 핵심기술 선행개발연구: 고성능 위성용 탑재컴퓨터 기술연구(I)", 2001. 1, 항우연.