

# SoC(System-on-Chip)

이찬호 | 송실대 정보통신전자공학부

## 1. 서론

반도체 공정기술의 발달로 0.13um 공정이 보편화 되었으며, 90nm 공정의 사용이 본격화될 전망이다. 이런 반도체 집적도의 발달에 힘입어 이전에는 PCB 상에서 여러 칩들로 구현했던 시스템의 대부분을 그림 1에 나타낸 것처럼 하나의 칩 안에 집적하는 SoC (system-on-chip) 기술이 대두하게 되었다. 일반적으로 SoC에는 프로그램 가능한 프로세서 (programmable processor), 메모리, 버스, 소프트웨

어 등이 하나의 칩 안에 들어가기 때문에 종래의 칩들 보다 규모 및 복잡도가 커지게 된다. 또한 프로세서가 칩 안에 들어감으로써 소프트웨어까지 모두 고려한 디자인이 필요하고 검증 또한 복잡해졌다. 이처럼 시스템의 복잡도는 점점 증가하고 있는 반면 개발 시간 (time-to-market)은 점점 짧아지는 추세이다. 그러나 반도체 설계 생산성(productivity)은 이러한 추세를 따라 가지 못해 생산성 격차(productivity gap)는 점점 커져가고 있는 실정이다[1].

기존의 설계 방법으로 SoC를 설계하려면 각 기능

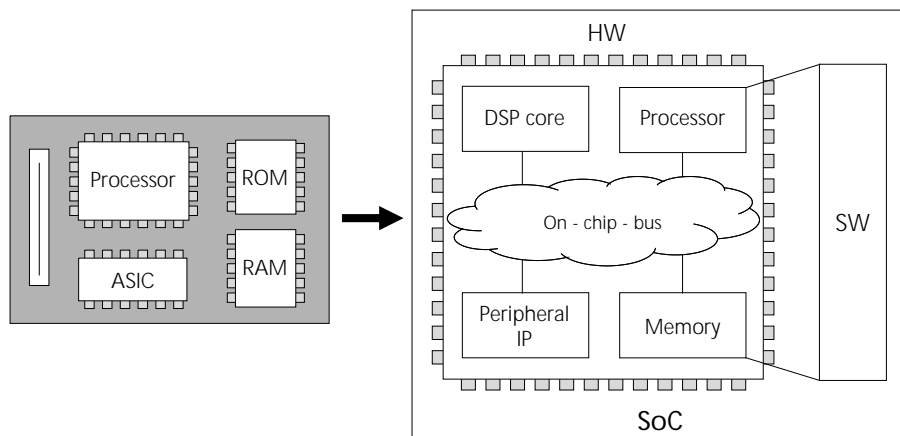


그림 1. System-on-chip의 개념

블록을 설계하는 것뿐만 아니라 이를 통합하고 검증하는 데에도 많은 비용과 시간이 소모된다. 만일 검증 과정에서 오류가 발생한다면 설계 흐름(design flow)을 다시 반복해야 하기 때문에 설계 시간과 비용의 증가를 초래한다. 따라서 SoC 설계에서의 오류 가능성(design risk)을 줄이고 개발 시한을 만족시키기 위해 개발기간 및 검증기간을 줄일 수 있는 설계 방법론이나 SoC 설계 기술이 많이 등장하게 되었다. 본 글에서는 SoC 설계 기술에 대해서 살펴보고 이에 대한 표준화 동향에 대해서 살펴보고자 하겠다.

## 2. SoC 기술 동향

### 가. 설계 방법론

SoC 설계 방법에는 IP를 기반으로 시스템을 구성하는 블록 기반 설계 방법과 플랫폼을 재구성하여 사용하는 플랫폼 기반 설계 방법이 있다.

#### ① 블록 기반 설계(BBD : block-based design) - IP 재활용

복잡한 시스템을 빠른 시일에 개발하기 위해서 IP(Intellectual Property)를 재활용하는 방법이 사용되고 있다. IP란 이미 개발되고 검증되어 있는 기능 블록을 의미한다. 이런 IP를 기본적인 설계 단위로 하여 그림 2와 같이 시스템을 구성하는 방법을 블록 기반 설계라고 한다[2]. 시스템을 여러 블록으로 설계하고(시스템 구현 비용 및 성능을 최적화 하도록 하드웨어와 소프트웨어를 동시 설계(co-design)하기도 한다) 필요로 하는 구성 요소(component)들을 IP 공급자(vendor)로부터 구입하여 시스템을 구성하고 검증한다.

#### ② 플랫폼 기반 설계(PBD : platform-based design) - 플랫폼(platform) 재활용

시스템이 점점 복잡해지면서 IP들을 구성하고 검증하는 데에도 시간 및 비용이 많이 들게 된다. 따라서 여러 시스템에서 사용 가능한 공통적인 아키텍처

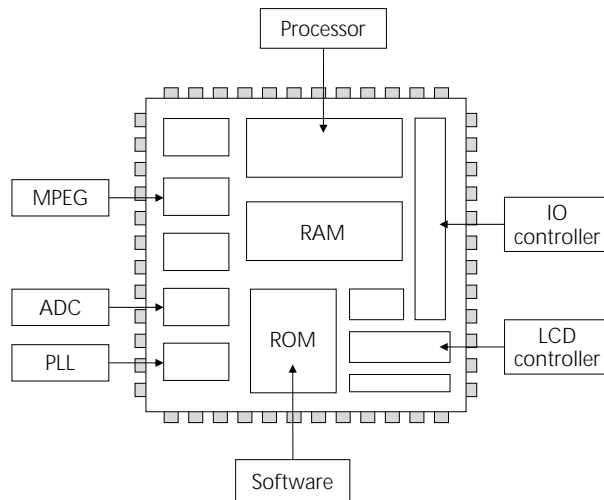


그림 2. 블록 기반 설계

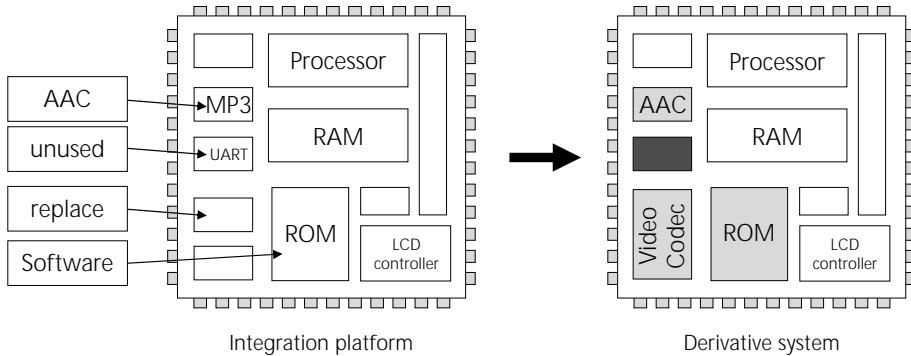


그림 3. 플랫폼 기반 설계

(architecture)와 코어 프로세서(core processor)에 상주하는 OS 등 범용적인 플랫폼(platform)을 구성해 놓고 필요에 따라 소프트웨어를 변경하거나 새로운 기능 블록을 추가하는 방법으로 시스템을 재구성하는 방법을 플랫폼 기반 설계(PBD)라고 한다[3]. PBD를 이용하면 그림 3에 나타난 바와 같이 필요로 하는 기능 블록만 추가함으로써 나머지 컴포넌트는 검증하지 않고도 새로운 시스템을 구성할 수도 있으며, 소프트웨어만을 변경함으로써 플랫폼 자체도 재사용 할 수 있다. 공정 기술의 발달로 사용 가능한 칩 면적이 충분히 넓어지면서, 널리 사용되는 IP들을 최대한 집적시켜 놓고 제작하려는 시스템에 따라 필요한 부분만 블록만 사용하는 방법도 사용될 수 있다. 이 경우 하드웨어 자원(resource)들을 모두 활용하지 않을 수 있지만 시스템의 설계 및 검증 비용을 줄일 수 있는 장점에 비한다면 작은 단점이라고 할 수 있다.

#### 나. 시스템 수준 설계 및 언어(system level design and language)

최근에 필요로 하는 IC들은 많은 양의 데이터들을 처리하는 복잡한 시스템들이 대부분이다. 오디오, 비디오 같은 멀티미디어 데이터를 처리하는 시스템이나

통신 및 네트워크 시스템들은 복잡한 수식을 처리하는 알고리즘을 구현하고 있다. 고성능 프로세서로 이런 복잡한 알고리즘을 실시간으로 동작하도록 구현할 수 있지만 시스템의 특성상(저전력이 필요한 시스템이거나 가격 면에서) 고성능 프로세서를 사용할 수 없는 경우가 많이 존재하게 된다. 이런 경우에 하드웨어를 기반으로 하는 시스템을 구성하게 되는데, 복잡한 알고리즘을 갖는 시스템을 바로 하드웨어로 구현하기에는 무리가 따르며 설계 자체보다 검증하는데 더 큰 노력이 들 수도 있다. 따라서 이런 복잡한 시스템을 다루기 위해서 하드웨어 구조를 고려하지 않는 알고리즘 수준(algorithm level)에서 시스템을 설계한 뒤 하위 수준으로 내려가는 방법을 사용하게 되는데 이를 시스템 수준 설계(system level design)라고 한다[3].

기존의 하드웨어 설계를 위한 HDL(hardware description)로는 시스템 전체를 기술하기 어려우며 C 언어로는 병렬성을 갖는 하드웨어 컴포넌트를 기술하기 어렵다. 따라서 새로운 언어들이 시스템 레벨 설계를 위해서 고안되었다. 대표적으로 C 언어 계열인 SystemC (C++ library로서 존재), SpecC, 그리고 Handel-C 등과 시스템 수준 설계를 위해 HDL을 확장한 SystemVerilog 등이 존재한다.

이런 언어로써 시스템을 기술하면 실행 가능한 규격

(executable specification)을 얻을 수 있는데, 이를 수행시켜 복잡한 시스템의 동작(behavior)을 직접 검증해 볼 수 있다. 따라서 시스템의 규격(specification)을 변경했을 때 시스템 출력의 변화를 바로 확인할 수 있는 장점을 갖는다.

#### 다. IP reuse의 어려움 및 극복을 위한 노력

IP를 기반으로 설계를 할 때는 적절한 IP를 확보하는 것이 중요하다. 하지만 여기에는 몇 가지 현실적인 어려움이 따르게 된다. 첫 번째로, IP 거래에 관련된 기술적인 문제가 있을 수 있다. 즉, 필요한 IP가 누구에게 있는지 구입을 위해 어떻게 해야 하는지 거래와 관련된 법적인 절차는 어떤 것이 있는지에 대해 알아야 한다. 두 번째로, IP 자체에 관한 기술적인 문제가 있을 수 있다. 즉, IP가 어떤 기능을 하는지 IP가 동작하기 위해 특정 제약이 있는지(공정, 동작 주파수 등등), 그리고 검증은 어떻게 이루어졌는지에 대해 알아야 한다. 마지막으로 IP가 시스템의 한 부분으로 들어가기 위한 인터페이스 문제가 있을 수 있다. 즉, IP의 인터페이스가 어떤 버스 규격에 맞춰져 있는지, 입출력을 위해 어떤 신호들이 있는지 알아야 한다.

ARM사와 같이 거대 IP 공급자(provider)가 제공하는 IP를 사용한다면 공급업체에 IP 거래를 위한 담당자가 존재하며 IP에 관한 문서들이 많이 존재하기 때문에 앞의 두 가지는 크게 걱정할 문제가 아니지만 마지막 인터페이스에 대한 문제는 IP 공급자가 사용하는 인터페이스에 따라야만 한다는 것이다. 따라서 다른 인터페이스를 갖는 IP를 바로 연결해서 사용할 수 없는 문제가 발생한다. 거대 IP 공급자가 제작한 것이 아닌 IP를 사용한다면 위에서 언급한 세 가지 문제들에 대해서 모두 고려해줘야 한다.

이런 문제들은 표준화를 통해서 해결할 수 있다. 이

에 따라 표준화 문제를 해결하고 IP 재사용 촉진을 위해서 IP 표준 제정 및 유통 단체들이 설립되어 설계 표준화와 IP 거래 활성화를 위해 힘쓰고 있다. 그러나 아직은 대부분의 IP 거래가 ARM사와 같은 거대 IP 공급업체를 통한 거래가 거의 대부분을 차지하고 있는 실정이다.

#### 라. On-chip-bus 연구 동향

SoC를 구성하는 기능 블록들은 점점 많아지고 있으며, 블록들 간의 주고받는 데이터의 양도 엄청나게 증가하고 있다. 따라서 늘어난 통신량을 처리하기 위한 OCB(on-chip-bus)에 대한 연구가 활발히 진행되고 있다. 지금까지 ARM 프로세서와 함께 사용되는 AMBA AHB가 OCB로 널리 사용되고 있으나 낮은 버스 효율성 때문에 보다 효율성이 높은 버스에 관한 연구가 활발히 이루어지고 있다.

IBM의 CoreConnect, Sonics사의 uNetwork 등의 새로운 OCB가 있으며, 최근에는 공유 버스(shared bus) 구조를 벗어나, 회로 스위치(circuit-switch) 또는 패킷 스위치(packet-switch) 등으로 네트워크를 구성하는 NoC(network on chip)도 연구되고 있다.

### 3. SoC 표준화 동향

3절에서는 IP 표준화 및 유통 단체에 대해서 살펴보고, 단체들이 활동하고 있는 표준화에 대한 동향을 살펴해보도록 하겠다.

#### 가. 표준화 및 IP 유통 단체에 대한 소개

IP 표준화 단체로는 1996년 9월에 주요 설계 툴(EDA) 회사 및 반도체 회사를 중심으로 결성된 국제적인 표준화 단체인 VSIA(Virtual Socket Interface Alliance)가 있다. 회원제로 운영되고 있으며 IBM, Motorola, 삼성전자 등 200여 개의 회사가 회원으로 활동하고 있다. DWG(Development Working Group)에서 IP 재사용을 위한 표준 제정을 위해 활동하고 있으며 SWG(Steering Working Group)에서 DWG를 만들고 지원 및 감독하는 역할을 하고 있다[4].

국내의 표준화 단체로는 SIPAC(Silicon Integration and Intellectual Property Authoring center)이 특허청 지원으로 2001년 7월에 설립되어 활동하고 있으며, 재사용을 위한 IP 설계 기준 표준화, IP 평가 및 검증 시스템 등의 구축으로 IP 유통에도 힘쓰고 있다[5].

유럽 지역에는 D&R(Design & Reuse)이 1997년 Phillips, Siemens 등의 기업과 EU로부터 지원을 받아 출범하여 IP 유통을 위한 영리활동을 하고 있으며, 영국에는 VCX가 1998년도에 설립되어 활동하고 있다. 일본에서는 STARC(semiconductor Technology Academic Research Center)가 IP 유통을 위한 표준안 개발 및 SoC 설계 기술 개발을 위해 활동하고 있고, IP 거래 중재 기관인 IPTC가 있으며, 대만에서는 비영리 기구인 IP gateway와 영리 단체인 IP mall이 IP 거래 기관으로 활동하고 있다[6].

#### 나. SoC 관련 표준화 동향

여기에서는 표준화 단체에서 SoC 설계를 위해 제정하고 있는 표준안들에 대해서 살펴보도록 하겠다. 주로 VSIA에서 제정하고 있는 표준안에 대해 살펴보고 국내 단체인 SIPAC의 활동도 함께 알아보도록 하겠다.

#### ① IP 설계 지침(Coding guideline for design use)

IP 재사용을 위해서는 사용자가 IP의 변경이나 시스템에 연결하기 위해서 추가적인 작업이 필요하지 않도록 해야 하므로 IP 설계 단계에서부터 재사용을 염두에 두고 개발해야 한다. 따라서 재사용 가능한(reusable) IP 제작의 표준적인 방법을 제시하는 매뉴얼들이 개발되어 배포되고 있다. Mentor사와 Synopsys사는 공동으로 “The Reuse methodology manual(RMM)”을 만들어, 시스템 수준의 설계, RTL 코딩 및 합성, 검증 등 IP 재사용을 통한 SoC 설계에 대해 폭넓은 지식과 도움을 주고 있다. 또한 Mentor사와 Synopsys사에서는 RMM을 근거로 IP가 재사용 가능하게 설계되었는지에 대한 평가를 하는 MORE(Measure of Reuse Excellence) 프로그램을 진행하고 있다[7].

일본에서는 hd lab과 STARC가 DSG(Design Style Guide) 2001을 통해 RTL 코딩과 검증에 관한 지침을 제시하고 있다. 국내에서도 SIPAC에서 ‘HDL coding guideline’을 만들어 배포하고 있으며, 플로리안(flowrian)이라고 하는 인터넷 기반의 IP 평가 시스템을 운영하고 있다[8].

#### ② OCB 표준안

앞서 언급했듯이, 여러 제작사에 의해 만들어진 IP들을 사용하려면 인터페이스 문제가 해결 되어야 한다. 즉, IP가 사용하는 버스, 클럭 등이 상이하게 되면 IP들을 바로 연결(plug-and-play)할 수 없는 문제가 발생한다. SoC 설계에서는 기존에 설계된 IP간의 연결 및 IP간의 통신 문제가 가장 큰 설계 관건(design issue)이 되기 때문에 이런 문제를 없애기 위한 인터페이스 표준이 필수적으로 필요하다. 이에 따라 VSIA 같은 표준화 단체에서는 IP간의 인터페이스 문제를 없

애려한 노력이 현재 활발히 이루어지고 있다.

IP(VSIA에서는 Virtual Component라는 용어를 사용)간의 표준 인터페이스를 위해 VSIA에서는 VCI(Virtual Component Interface)라는 것을 규정하고 있다[4]. VCI는 OCB에 독립적인 IP의 인터페이스를 표준화 하지는 것으로 래퍼(wrapper)를 사용하여 어떠한 버스와의도 연결할 수 있다. 따라서 VCI를 이용하면 IP 개발자는 특정 버스 규격에 상관없이 IP를 개발하여 여러 버스를 지원할 수 있으며, 시스템 개발자는 원하는 버스 규격을 사용하여 어떤 IP든지 연결할 수 있는 장점이 있다. 버스 규격 개발자는 VCI 래퍼를 제공함으로써 VCI와 호환되는 모든 IP의 연결을 가능하게 할 수 있다. 최근에는 또 다른 인터페이스 표준안인 OCP(Open Core Protocol)가 VSIA에 채택되어 분과(DWG) 활동을 시작하였다. OCP는 VCI의 상위 규격(superset)으로 세 단계의 확장(scalability)을 지원하여 다양한 시스템의 요구를 지원하고 있다. 또한 OCP에서는 OCP-호환 코어를 자동 생성시켜 주는 CoreCreator라는 EDA 툴을 지원하고 있다[9]. 또한 표준화 기구 이외에, ARM 사에서는 AMBA AHB를 개선한 AMBA AXI를 내놓았다. AXI는 'out-of-order transaction completion' 같은 발전된 기능을 지원한다[10].

인터페이스 표준안과는 별도로, 여러 회사에서는 자사에서 개발하고 자사의 IP에 사용되는 OCB들을 널리 보급하려고 하고 있다. 앞서 언급한대로 IBM에서는 CoreConnect를 개발하였다[11]. CoreConnect는 processor local bus(PLB), on-chip peripheral bus(OPB), device control register bus(DCR)로 구성된다. 이 중 DCR은 CoreConnect만의 독특한 특성으로 bus 형태인 PLB, OPB와는 다르게 DCR은 링 형태로 IP들을 연결하여 버스의 트래픽을 점유하지 않은 채로 IP들을 제어하거나 모니터링 할 수 있다.

Sonic사에서는 uNetwork이라는 bus를 개발하였다[12]. uNetwork은 TDMA 방식을 사용하는 SiliconBackplane이라는 네트워크를 제공하며, IP간의 인터페이스로 OCP를 사용한다. 또한, Silicore사에서 개발하여 2002년에 공개된 버스 구조인 WISHBONE이 존재한다[13]. WISHBONE은 네트워크를 거치지 않는 IP간의 직접 통신을 제공할 뿐만 아니라 버스 형태, 크로스바 스위치 등 여러 가지 네트워크 구성을 지원한다.

이 밖에도 여러 가지 버스들이 개발되어 있으며, VSIA에서는 OCB가 갖추어야 할 기능과 OCB 개발자들이 기술해야 할 문서 내용에 대해서 규격을 제정하고 있다.

### ③ 검증 구조(Verification architecture)

시스템이 복잡해지면서 칩이 완성되기 전에 시뮬레이션을 통해 검증하는데 많은 어려움이 따르게 된다. 따라서 공정 기술의 발달로 증가된 칩 면적에 여러 가지 테스트 기능(scan chain, BIST 등)을 삽입하는 것이 보편화 되었다. 이와 같이 시스템 자체 내에 테스트 기능을 집어 넣어 시스템을 검증하는 것을 시스템 내부 검증(in-system verification)이라고 한다. 특히 플랫폼 기반 설계에서는 재사용되는 블록이 많기 때문에 시스템 내의 검증 기능을 필수적으로 포함하고 있다. VSIA에서는 IP 내에 스캔 체인(scan chain)과 BIST 등과 같은 시스템 내부 검증 기능에 대해 표준적인 규격을 제정하고 있다.

### ④ Analog/Mixed signal IP 표준 규격

아날로그/혼성모드 회로는 디지털 회로와는 설계 개념이나 동작이 상이하기 때문에 지금까지 별도의 칩으로 설계해왔으며 공정에 따라 성질이 많이 바뀌기 때문에 디지털 IP에 일반적인 설계 기준을 정하기도 쉽지 않다.



하지만 SoC에서 아날로그/혼성 모드 기능 블록을 갖는 시스템이 하나의 칩으로 집적되어야 할 필요성이 점점 증가하고 있어 IP 표준화 단체에서는 아날로그/혼성모드 IP에 대한 설계 기준안을 마련해 놓고 있다. 아날로그/혼성모드 IP는 디지털 IP와 표현 방법이 상이하게 다르다. 디지털 IP와 비슷하게 Verilog-AMS 나 VHDL-ARM 같은 HDL 코드를 이용한 Soft IP도 존재하지만 대부분이 특정 공정에 최적화된 Hard IP로서 존재하고 있다. 따라서 아날로그 IP를 위한 규격에는 목표 공정 및 벤더가 포함이 되고 있다. 또한 아날로그 IP의 표현 형태에 따라 달라지는 검증 방법도 기술하도록 하고 있으며 공정 변이 등에 의한 성능 감쇄 예측을 위한 모델도 기술하도록 하고 있다.

#### ⑤ 기타 VSIA 분과(DWG) 활동

IP의 이동성(portability)이 증가하면서 IP의 불법적 유출에 대해 신경을 쓰게 됐다. 많은 시간과 비용을 들여 만든 IP가 판매된 후 불법적으로 유통되어 사용된다면 개발 회사에 큰 손실을 끼치게 된다. 따라서 IP를 판매할 때 불법 사용 여부를 알아 낼 수 있는 인식 장치를 포함시키고 소스 코드를 보호할 수 있는 IP를 공급해야 할 필요성이 생긴다. 현재는 EDA 회사를 중심으로 한 솔루션들을 사용하고 있으나, 표준적인 IP 보호 방법을 위해 IP 보호 분과(IP protection DWG)가 활동하고 있다.

HdS(Hardware dependent Software) 분과(DWG)에서는 하드웨어를 직접 조작하고 상위 계층의 소프트웨어에는 API(Application Programming Interface)를 통해 하드웨어의 기능을 서비스하는 소프트웨어인 HdS를 다룬다. API를 표준화 함으로써 상위 소프트웨어나 하드웨어 컴포넌트의 재사용을 증가하도록 돕는다.

구현 분과(Implementation DWG)에서는 VC/IP의

합성과 검증, VC/IP를 포함하는 SoC의 구현 및 검증을 위해 필요한 사항에 대한 표준을 위해 활동하고 있으며, VC/IP 거래 분과(VC/IP Transfer DWG)에서는 IP 거래를 위해 제공해야 하는 전달물에 대한 표준을 다루고 있다.

이 밖에도, 플랫폼 기반 설계 분과(Platform Based Design DWG)에서는 플랫폼 구성, 플랫폼 기반 설계 방법을 위한 표준화를 위해 활동하고 있으며, 기능 검증 분과(Functional Verification DWG)에서는 VC/IP의 기능(functional operation)을 검증할 수 있도록 VC/IP 제공자가 VC 사용자에게 제공해야 하는 전달물에 관한 표준화 활동을 하고 있다.

### 다. IP 유통 시스템

앞서 언급한 IP 유통 단체에서는 IP 공급자와 사용자들간의 IP 거래를 위한 IP DB, IP 검증 시스템 등을 운영하여 IP의 유통과 관리가 쉽게 이루어질 수 있도록 하고 있다. 또한 IP 거래에 필요한 표준 계약서 등을 제공하고 있으며 거래에 관한 법적인 문제를 대신하여 안전한 IP 거래를 위해 힘쓰고 있다.

#### ① IP DB

IP DB(Data Base)는 현재 IP의 목록 검색에 주로 이용되고 있다. IP DB를 통해 원하는 IP를 쉽게 찾고 원하는 정보를 얻기 위해서는 도서 분류법과 같은 표준화된 분류법과 정보 검색이 필요하다. 이를 위한 활동이 진행되고 있다.

#### ② 전달물 지침

IP를 사용하기 위해서는 IP 기능과 동작 조건 등의 기술적인 정보를 자세히 기술하여 IP 사용자에게 전달해야 한다. IP 표준화 단체에서는 IP 공급자가 기술하

여 제공해야 하는 내용에 대한 표준 규격을 마련해 두어 IP 사용자가 사용하려는 IP에 대한 정보를 쉽게 얻을 수 있도록 하고 있다.

### ③ IP 품질 평가 시스템

IP 유통 단체들은 IP의 품질에 대해 평가하여 체계적인 분류를 통해 IP 사용자가 적절한 IP를 선택할 수 있도록 돕고 있다. 앞서 언급했듯이 VSIA의 VC/IP 품질 분과(VC/IP Quality DWG)에서는 IP의 품질 평가 항목(VC/IP Quality Metric)을 제시하고 있으며, SIPAC에서는 SQES라는 IP 평가 시스템을 운영하여 일정한 평가 기준을 만족할 때만 DB에 등록할 수 있도록 하고 있다.

## 4. 결론

반도체 공정 기술의 발달과 요구되는 시스템의 성능과 복잡도가 증가함에 따라 기존의 PCB 기반의 시스템이 하나의 칩으로 통합되고 하드웨어와 소프트웨어가 공존하는 SoC 기술이 발전하고 있다. SoC 설계에는 설계시간을 줄이고 효과적인 검증을 위해 IP 및 플랫폼을 재활용하는 방법이 이용되고 있다. 이를 위해서는 SoC 설계와 관련한 표준화가 이루어져야 하며 이를 위해 VSIA 등의 단체가 활동하고 있다. 그러나 아직 표준화를 위한 작업이 진행 중이고 확실하게 검증된 안이 나오지 않았기 때문에 현시점에서 구체적인 표준안을 이야기하는 어렵다. 그리고 SoC설계의 특성상 특정 기술이 시장을 지배하고 표준안이 이를 따라가는 현상이 나타날 가능성도 매우 크다. 향후 표준화 방향에 따라 SoC 개발 방법 및 시장이 크게 변화할 것이기 때문에 국제적인 표준화 동향에 예의 주시해 적절히 대응할 필요가 있다. 또한 SoC는 많은 기술이

집약되어야 가능하므로, SoC 기반 기술의 축적을 위한 노력도 많이 해야 SoC 시장에서 경쟁력을 확보할 수 있을 것이다.

## 5. 참고문헌

- [1] [http://public.itrs.net/Files/1999\\_SIA\\_Roadmap/Design.pdf](http://public.itrs.net/Files/1999_SIA_Roadmap/Design.pdf)
- [2] H. Chang, L. Cooke, M. Hunt, G. Martin, A. McNelly, L. Todd, "Surviving the SoC Revolution", Kluwer Academic Publishers, pp 1-27, 1999
- [3] 최기영, 조영철, "SoC 설계 방법의 최근 동향", 대한전자공학회지 제30권 9호, pp 17-27, Sep, 2003
- [4] [www.vsia.org](http://www.vsia.org)
- [5] "SIPAC annual report", 2003
- [6] 김시호, "Current Issues and Trend of IP based SoC design", SITI Newsletter 제1권 2호, 2002
- [7] M. Keating, P. Bricaud, "Reuse Methodology Manual for system-on-a-chip designs," Kluwer academic publishers, 2002
- [8] "HDL Coding Guideline," SIPAC, 2002
- [9] [www.ocpip.org](http://www.ocpip.org)
- [10] AMBA AXI protocol Specification, ARM Ltd., 2004
- [11] <http://www.ibm.com/chips/products/coreconnect>
- [12] <http://www.silicore.net/wishbone.htm>
- [13] <http://www.opencores.org/wishbone> 