

# 고속 스위칭 동작의 주파수 합성기를 위한 하이브리드형 구조 설계와 DLT 대체 회로 연구

## Hybrid Type Structure Design and DLT-Replacement Circuit of the High-Speed Frequency Synthesizer

이훈희 · 허근재 · 정락규 · 유흥균

Hun-Hee Lee · Keun-Jae Heo · Rag-Gyu Jung · Heung-Gyoon Ryu

### 요 약

기존의 PLL(phase locked loop)은 폐루프 구조이므로 주파수 스위칭 속도가 낮은 단점을 갖는다. 이를 개선하기 위해서 개루프 구조를 혼합한 Digital Hybrid PLL 구조를 연구하였다. 또한 이 구조는 빠른 주파수 스위칭 속도로 동작할 수 있지만, VCO의 전압대 주파수 전달특성을 ROM 형태로 구현하는 DLT(digital look-up table)이 사용되어야 하므로 회로소자가 많아지고 소비전력이 증가된다. 그러므로, 본 논문에서는 복잡한 DLT의 구조를 간단한 Digital logic 회로로 대체시킨 새로운 구조를 제안하였다. 또한 주파수 합성때마다 타이밍 동기화를 이루는 회로를 설계하여 합성기의 항상성을 확보하였으며 DLT를 사용하는 방식과 비교하여 회로소자를 약 28% 정도 줄일 수 있다. 고속 스위칭 동작 특성과 주파수 합성을 시뮬레이션과 실제 회로 구현으로 확인하였다.

### Abstract

The conventional PLL(phase locked loop) frequency synthesizer takes a long switching time because of the inherent closed-loop structure. The digital hybrid PLL(DH-PLL) which includes the open-loop structure into the conventional PLL synthesizer has been studied to overcome this demerit. It operates in high speed, but the hardware complexity and power consumption are the serious problem because the DLT(digital look-up table) is usually implemented by the ROM which contains the transfer characteristic of VCO(voltage controlled oscillator). This paper proposes a new DH-PLL using a very simple DLT-replacement digital logic instead of the complex ROM-type DLT. Also, a timing synchronization circuit for the very small over-shoot and shorter settling time is designed for the ultra fast switching speed at every frequency synthesis. The hardware complexity gets decreased to about 28%, as compared with the conventional DH-PLL. The high speed switching characteristic of the frequency synthesis process can be verified by the computer simulation and the circuit implementation.

Key words : High Speed Switching, PLL Frequency Synthesizer, Digital Hybrid PLL

### I. 서 론

정보 통신 시스템에서 고속 주파수 합성 기술은 매우 중요하다. 상용의 FHMA(frequency hopping multiple access) 시스템이나, Bluetooth 시스템, 그리고 군

용통신이나 전자전(electronic warfare) 시스템에서는 이미 주파수 도약 방식을 이용하고 있다. 이런 주파수 도약 시스템에서는 무엇보다도 고속의 주파수 스위칭 속도를 갖는 주파수 합성기 설계가 필수적이다. 고속 주파수 합성기 설계 연구로서, 1999년, El-

충북대학교 전자공학과 및 컴퓨터정보통신연구소(Dept. of Electronic Engineering and Research Institute of Computer, Information & Communication, Chungbuk National University)

· 논문 번호 : 20040921-124

· 수정완료일자 : 2004년 12월 7일

Ela는 기존 PLL 주파수 합성기를 기본으로 VCO에 추가적인 입력을 주는 방식을 제안하였다<sup>[1]</sup>. 이 방식은 VCO에 DAC를 이용하여 추가적인 입력신호인 톱니파(saw-tooth) 파형을 제공하는 구조이다. 주파수가 변할 때마다 최적의 기울기(slope)와 주기(duration)를 갖는 파형 발생기가 필요하다. 따라서 이 구조에서는 복잡한 설계 기술과 함께 아주 정확한 동기가 맞아야만 고속의 주파수 합성이 가능하다. 또한, 2001년, H. G. Ryu 등은 DDFS(direct digital frequency synthesizer)와 PLL을 직렬로 연결시켜서 DDFS의 구조를 단순화시키면서 스위칭 속도를 높이고자 하는 연구를 했다<sup>[2]</sup>. 광대역 구조와 DDFS가 갖는 장점이 있으나, PLL의 동작이 전체 시스템의 동작 속도를 제한하는 문제가 있다. 2000년 Fouzar는 FVC(frequency-to-voltage converter)를 이용하여 이중 루프형태를 가지는 PLL 주파수 합성기를 제안하였다<sup>[3]</sup>. PD(phase detector)와 VCO의 출력 신호를 이용한 FVC와 제안된 coarse tuning controller를 통해 빠른 스위칭 속도를 갖도록 하는 기술이다. 하드웨어 복잡도(complexity)가 문제되고, FVC가 고속 동작의 결정적 요소이다. 그리고 pre-tuned 방식의 PLL 회로를 이용한 고속 주파수 합성기 연구가 있었다<sup>[4]</sup>. 이 방식은 VCO를 직접 구동하는 개루프와 기존 PLL 페루프를 혼합한 하이브리드 구조이다. 이것은 빠른 주파수 스위칭 속도를 내지만, DLT(digital look-up table)가 사용되어야 하므로 하드웨어가 복잡하고, 소비전력이 증가된다.

그러므로, 본 논문에서는 VCO의 전압대 주파수의 전달 특성을 ROM 형태로 구현하는 DLT의 기능을, 간단한 Digital logic 회로로 대체시킨 새로운 구조와 주파수 합성 명령에 따라 고속 스위칭이 이뤄지도록 동기화 회로를 제안하였고 고속 스위칭 동작 특성과 주파수 합성을 컴퓨터 시뮬레이션과 회로 구현을 통해서 확인하였다.

## II. DH-PLL 기본 구조

그림 1의 개루프 주파수 합성기는 D/A 변환기에 디지털 명령을 입력하여 전압 제어발진기(VCO)에 원하는 출력을 갖도록 하는 직접 주파수 합성기 방식이다. 전압제어발진기(VCO)의 전압-주파수 특성

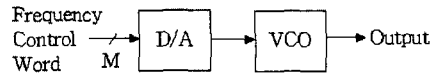


그림 1. 개루프 주파수 합성기  
Fig. 1. Open-loop frequency synthesizer.

을 이용해 원하는 주파수출력이 나오도록 하는 DC 전압 값을 D/A 변환기가 출력할 수 있도록 디지털 명령 워드를 생성한다. 이 디지털 명령 워드는 ROM이나 Look-up 표에 저장되어 있다가 외부 주파수 합성 명령에 따라 D/A 변환기에 입력된다. 이 방식의 장점은 복잡한 신호 처리가 없기 때문에 스위칭 속도가 빠르다. 단점은 개루프 구조의 특성상 안정성을 보장할 수 없고, sensitivity가 문제된다. 그러므로 안정적이며 세밀한 주파수 합성기에는 부적합하다.

그림 2에서 FCW(frequency control word)는 주파수 합성을 위한 분주명령이다. 이러한 기존 PLL 구조는 가장 널리 쓰이는 방식이며, 가격과 다양성, 유연성에 있어서 뛰어나다. 또한 스퍼리어스 잡음(spurious noise)이 다른 방식의 주파수 합성기 구조에 비해 상대적으로 낮은 장점이 있다. 문제점으로는 주파수 해상도와 위상 잡음 특성은 상반관계를 가지며, 두 가지를 동시에 개선하기 위해서는 복잡한 별도의 부가 회로가 필요하다. 또 다른 문제점은 스위칭 속도가 낮으며, 해상도가 높을수록 새로운 주파수 발생 시간이 길어진다.

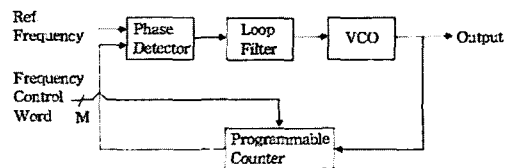


그림 2. 페루프 PLL 주파수 합성기  
Fig. 2. Closed-loop PLL frequency synthesizer.

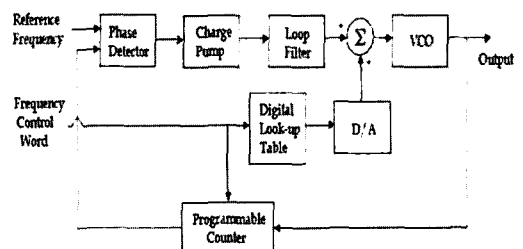


그림 3. DLT를 사용한 DH-PLL  
Fig. 3. DH-PLL using DLT(digital look-up table).

DH-PLL 구조는 그림 3과 같으며, 기존의 페루프 PLL 구조에 DLT와 DAC를 경유하는 개루프 구조가 첨가된 형태이다. 기존의 PLL에서는 LF(loop filter)의 출력이 VCO 입력전압으로 인가되는 반면에, Digital Hybrid PLL은 FCW(frequency control word)가 변화할 때마다 DLT(digital look-up table)에 의한 DAC 출력전압이 LF의 전압과 DLT의 출력 값에 의한 DAC의 출력전압이 더해져서 VCO를 구동한다. 따라서 기존의 PLL과는 달리, FCW가 변화하면 DAC가 정상상태 전압을 출력하게 하여 VCO가 고속의 주파수 도약이 가능하다.

그러나, 위 구성도의 DH-PLL을 그냥 동작시키면, 새로운 주파수 합성 명령때마다 주파수 천이 위상이 달라지는 문제점이 있다. 즉, 그림 4에서 보이듯이, 새로운 주파수 합성 명령이 입력되면  $V_{in}$ 의 동작지점에 이동되어 시스템 파라미터를 최적으로 하여도 Overshoot와 Settling time간의 Trade-off 관계가 나타난다. Phase detector는 그림 4의 ②, ③번 파형을 입력으로 하여 LF의 전압을 제어한다. 그래서 주파수 이동 전에는 ②, ③번의 관계가 일정하다. 그러나, 주파수 이동이 시작되면, ②번 파형은 전혀 다른 곳으로 Low 상태가 나타난다. 이것은 곧 LF의 전압이 변화를 시작한다는 것을 의미한다. 그래서 DAC에서 제공하는 전압이 존재함에도 불구하고 주파수 이동 과정에서 Overshoot가 존재하고 이것은 긴 Settling time이 되게 한다. 더욱 중요한 문제점은 기존 PLL처럼, 주파수 천이 폭(합성 간격)에 따라 Overshoot와 Settling time이 달라진다. 그러므로 이를 보완하도록, 주파수 합성 명령에 따라 동작하는 타이밍 동기회로를 추가로 설계하여 그림 5의 전체 DH-PLL 회로 구성도를 완성하였다.

그림 6은 타이밍 동기회로의 구성도로서 이 블럭은 FCW가 변화하였을 때만 Ref. 주파수와 동기를



- ① IN = VCO의 출력(프로그램머블 Divider의 입력)
- ②  $V_{in}$  = Phase detector로 입력되는 Divider의 출력
- ③  $V_{ref}$  = Ref. 주파수(100 kHz)

그림 4. DH-PLL의 동작신호  
Fig. 4. Operating signal of DH-PLL.

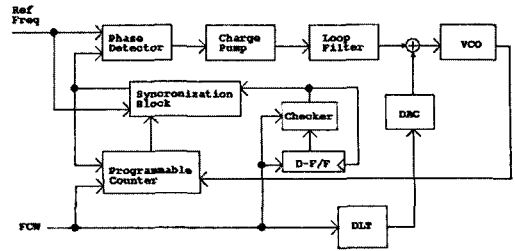


그림 5. 수정된 DH-PLL 주파수 합성기  
Fig. 5. Modified DH-PLL frequency synthesizer.

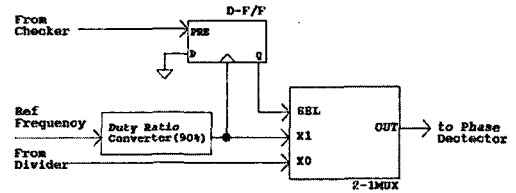


그림 6. 타이밍 동기화 회로  
Fig. 6. Timing synchronization circuit.

맞춰 Divider를 Clear한다. 기존 주파수를 입력 받아 기존 주파수의 듀티 비(duty ratio)를 50 %에서 약 90 %로 변화시키는 듀티 비 컨버터(duty ratio converter)의 출력 측에 MUX가 형성된다. 또한, 주파수 합성 명령이 변화되었는지의 여부를 판단하는 DLT의 신호는 D-FF의 'preset'으로 입력된다. 검출부에 의하여 주파수 합성 명령이 변화되었다는 인지신호가 D-FF의 'preset'으로 입력되면, Mux의 select 단자가 High가 되어 듀티비 컨버터(duty ratio converter)의 출력을 Phase detector에 입력된다. 또한, 주파수 합성 명령이 변하지 않는 상황에서는 D-FF의 출력이 Low가 되어 Mux는 Divider의 출력을 Phase detector로 전달한다.

### III. 제안하는 DH-PLL 구조

그림 3이나 5에서 살펴본 DH-PLL 구조는 DLT와 DAC를 이용하여 고속 주파수 합성이 되지만, ROM 형태인 DLT의 저장 내용이 중요하다. 만약 LF의 전압이 항상 0 [V]이라면, DLT에 VCO의 입력전압 대 출력 주파수의 전달 특성을 그대로 저장하면 된다. 그러므로 최초 분주 명령에 의해 LF가 임의의 고정 전압을 유지한다면, DLT에는 VCO의 특성곡선(입력 전압 대 출력 주파수 관계)에서 이 전압 값을 빼준 특성곡선이 저장되어야 한다. 또한 최초 분주 명령

이 다르게 사용되면 LF가 임의의 다른 고정 전압을 유지하므로 DLT의 저장 정보가 변경되어야 한다. 이것은 회로 설계와 시스템 구현에서 매우 복잡한 문제를 야기시킨다. 그렇지 않으면, 페루프 PLL보다도 성능이 악화될 수 있다. 결과적으로, 이 DH-PLL은 어느 시스템에서 사용되더라도 최초 분주 명령은 항상 일정한 조건에서만, 고속의 성능을 발휘한다. 그러므로 본 논문에서는 그림 7과 같은 DLT의 기능을 대신하는 간단한 디지털 논리회로를 제안한다. 위 구성도는, 새로운 주파수 합성 명령에 의해 FCW가 변화할 때, 이전상태의 DAC로 전달된 출력에 현재 새로운 FCW가 더해진다. 이 값과 이전 상태의 FCW를 감산하여 달라진 차이 값만을 DAC로 전달하는 구조이다. 최초 분주 명령이 인가된 경우에 DAC로 가는 D-F/F에 Clear 명령을 주어 DAC가 0 [V]을 출력하게 된다. 그리고 다음 명령이 들어오면 그 차이 값의 전압을 DAC가 출력하게 된다. 그래서 최초 분주 명령에 관계없이 분주 명령들 간의 차이 값으로 동작되므로 DLT를 사용한 DH-PLL에서의 문제점인 최초 분주 명령이 같아야 하는 조건이 해결된다. 그리고, LF의 전압은 FCW가 변하는 시점을 제외하고는 항상 초기 전압을 유지한다.

그림 7의 제안된 구조는 ROM이 아닌, D-F/F과

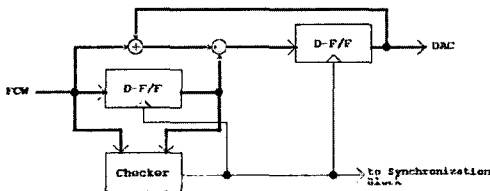


그림 7. DLT 대체 구성도  
Fig. 7. DLT replacement block.

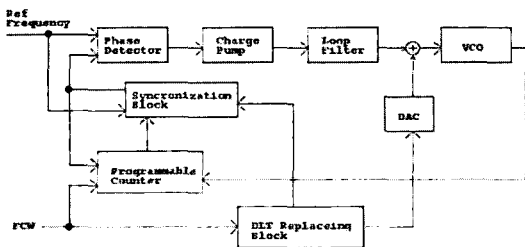


그림 8. 제안하는 새로운 DH-PLL 구성도  
Fig. 8. Block diagram of the new proposed DH-PLL.

Adder, 그리고 XOR Gate로 구현되는 Checker가 전부이다. Checker는 이전 상태의 FCW 값과 현재 새로 입력된 FCW가 다른 경우를 검출하는 블록으로 bit 수만큼의 XOR Gate로 구성하였다. 이전 상태의 FCW와 현재 입력되는 FCW가 다르게 되면, 2개의 D-F/F의 출력 값이 변한다. 왼쪽의 D-F/F은 이전 상태의 FCW를 임시로 저장하는 Register이고, 오른쪽의 D-F/F은 DAC로 전달될 디지털 값을 FCW가 변화하기 전까지 저장하는 Register이다. 이 2개의 D-F/F은 FCW가 변화하는 시점에서만 Checker에 의해서 출력 값을 변화시킨다. 그림에서 굵은 선은 FCW의 입력과 같은 bit 수의 bus이고, 실선은 1 bit 선이다. 또한, 앞에서 언급한 Overshoot와 Settling 시간의 Trade-off 관계를 해결하고 주파수 합성 명령에 따라 동작하는 타이밍 동기회로를 추가하여 그림 8의 제안하는 전체 DH-PLL 회로 구성도를 완성하였다. 타이밍 동기회로의 구성도는 그림 6과 동일하다.

#### IV. 시뮬레이션

본 논문에서 제안된 구조를 확인하기 위하여 표 1의 파라미터와 표 2에서 보이는 주파수 합성과정을 이용하여 주파수를 합성하였다.

그림 9, 10은 회로 시뮬레이션에서 얻은 결과 파형이다. 시뮬레이션에서는 분주비를 8 bit 2진수 값으로 입력하고, 분주비의 변화는 1 msec 단위로 설정하였다. 변하는 분주비는 VCO의 입력전압 대 출력 주파수가 선형 영역인 구역에서 설정하였다. 그

표 1. 시뮬레이션 파라미터

Table 1. Simulation parameters.

$F_{ref}$	100 kHz	$\omega_n$	1 kHz
$K_{VCO}$	5 MHz/V	$\zeta$	0.707
$K_{PD}$	1 mA/2π	분주비	50~150

표 2. 주파수 합성 과정

Table 2. Procedure of frequency synthesis.

합성 순서	0	1	2	3	4
분주비(FCW)	50	100	150	130	70
VCO 출력주파수(MHz)	5.0	10.0	15.0	13.0	7.0
VCO 정상상태전압(V)	0.8	1.8	2.8	2.4	1.2

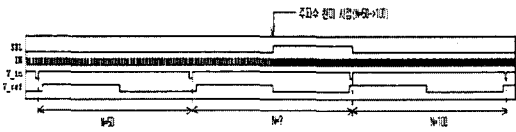


그림 9. 동기화 결과  
Fig. 9. Synchronization results.

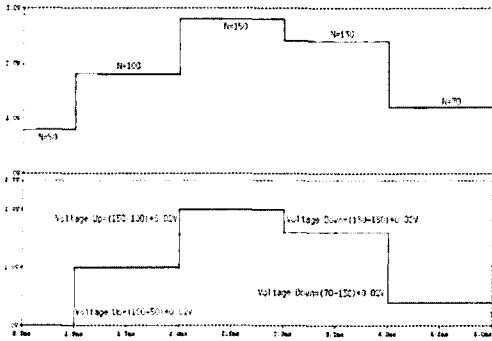


그림 10. VCO 구동 전압과 DAC 출력 전압  
Fig. 10. VCO driving voltage and DAC output voltage.

림 9의 결과 파형에서 보이듯이 천이과정에서는 Divider가 VCO의 출력파형을 몇 번 Counter 하는지와 무관하게, PD로 입력되는 파형을 Ref. 주파수에 동기를 맞추기 때문에 그만큼 작은 Overshoot과 짧은 Settling time을 얻는다. 그림 10은 표 1의 파라미터와 표 2의 합성 절차에 따라 회로 시뮬레이션하여 구한 결과 파형으로서 개선된 DH-PLL을 이용한 주파수 합성을 보인다. 위의 파형은 VCO의 입력전압으로서 이에 대응되는 주파수의 신호가 출력된다. 아래 파형은 그림 7의 DLT 대체 디지털 블록에 의해서 DAC의 출력전압이다. 그림에서 보이듯이 DAC의 출력전압이 초기에는 0 [V]로 나타난다. 따라서, DAC가 출력하는 전압과 Loop filter의 전압이 더해져서 VCO의 입력으로 인가되어 원하는 주파수가 출력된다. 즉, 정상상태 전압으로 곧장 이동하므로 DH-PLL은 고속 스위칭 특성을 갖는다.

한편, 본 논문에서 제안한 DLT 대체 블록의 하드

표 3. 회로 복잡도 비교  
Table 3. Comparison of circuit complexity.

DLT block	ROM type	Proposed block
Required transistors (partial)	2056	582

웨어 복잡도를 기존의 ROM 형태의 DLT와 비교하기 위해 사용된 트랜지스터의 개수를 표 3에서 보이고 있다. 약 28 %로 트랜지스터 수가 절감됨을 기대할 수 있다.

### V. 회로 구현 및 성능 분석

본 논문에서 제안한 구조의 회로 구현을 위한 파라미터를 표 4와 같이 설정하였으며, 이에 의해 설계된 제안된 DH-PLL의 실험 보드는 그림 11과 같다. 중요 부품으로서 VCO는 SN74LS624, Divider & PFD는 FLEX10K, DAC는 DAC0800, Charge pump는 STJ-828, STK1828를 사용하였다. 여기서 제안된 방법의 성능을 평가하기 위하여 선택 스위치에 의하여 일반 PLL과 DH-PLL의 두 가지 동작을 할 수 있도록 설계되었다.

그림 12에서는 각각 80, 160 분주시의 주파수 출력을 확인하였다. 본 논문에 제안된 방법에 의해서 기준 주파수에 의해 분주된 주파수 출력이 정확히 발생함을 알 수 있다. 그리고 제안된 방법의 DH-PLL의 성능을 분석하기 위해 주파수 도약시의 VCO 입력 전압의 상승 시간을 그림 13과 같이 측정하였다. 그림에서 보는 것과 같이 실험은 최소 분주 40부터 220 분주로 주파수 도약시의 VCO 입력 전압 상승

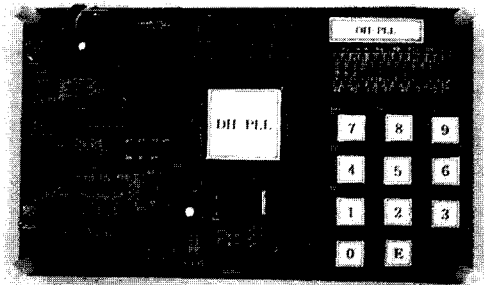


그림 11. DH-PLL 제작 보드  
Fig. 11. Implemented DH-PLL board.

표 4. 설계 파라미터  
Table 4. Design parameters.

$F_{ref}$	25 kHz	$\omega_n$	600 Hz
$K_{VCO}$	1.42 MHz/V	$\zeta$	0.707
$K_{PD}$	50 mA/2 $\pi$	분주비	40~220

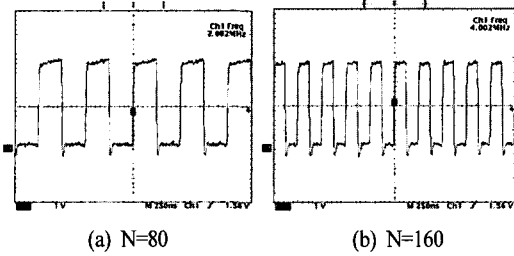


그림 12. 주파수 합성 출력  
Fig. 12. Frequency synthesis output.

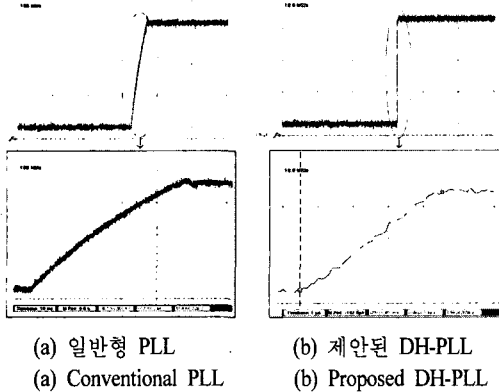
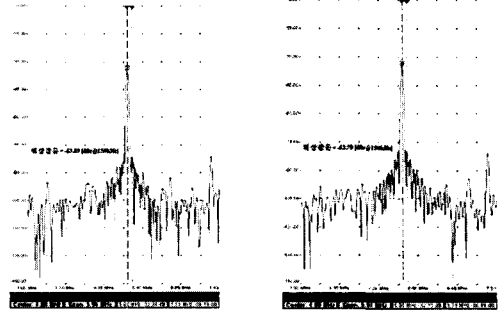


그림 13. VCO 구동 전압 비교  
Fig. 13. Comparison of VCO driving voltage.

시간을 측정하여 일반형 PLL의 경우 주파수 포착을 위한 전압 상승을 궤환(feedback)된 위상검출기와 루프 필터에 의해서 담당하기 때문에 51.4 ms 정도의 시간이 걸리게 된다. 본 논문에서 제안한 DH-PLL의 경우 전압 상승의 대부분을 DAC 출력이 담당하기 때문에 약간의 천이 과정의 발생하는 구간을 본다면 3.56  $\mu$ s로 일반형 PLL에 비해 주파수 합성 시간이 14,000배 정도 빠른 것을 확인할 수 있다. 본 실험에서는 실제 VCO 소자의 전압과 주파수간의 정확히 선형적이지 않는 것을 고려하여 DAC 출력의 약간의 여유를 두었다. 하지만 DAC 출력을 정확히 VCO 입력 전압으로 보상해 준다면 약간의 천이 과정의 발생하는 구간이 거의 존재하지 않을 수 있으므로 settling 시간은 거의 소요되지 않는다. 또한 높은 대역의 VCO를 사용한다 하여도 주파수 간격이 세밀하고 단위 전압당 주파수가 커지기 때문에 실제 전압이 변하는 차는 이 실험에 사용된 VCO와 큰 차이를 보이지 않으며 측정 결과 lock time이 1.15



(a) 일반 PLL 스펙트럼  
(a) Spectrum of PLL  
(b) DH-PLL 스펙트럼  
(b) Spectrum of DH-PLL

그림 14. VCO output 스펙트럼 비교  
Fig. 14. Comparison of VCO output spectrum.

$\mu$ s/V 정도 늘어나기에 높은 주파수 영역에서도 낮은 lock time을 갖는다.

제안된 구조는 기존 PLL에는 없었던 D/A 변환기에 의한 잡음이 추가적으로 발생되기 때문에 주파수 순도 측면에서 위상잡음이 증가하는 단점을 가진다. 하지만 최적의 페루프 대역을 구해 이를 최소화 할 수 있다. 그림 14는 분주비를 200으로 했을 때 기존의 PLL 주파수 합성기와 새로 제안된 DH-PLL의 주파수 합성기의 동일한 출력에 대한 FFT 결과이다. 그림에서도 보이듯이 두 시스템의 위상잡음이 거의 동일함을 알 수 있다. 두 구조의 스펙트럼이 거의 동일한 이유는 제안된 구조가 기존의 switching time만을 다루기 때문이다. 즉, 일반적인 PLL에서는 switching time과 Loop filter bandwidth에 의해 변하는 위상잡음이 서로 상관관계에 있지만 제안된 구조를 이용하면 위상잡음을 크게 악화시키지 않고 switching time을 줄일 수 있다.

## VI. 결 론

본 논문에서는 기존의 PLL과 DH-PLL 성능을 비교 분석하였다. 기존의 PLL은 페루프 구조이므로 주파수 스위칭 속도가 낮은 단점을 갖고 있다. 그리고, 주파수 해상도와 위상잡음 특성의 상관관계를 갖는다. 따라서 이를 개선하기 위하여 개루프 구조를 혼합한 Digital hybrid PLL 구조가 연구되었다.

DH-PLL 구조는 DLT와 DAC를 이용하여 초고속 주파수 합성이 되지만, ROM 형태인 DLT의 저장 내

용이 중요하다. 기존의 페루프 구조가 갖는 긴 스위칭 시간을 개선하는 DH-PLL 고속성능을 그대로 유지하면서 ROM 형태의 DLT 구조를 대신하여 단순한 Digital logic 회로를 사용하는 구조를 제안하였다. 제안된 구조는 D-F/F과, Adder, XOR gate로 구현되는 checker가 전부이다. 또한 주파수 합성명령 때마다 동작의 안정성을 완전히 확보하는 타이밍 동기회로를 설계하였다. ROM 형태의 DLT는 하드웨어가 복잡하고, 긴 동작시간을 가지며 전력 소모도 크다. 제안된 타이밍 동기회로는 이러한 단점을 개선하며, 최초 분주 명령이 같아야 한다는 동작조건이 해결하는 새로운 구조이다. 컴퓨터 회로 시뮬레이션을 통해서 고속 동작과 타이밍 동기화를 확인하였고 이를 실제 회로로 구성하여 재확인하였다. 본 논문에서 개선한 하이브리드 구조의 PLL 주파수 합성기는 고속 데이터 정보 전송을 위한 상용의 주파수 도약 시스템이나 항재밍 효과를 위해 높은 도약 비율을 필요로 하는 군용 통신에서 좋은 성능을 발휘할 수 있을 것이다.

## 참 고 문 헌

- [1] M. A. El-Ela, "High speed PLL frequency synthesizer with synchronous frequency sweep", *NRSC '99. Proceedings of the Sixteenth National*, pp. 23-25, Feb. 1999.
- [2] H. G. Ryu, Y. Y. Kim, H. M. Yu, and S. B. Ryu, "Design of DDFS-driven PLL frequency synthesizer with reduced complexity", *IEEE Transactions on Consumer Electronics*, vol. 47, no. 1, Feb. 2001.
- [3] Y. Fouzar, M. Sawan, and Y. Savaria, "A new fully integrated CMOS phase-locked loop with low jitter and fast lock time", *ISCAS 2000 Geneva. The 2000 IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 253-256, May 2000.
- [4] David M. Materna, "A lightweight fast hopping synthesizer for EHF satellite applications", *Military Communications Conference, MILCOM 95, Conference Record, IEEE*, vol. 2, pp. 752-759, 1995.

## 이 훈 희



2004년 2월: 충북대학교 전자공학과 (공학사)  
 2004년 3월~현재: 충북대학교 전자공학과 석사과정  
 [주 관심분야] OFDM 통신시스템, 고속 주파수 합성기 설계, 확산 스펙트럼 시스템 등

## 정 락 규



1993년 2월: 한밭대학교 전자공학과 (공학사)  
 1997년 2월: 충북대학교 전자공학과 (공학석사)  
 2000년 1월~현재: (주)파워콤 중부 지역본부 네트워크팀장  
 2003년 3월~현재: 충북대학교 전자공학과 박사과정  
 [주 관심분야] OFDM, 무선 LAN, CATV

## 허 근 재



2003년 2월: 충북대학교 전자공학과 (공학사)  
 2003년 3월~현재: 충북대학교 전자공학과 석사과정  
 [주 관심분야] OFDM 통신시스템, 주파수합성기 설계, 확산 스펙트럼 시스템 등

## 유 흥 균



1988년~현재: 충북대학교 전자공학과 정교수  
 1999년~현재: IEEE 논문 심사위원  
 2002년: 한국전자파학회 학술상 수상  
 2002년 3월~2004년 2월: 충북대학교 컴퓨터정보통신연구소 소장  
 [주 관심분야] 디지털 통신 공학, 이동/위성 통신 시스템, 통신 회로 설계 및 통신 신호 처리