연구논문

Darveaux 모델에 의한 플립칩 패키지 솔더 접합부의 열피로 해석 및 수명 평가

신영의*·김연성*·김종민*·최명기*

*중앙대학교 기계공학부

The Thermal Fatigue Analysis and Life Evaluation of Solder Joint for Flip Chip Package using Darveaux Model

Young-Eui Shin*+, Yeon-Sung Kim*, Jong-Min Kim* and Myun-Gi Choi*

*School of Mechanical Engineering, Chung-Ang University, Seoul 156-756, Korea

Abstract

Experimental and numerical approaches on the thermal fatigue for the solder joint of flip chip package are discussed. However, it is one of the most difficult problems to choose the proper fatigue model. It was found that viscoplstic FE model with Darveaux method was very desirable and useful to predict the thermal fatigue life of solder joint for flip chip package under 208~423K thermal cycling condition such as steep slope of temperature(JEDEC standard condition C). Thermal fatigue life was 1075 cycles as a result of viscoplatic model. It was a good agreement compared to the experimental. And also, it was found from the experimental that probability of the thermal fatigue life was 60% at 1500 cycles.

* Corresponding author : shinyoun@cau.ac.kr

(Received June 18, 2004)

Key Words : Thermal fatigue, Viscoplastic FEA model, Flip chip, Probability of thermal fatigue life

1. 서 론

금후 전자제품분야를 주도할 선진국에서 개발, 생산되는 제품 중에서 고부가가치 및 저가격화가 실현될 품목 중 대표적인 것으로 디지털 전자 제품이라 할 수 있다. 이러한 디지털 전자제품의 핵심기술은 반도체 및 그 접합·조립 기술이다[1]. 급속히 팽창, 발전하는 정보화 사회는 고속 및 대용량의 정보처리 능력을 필요로 하고 있으며 이를 뒷받침하는 전자 및 반도체 산업 역시 다양한 기능, 고성능화와 신뢰도 높은 기술이 요구되고 있다. 특히 2000년대 이후 정보통신의 급속한 발전은 휴대전화, 노트북, PDA(개인 휴대 정보 단말기) 등으로 대표되는 전자기기에 더욱 더 소형화, 경량화, 고기능화, 고속화를 요구하고 있다.

하지만, 기존의 IC 패키지 형태인 QFP나 SOP의 칩 접속 방법인 와이어 본딩(Wire Bonding)이나 TAB (Tape Automated Bonding) 본딩 기술로는 고밀도 실장이라는 요구를 충족시키는데 한계가 있다. 이에 따라 칩의 가장자리만을 통해서만 접속을 시키던 기존의 방법과는 달리 칩의 모든 면적을 활용하는 면 배열방식을 활용하여 접속 간격을 늘린 BGA와 플립 칩(Flip Chip) 기술이 거의 모든 전자기기에 급속도로 적용되고 있다. 특히 플립 칩의 경우 고밀도 실장이 가능하다는 점과 함께 구조적으로 고속응답성과 낮은 임피던스를 가지고 있어 대용량의 정보전송과 고속의 정보전송이 가능한 이점이 있다. 따라서 소형화, 경박화라는 최근의 패키지 시장의 요구에 가장 부합하는 기술 중의 하나로 시장 수요가 나날이 급증하고 있다.

따라서 본 논문은 최근 경박 단소화, 고기능화의 요구에 맞는 플립칩 패키지를 대상으로 솔더 접합부의 열피로 특성에 관한 연구를 점소성 이론을 이용하여 플립

칩 패키지의 열피로 수명[2-3]을 평가하였으며, 그 타당성을 실제 열피로 실험을 통하여 비교, 검토하였다.

2. 실험 방법

2.1 온도 사이클 시험

본 연구에 사용한 실험 시편은 JEDEC(세계반도체 표준협회 : Joint Electron Device Engineering Council) 실험 규격의 온도 프로파일 C로 설정되어 있는 열 사이클 챔버에 넣고 열 피로 실험을 하였다. Table 1에 JEDEC standard condition C의 온도와 사이클 시간에 대해 나타내었다. 온도 사이클 시험은 500 사이클마다 일부 시편을 추출하여 솔더 접합부 전체를 폴리싱한 후 광학현미경과 SEM(Scanning Electron Microscope)을 이용하여 솔더 접합부의 조직 변화와 균열유무 및 상태를 관찰하여 열 피로 수명을 검토하였다.

2.2 유한요소해석

본 연구에서는 유한요소해석에 Prepro-cess (Modeling), Solution (Analysis), Postprocess (Graphic) 기능이 장착된 ANSYS 7.0을 사용하였다. 해석에는 실제 실험에 사용된 패키지가 대칭 구조이므로 패키지의 1/4만을 모델링하였으며 해석에 소요되는 시간과 해석의 용이성을 고려하여 결과의 오차가 크지 않은 조건 하에서 모델을 단순화하였다. 전체 모델은 솔더 접합부, 실리콘 칩(Si Chip), PCB(Printed Circuit Board), 언더필(Underfill), 구리패드(Cu Pad)의 5가지 재질로 구성하였다. Fig. 1에 모델링에 사용된 플립 칩의 1/4 모델의 치수와 개략도를 나타내었다.

그리고 Fig. 2에는 모델링 된 플립 칩 어셈블리의 1/4 모델을 나타내었으며, Fig. 3에는 플립 칩 접합부의 단면을 나타내었다. Fig. 4는 솔더 접합부 모델을 나타내었으며, 온도변화에 따라 열응력이 가장 집중되는 최외각의 솔더 접합부는 Fig. 5에 나타낸 것과 같이

Table 1 JEDEC standard condition C

Temperature	Time
273K to 423K	2 min 30 sec
423K hold	10 min
423K to 273K	2 min 30 sec
273K to 208K	2 min 30 sec
208K hold	10 min
208K to 273K	2 min 30 sec
Total time : 30 min / Cycle	

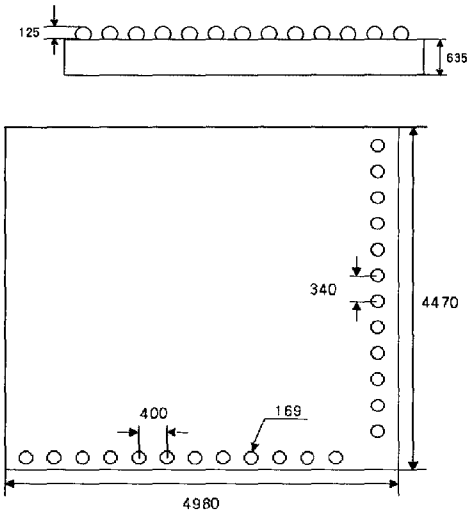

Fig. 1 Quarter Flip Chip outline (㎛)

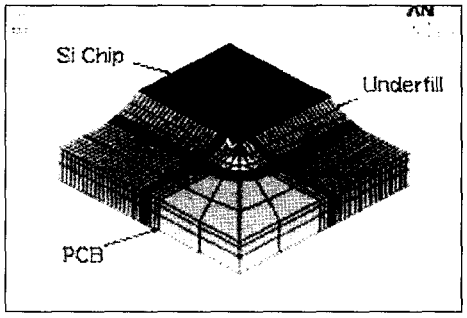

Fig. 2 Quarter symmetry model of Flip Chip

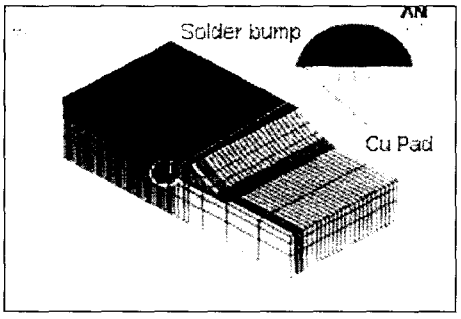

Fig. 3 Cross section of Flip Chip

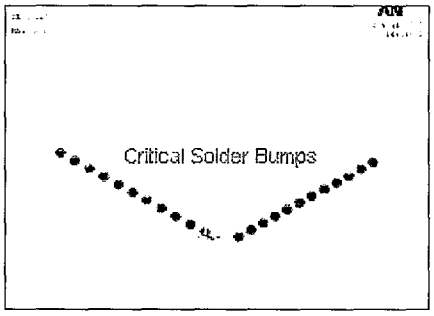

Fig. 4 Model of solder bump joints

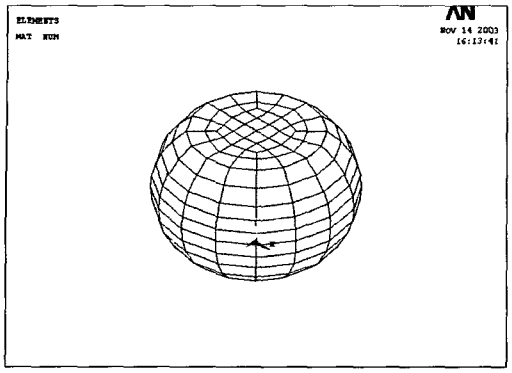

Fig. 5 Critical solder bump

더욱 세밀하게 메쉬(mesh)하였다. 아울러 전체 모델은 23729개의 요소(element)와 26272개의 절점(node)으로 구성하였다.

또한, 해석에 사용한 각 재료의 물성치는 Table 2에 나타내었으며, 본 연구에 사용한 각 요소의 종류 및 사이즈를 Table 3에 나타내었다. 아울러 해석의 관심이 되는 솔더 접합부를 제외한 다른 재료들은 모두 등방성의 탄성재료로 가정하였다.

또한, 해석에 적용된 경계조건은 전체 모델의 절단된 면과 밑면의 절점들을 각각의 축의 방향으로 구속하였다.

Table 2 Material Properties

	Young's Modulus (E, MPa)	Poisson's Ratio (υ)	CTE (α, ppm/K)
Solder	E(T)	0.35	24.5
Cu Pad	128.9×10^3	0.34	17.0
Si Chip	162.7×10^3	0.27	2.6
PCB	20.0×10^3	0.38	18.0
Underfill	10.8×10^3	0.30	25.0

Table 3 Details of test specimen

Package attributes	Dimensions
Bump type	Sn-37Pb
Bump diameter	169㎛
Bump height	125㎛
UBM diameter	120㎛
Chip size	9956.8㎛×8940.8㎛
Chip thickness	635㎛
PCB material	FR-4
PCB thickness	1500㎛

$$E(T) = 75970 - 152T(\mathrm{N/mm^2})^{10)}$$

본 해석에서 하중이 되는 열 사이클의 온도 조건은 실제 실험과 똑같은 208K~423K를 적용하였으며, 2사이클[9]을 가하였다. 208K에서 273K까지와 273K에서 423K까지의 온도 상승시간은 각각 2분 30초이며 고온 유지시간은 10분이다. 마찬가지로 423K에서 273K까지와 273K에서 208K까지의 온도 하강시간은 각각 2분 30초이며 저온 유지시간은 10분으로 한 사이클은 30분으로 이루어져있다. Fig. 6에 온도 사이클의 프로파일을 나타내었다. 또한 해석의 기준이 되는 온도 즉 stress free 상태인 온도를 293K로 설정하였다.

실험조건, 대상물의 재료종류, 크기, 형상, 특히 가열 온도조건에 따라 기존의 연구자들은 솔더의 거동을 예측하기 위한 각종 모델들을 적용하였다. 본 연구에서는 솔더를 점소성으로 모델링하여 열피로 수명을 이론 및 실험을 통하여 비교 검토하였다. 특히 열 사이클 하에서 솔더의 낮은 항복 강도와 높은 유연성의 점성 특성을 무시할 수 없기 때문에 전자기기의 솔더 접합부의 거동을 설명하는 데는 Anand의 법칙[4]이 많이 사용되고 있다.

Anand 모델은 비탄성 변형률(inelasic strain rate)을 나타내는 식과 변형 저항률을 나타내는 식으로 구성되어 있다. Anand식[4]은 다음과 같이 표기된다.

$$\frac{d\varepsilon_{in}}{dt} = A[\sinh(\xi\frac{\sigma}{s})]^{(1/m)}\exp(-\frac{Q}{RT}) \quad (1)$$

$$\dot{s} = \left\{ h_0(|B|)^a \frac{B}{|B|} \right\} \frac{d\varepsilon_{in}}{dt} \quad (2)$$

$$B = 1 - \frac{s}{s^*} \quad (3)$$

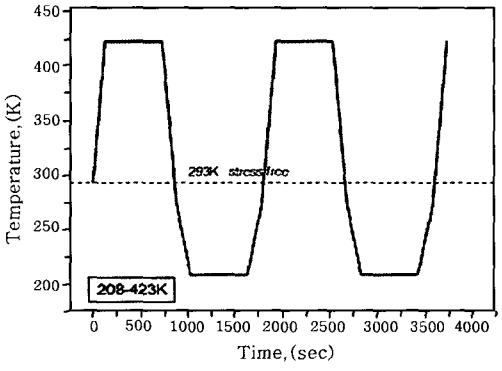

Fig. 6 Temperature profile of thermal cycling test

$$s^* = s^{**}\ [\frac{1}{A}\frac{d\varepsilon_{in}}{dt}\exp(-\frac{Q}{RT})]^n \qquad (4)$$

여기서,

$\frac{d\varepsilon_{in}}{dt}$: effective inelastic strain rate (MPa)

σ : effective true stress (MPa)

s_0 : 12.41 ; initial value of deformation resistance (MPa)

Q/R : 11945 ; ratio of activation energy to universal gas constant (1/K)

A : 3.785E7 ; pre-exponential factor (1/sec)

ξ : 5.91 ; stress multiplier

m : 0.143 ; strain rate sensitivity of stress

h_0 : 1379 ; hardening/softening constant (MPa)

s^{**} : 13.79 ; coefficient for deformation resistance saturation value (MPa)

n : 0.07 ; strain rate sensitivity of saturation value

a : 1.3 ; strain rate sensitivity of hardening or softening

본 해석에서는 Ansys 내부의 Anand 모델을 선택하여 프로그램 하였으며 식에 대입한 상수들은 Liu et al[5-6]이 발표한 것을 사용하였다. 점소성 모델을 사용하기 위하여 솔더 모델링에 VISCO 107번 요소를 사용하였으며 다른 재료들은 모두 SOLID 45번 요소를 사용하였다.

3. 실험결과 및 고찰

3.1 유한 요소 해석 결과

Fig. 7 과 Fig. 8에 전체 모델과 솔더 접합부 해석의 마지막 구간의 마지막 서브스텝의 응력 분포 결과를

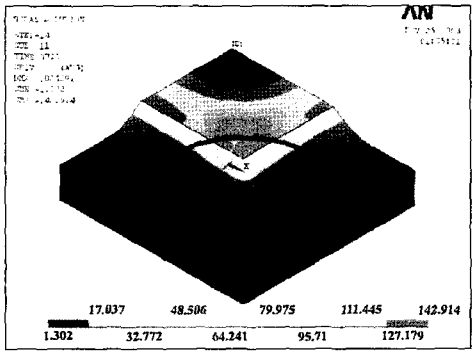

Fig. 7 Stress distribution in whole model

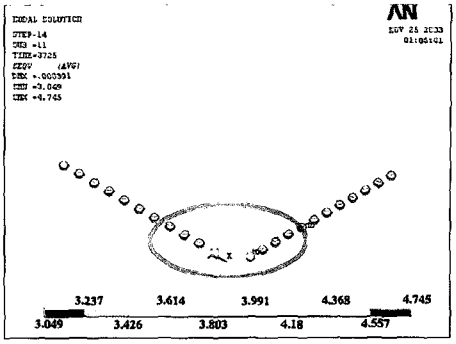

Fig. 8 Stress distribution in solder bumps

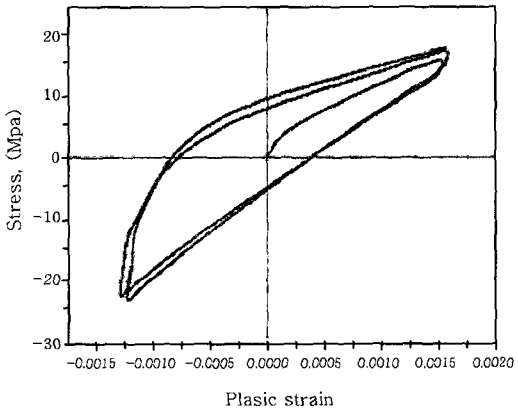

Fig. 9 Plastic strain vs stress (Viscoplastic)

나타내었으며, Fig. 9는 응력과 소성 변형률의 관계를 나타낸 것이다.

1. 온도가 상온에서 423K까지 올라가는 동안 소성 변형 상승, 인장 응력 증가
2. 423K 고온 유지시간 동안 소성 변형 유지, 응력 유지
3. 기준 온도인 293K까지 소성 변형 감소, 인장 응력 감소 후 273K까지 소성 변형 증가, 압축 응력 증가
4. 208K 까지 소성 변형 증가, 압축 응력 증가
5. 208K 저온 유지 시간 동안 소성 변형 유지, 응력 유지
6. 293K까지 소성 변형 감소, 압축 응력 감소
7. 423K까지 소성 변형 증가, 인장 응력 증가

이후에는 2번에서 7번을 반복하는 사이클을 그리면서 응력 진폭이 40MPa, 소성 변형 진폭이 약 0.3% 정도인 안정적인 히스테리시스 그래프를 그린다.

Fig. 10은 열 사이클이 진행되는 동안 저장되는 소성 변형을 나타낸 것이다. 그림에서 알 수 있듯이 고온, 저온 유지 시간에는 소성 변형의 변화가 거의 없고 온도 상승, 하강 구간에서 많은 소성 변형이 발생함을 알 수 있다. 또한 사이클 당 발생하는 소성 변형이 거의 같은 곡선을 그리면서 비슷한 크기로 증가함을 알 수 있다.

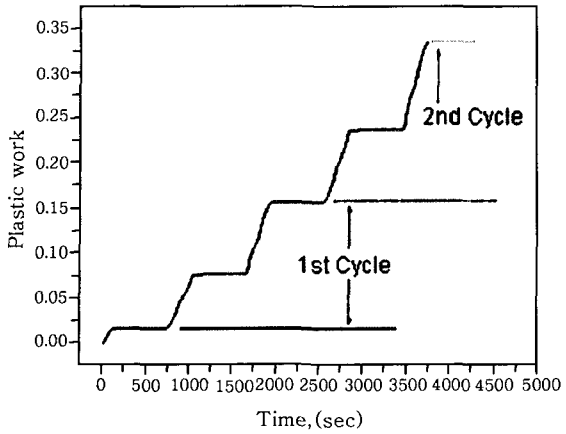

Fig. 10 Plastic work vs Time

3.2 열 피로 수명 예측

본 논문에서는 솔더 접합부의 열 피로 수명 예측에 Darveaux가 발표한 피로 수명 예측식[7-8]을 사용하였다. Darveaux는 솔더 접합부의 열 피로 수명을 균열이 발생할 때까지의 사이클 수와 한 사이클 당 균열 성장 길이로 솔더 접합부의 지름을 나눈 수 즉, 파단에 이르는 사이클 수의 합으로 제안하였다. 소성 변형이나 변형 에너지 밀도(inelastic strain energy density)가 초기 균열까지의 사이클과 사이클 당 균열 성장 길이를 계산하는데 사용되어 진다. 다음의 수식은 Darveaux의 열 피로 수명 예측식[7-8]을 나타낸 것이다.

$$N_0 = K_1 \triangle W_{ave}^{K_2} \quad (5)$$

$$\frac{da}{dN} = K_3 \triangle W_{ave}^{K_4} \quad (6)$$

여기서, N_0 : 초기 균열까지의 사이클 수

$\frac{da}{dN}$: 한 사이클 당 균열 성장 길이

$\triangle W_{ave}$: Plastic work or strain energy density

그러므로 열 피로 수명은 아래와 같다.

$$a_W = N_0 + \frac{a}{da/dN} \quad (7)$$

여기서, a : Solder joint diameter

열 피로 수명 예측을 위해 사용된 상수 K_1, K_2, K_3, K_4는 Darveaux의 실험상수[8-9]로서 솔더 접합부의 가장 상부의 요소들의 두께, 해석 대상의 형태, 해석 방법 등에 의해 결정된다. 본 연구에서는 솔더 접합부의 상부 요소의 두께를 12.5㎛로 모델링 하였고 1/4 대칭 모델을 사용하여 K_1, K_2, K_3, K_4값[8-9]을 다음과 같은 수치를 사용하였다.

K_1 = 71000 (cycles/psi)

K_2 = -1.62

K_3 = 2.76 (10^{-7}in/cycles/psi)

K_4 = 1.05

위의 상수를 이용하여 소성 변형($\triangle W_{ave}$)을 계산하면 159004.3Pa 이 된다.

또한, 최외각 솔더 접합부의 지름 120㎛가 완전히 파단 할 때까지를 열 피로수명으로 가정하고, 열 피로 수명식인 (7)식에 대입하면 1075 사이클이 열 피로 수명이 된다. 즉, 본 연구의 모델의 경우 초기 균열까지의 사이클 수는 440이며 완전히 파단 될 때까지의 균열 진전 사이클은 약 635 사이클로 열피로 수명은 약 1075 사이클였다.

3.3 실험 결과 및 고찰

온도 사이클 실험 중 500사이클을 주기로 하여 일부 시편을 추출해 단면을 촬영하였다. Fig. 11은 500 사이클 후의 솔더 접합부의 단면부를 SEM으로 관찰한 것이며, Fig. 12는 1000 사이클 후의 솔더 접합부의 단면을 나타낸 것이다.

그림에서 알 수 있듯이 500 사이클의 경우에도 이미 조직이 조대화 된 것을 볼 수 있다. 조직의 조대화 현상은 사이클 수가 증가할수록 심해진다는 것을 관찰할 수 있다.

Fig. 13은 1500 사이클 후의 접합부의 단면을 나타낸 것으로, 1500 사이클 전후에서 솔더 접합부에 파괴

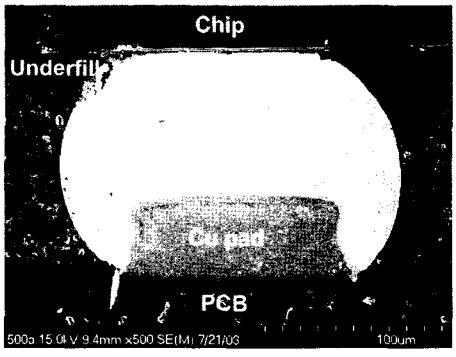

Fig. 11 Cross section of Flip Chip solder bump after 500 cycles

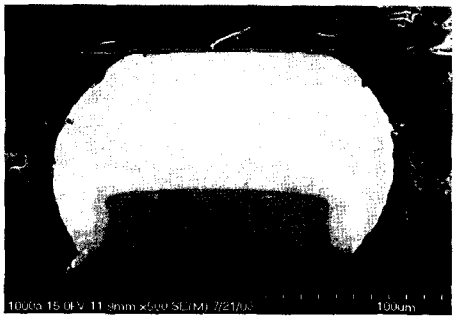

Fig. 12 Cross section of Flip Chip solder bump after 1000 cycles

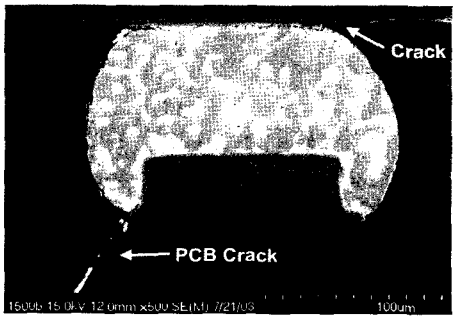

Fig. 13 Solder crack and PCB crack after 1500 cycles

가 일어난 것을 알 수 있다. 열 피로 파단 수는 관찰한 10개의 샘플 중 6개가 파단된 것을 별도 확인하였다. 또한, 그림 중에서 기판과 Cu 패드사이에 균열이 발생하고 있는 것을 관찰할 수 있으며, 이것은 열사이클 전에 발생한 초기불량 모드로 간주된다.

Fig. 14는 2000 사이클 후의 접합부의 단면을 관찰한 것이다. 2000 사이클 후에는 관찰한 10개의 모든 솔더 접합부가 파괴된 것을 별도 확인하였다.

실험 결과로 볼 때 약 1500 사이클 전후가 실험에 사용한 패키지의 열 피로수명이라고 할 수 있다. 즉 1500 사이클이 60% 열피로 파괴확률이라 할 수 있다. 또한 실제의 실험 결과와 해석을 통해 예측한 수명과의 차이가 발생하는 것은 다음과 같은 원인이라고 판단되어진다. 즉, 모델링은 솔더 접합부의 형상을 동일한 형상으로 해석을 하지만, 실제 제품에 적용되는 솔더 범프는 조립 실장공정에서 100%로 동일한 형상을 갖는 접합부를 재현시킬 수 없다는 것이다. 결국, 솔더 접합부는 접합부의 형상에 따라서 열응력 분포가 달라지므로 당연히 열 피로 수명의 차이가 날 수밖에 없다. 두 번째는 실험 결과에서 알 수 있듯이 기판 균열 등의 초기 불량으로 인해 솔더에 집중되던 응력이 기판쪽으로 분산되는 것도 이론해석과 실험결과의 차이라고 판단되어진다.

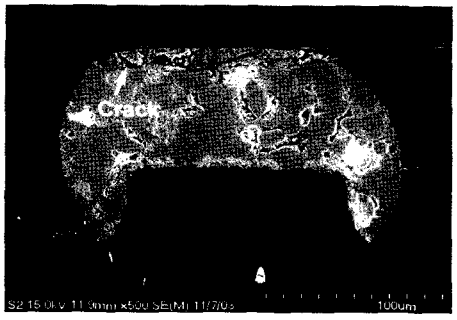

Fig. 14 Solder crack after 2000 cycles

아울러 본 해석에 적용한 점소성 모델은 비교적 실험값에 가까운 결과를 얻을 수 있었다. 이것은 온도 사이클의 온도 상승, 하강 곡선의 기울기가 크기 때문으로 판단되며, 추후 크립 변형의 영향을 고려한 열 피로 수명 예측 결과와의 비교의 필요성을 확인 할 수 있었다. 즉, 해석으로 열 피로 수명을 예측하고자 할 때는 먼저 대상물의 크기, 형상가열온도를 포함한 실험 조건 등을 검토하여 적절한 수명식을 선택하여야 할 것이다.

4. 결 론

본 연구는 전송속도의 고속화, 디바이스의 경박 단소화 추세에 따른 전기, 전자, 통신 분야에 금후 폭넓게 사용될 플립 칩 패키지의 장기 신뢰성중 가장 중요시되는 열 피로 수명에 관하여 이론 및 실험을 통하여 검토하였다. 해석과 실험을 통해 얻은 결론은 다음과 같다.

1) 점소성 모델로 해석한 열 피로 수명 결과는 1075 사이클이였고 실제 열피로 실험을 통하여 얻어진 수명은 약 1500사이클로 이론값이 다소 작았으나 비교적 일치하는 결과를 유도할 수 있었다.

2) 해석을 통하여 솔더 접합부의 열피로 수명을 예측하고자 할 때는 실제 실험 조건 및 열피로 수명에 실질적으로 영향을 미치는 인자들(초기균열을 포함한 내부결함)을 고려하여 그에 알맞은 요소를 선택함으로써 이론과 실험의 오차를 줄일 수 있다는 것을 실험을 통하여 확인하였다.

3) 열피로 파괴 확률은 1500사이클에서 60%임을 실험을 통하여 확인하였다.

후 기

본 논문은 2004년도 중앙대학교 학술연구지원에 의해 이루어진 것으로 관계자 여러분께 감사를 드립니다.

참 고 문 헌

1. T. Chung, G. Haskell : Trends in Microelectronics P ackaging and Interconnection, Semiconductor Electro

nics, 1996, A1- A5.
2. Rovert Darveaux : Effect of Simulation Methodology on Solder Joint Crack Growth Correlation, IEEE Electronic Components and Technology Conference, 2000, 1048-1058.
3. Erdogan Madenci et al. : Fatigue Life Prediction of Solder Joints in Electronic Packages with ANSYS, The University of Arizona, 2001, 4-5
4. Anand, L.: Constitutive Equations for the Rate-Dependant Deformation of Metals at Elevated Temperature, ASME Journal of Materials Technol. (1982), 104-1, 12-17
5. Alfred Yeo et al, : Flip Chip Solder Joint Fatigue Life Model Investigation, IEEE, Electronics Packaging Technology Conference, 2002, 107-114
6. Liu, y. et al,: Assembly Process Induced Stress Analysis for New FLMP Package by 3D FEA, IEEE, 52th Electronic Components and Technology Conference, 2001, 211-219.
7. John H. L. Pang: Thermal Cycling Analysis of Flip-Chip Solder Joint Reliability, IEEE Transactions on Components and Packaging Technologies, **24-4**, 2001, 1048-1058.
8. T. Anderson : Revisit of Life-Prediction Model for Solder Joints, IEEE Electronic Components and Technology Conference, 2000, 1064-1069.
9. J. H. Okura, S. Shetty : Guidelines to select underfills for flip chip on board assemblies, IEEE Electronic Components and Technology Conference, 1999, 589-594.
10. H. L. J. Pang et al : Temperature Cycling Fatigue Analysis of Fine Pitch Solder Joints, ASME Advances in Electronic Packaging, **2**(1997), 1495-1500