Journal of the Microelectronics & Packaging Society
Vol. 11, No. 2, p. 29-35. 2004

MOCVD를 이용한 HfO_2/SiNx 게이트 절연막의 증착 및 물성

이태호 · 오재민 · 안진호*
한양대학교 재료공학과

Deposition and Characterization of HfO_2/SiNx Stack-Gate Dielectrics Using MOCVD

Taeho Lee, Jaemin Oh, and Jinho Ahn*
Department of Material Science & Engineering, Hanyang University
17 Haengdang-dong, Seongdong-gu, Seoul 133-791, Korea

초 록: 65 nm급 게이트 유전체로의 HfO_2의 적용을 위해 hydrogen-terminate된 Si 기판과 ECR N_2 plasma를 이용하여 SiNx를 형성한 기판 위에 MOCVD를 이용하여 HfO_2를 증착하였다. 450°C에서 증착시킨 박막의 경우 낮은 carbon 불순물을 가지며 비정질 matrix에 국부적인 결정화와 가장 적은 계면층이 형성 되었으며 이 계면층은 Hf-silicate임을 알 수 있었다. 또한 900°C, 30초간 N_2 분위기에서 RTA 결과 HfO_2/Si의 single layer capacitor의 경우 계면층의 증가로 인해 EOT가 열처리전(2.6 nm) 보다 약 1 nm 증가하였다. 그러나 HfO_2/SiNx/Si stack capacitor의 경우 SiNx 계면층은 열처리후에도 일정하게 유지되었으며 HfO_2 박막의 결정화로 열처리전(2.7 nm)보다 0.3 nm의 EOT 감소를 나타내었으며 열처리후에도 4.8×10^{-6}A/cm^{2}의 매우 우수한 누설전류 특성을 가짐을 알 수 있었다.

Abstract: Hafnium-oxide gate dielectric films deposited by a metal organic chemical vapor deposition technique on a N_2-plasma treated SiNx and a hydrogen-terminated Si substrate have been investigated. In the case of HfO_2 film deposited on a hydrogen-terminated Si substrate, suppressed crystallization with effective carbon impurity reduction was obtained at 450°C. X-ray photoelectron spectroscopy indicated that the interface layer was Hf-silicate rather than phase separated Hf-silicide and silicon oxide structure. Capacitance-voltage measurements show equivalent oxide thickness of about 2.6nm for a 5.0 nm HfO_2/Si single layer capacitor and of about 2.7 nm for a 5.7 nm HfO_2/SiNx/Si stack capacitor. TEM shows that the interface of the stack capacitor is stable up to 900°C for 30 sec.

Keywords: Metal Organic Chemical Vapor Deposition, High-k Dielectric, HfO_2, Hf-t-butoxide

1. 서 론

디지털 기술의 발전과 함께 급격한 현대 사회의 정보화와 통신화는 더 많은 정보를 더욱 빠르게 처리 할 수 있는 능력을 갖는 소자를 요구하고 있다. 이에 따라 시스템의 성능 향상 뿐만 아니라 소자의 핵심 부품인 트랜지스터의 초고속화 초고집적화가 요구되고 있으며 반도체소자의 주류를 이루고 있는 MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)의 크기도 기하급수적으로 감소하고 있다.

MOSFET의 게이트 절연막으로 이용되고 있는 SiO_2는 우수한 절연특성 및 열정안정성, Si과의 결합시 낮은 결함 등으로 인해 현재까지 계속 사용

*Corresponding author
E-mail: jhahn@hanyang.ac.kr

되고 있다. 그러나, 트랜지스터의 수평적 뿐만 아니라 수직적 크기 축소로 인해 ITRS(International Technology Roadmap for Semiconductors)에 따르면 2007년 경에 생산이 예상되는 65 nm세대의 게이트 절연막의 경우 10~15Å의 절연막 두께가 요구되며 이때 SiO_2는 1A/cm^2 이상의 높은 누설전류를 가지게 되어 차세대소자 적용에 어려울 것으로 예상된다[1,2]. 따라서 고유전상수의 물질을 소자에 적용한다면 유전 상수의 비율만큼 더 두꺼운 박막을 증착 할 수 있으므로 누설전류를 줄일 수 있다. 이러한 요구에 의해 현재 게이트 절연막 물질로 이용되고 있는 SiO_2를 대체하기 위한 차세대 절연막 물질로는 Y_2O_3, TiO_2, Ta_2O_5, Al_2O_3, HfO_2, ZrO_2 그리고 이들의 silicate 등이 검토되고 있다[3-9]. 이들 중 HfO_2는 271kcal/mol 의 높은 생성열로 인해 Si와 접촉시 열역학적 안정성, 25~30 정도의 높은 유전상수, 5.86eV의 비교적 큰 bandgap energy, poly-Si 과의 호환성 등의 이유로 가장 주목 받고 있는 물질로 연구되고 있다[10,11].

따라서 본 연구에서는 MOCVD를 이용하여 HfO_2를 증착하여 증착온도 변화에 따른 물리/화학적, 전기적 특성변화를 관찰하였고 HfO_2 single layer capacitor와 HfO_2/SiNx stack capacitor에 대한 열적 안정성과 이에 따른 전기적 특성 변화를 관찰하였으며 차세대 게이트 절연막으로써 적용가능성에 대해 연구하였다.

2. 실험방법

Fig. 1에 전체적인 실험 순서를 나타내었다. 기판으로는 1~10 Ωcm의 비저항과 1×10^{15} cm^{3}의 도핑농도를 가지는 4-inch p-type (100) Si 웨이퍼를 사용하였으며 기판표면에 존재하는 유기물과 particle을 제거하기 위해 NH_4OH, H_2O_2, H_2O용액을 이용하여 SC-1 cleaning 후 희석된 HF(49%HF:H_2O =1:100)을 이용하여 native oxide를 제거하였다. 본 연구에서는 사용한 장비는 ECR (Electron Cyclotron Resonance) plasma가 장착되어 있는 MOCVD를 사용하였다. Si 기판에 SiNx를 형성하기 위해 N_2를 이용하여 상온에서 600W, 20초 동안 ECR plasma 처리를 하여 약 2.2 nm SiNx를 형성하였다. 또한 HfO_2를 증착하기 위해 Hf 전구체로는 hafnium t-butoxide (Hf[OC(CH_3)$_3$]$_4$)를 사용하였으며 반응가스로는 O_2를 사용하였다. Hafnium t-butoxide의 경우 충분한 증기압을 얻기 위해 canister를 50°C로 가열함과 동시에 N_2를 carrier gas로 사용하였고 Hf-전구체를 반응기까지 기상상태로 유지하여 공급하기 위해 gas line을 75°C로 가열하였고 증착 온도는 250°C~550°C 사이에서 변화시켰다. 또한 HfO_2 single layer와 HfO_2/SiNx stack에 대한 열적 안정성을 조사하기위해 600°C~900°C에서 RTA (Rapid Thermal Annealing) system을 이용하여 N_2 분위기에서 30초간 후속열처리를 실시하였다.

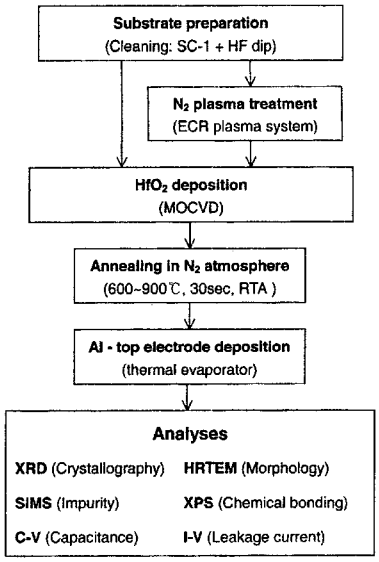

Fig. 1. Flow chart of experimental procedure.

다음과 같이 증착된 박막에 대한 두께측정을 위해 ellipsometer를 이용하였으며, 박막내의 불순물 분석을 위해 SIMS (Secondary Ion Mass Spectroscopy)를 이용하였고, XPS (X-ray Photoelectron Spectroscopy)를 이용하여 화학결합상태를 조사하였으며, HRTEM(High Resolution Transmission Electron Microscopy)를 사용하여 microstructure와 계면층의 거동을 살펴보았다. 이와 같은 분석으로 얻은 물리적/화학적 특성과 전기적 특성의 상관관계를 알아보기 위해 evaporation 방법을 이용하여 1.77 ×10^{-4}cm^{2}의 면적을 가진 Al을 증착하여 MOS[Al/HfO_2/(SiNx)/Si] capacitor를 형성하여 Keithley win-82를 이용하여 정전용량을 측정하였으며 HP 4155A semiconductor-parameter analyzer를 이용하여 누설전류를 측정하였다.

3. 결과 및 고찰

Fig. 2는 증착온도에 따른 박막의 증착속도를 나타낸 그래프이다. 저온에서는 낮은 증착속도를 가지며 증착온도가 높아짐에 따라 증착속도는 증가하게 되며 300°C이상의 온도에서는 다시 감소하였다. 식 1과 2에서 알 수 있듯이 hafnium t-butoxide는 반응물로써 isobutylene[$C(CH_3)_2=CH_2$]를 만들고 표면에 hydroxyl group을 생성시키게 되며 이런 hydroxyl group을 통해 반응이 연속적으로 이루어진다[12,13].

$$Hf(OH)^*+Hf(OC(CH_3)_3)_4 \rightarrow$$
$$Hf\text{-}O\text{-}Hf[OC(CH_3)_3]_3{}^*+(CH_3)_3COH \quad \text{식 1)}$$
$$Hf\text{-}O\text{-}Hf[OC(CH_3)_3]_3{}^*+(CH_3)_3COH \rightarrow$$
$$Hf\text{-}O\text{-}Hf(OH)+3CH_2=C(CH_3)_2 \quad \text{식 2)}$$

따라서, 200°C의 저온에서는 낮은 activation energy로 인해 hafnium t-butoxide의 분해가 일어나지 않아 표면의 낮은 hydroxyl group 농도로 인해 증착속도가 낮으며, 증착 온도가 증가함에 따라 충분한 activation energy로 인한 hafnium t-butoxide의 활발한 분해와 이로 인한 hydroxyl group 농도의 증가로 증착속도는 증가하게 되지만 300°C이상의 증착온도에서는 기판의 높은 온도로 인해 hydroxyl group이 탈착하게 되어 증착속도가 감소하게 됨을 알 수 있었다[13,14].

본 연구에서 사용한 hafnium t-butoxide 전구체는 carbon을 함유하고 있으며 박막 증착시 박막내의 carbon 불순물로 인해 결함을 생성시켜 전기특성을 저하시키는 원인이 된다. 따라서 이를 방지하기 위해 박막내의 carbon 불순물을 최소화 시키는 것이 매우 중요하다. Fig. 3은 증착 온도에 따른 불순물 함량을 나타낸 SIMS depth profile결과이다. 증착온도가 증가함에 따라 carbon 불순물의 양이 감소함을 알 수가 있었으며 이는 낮은 온도에서 증착시킨 박막의 경우에 t-butoxide와 O_2가 반응시

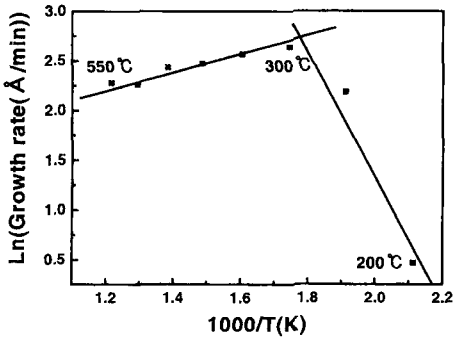

Fig. 2. Growth rate of HfO_2 films with deposition temperature.

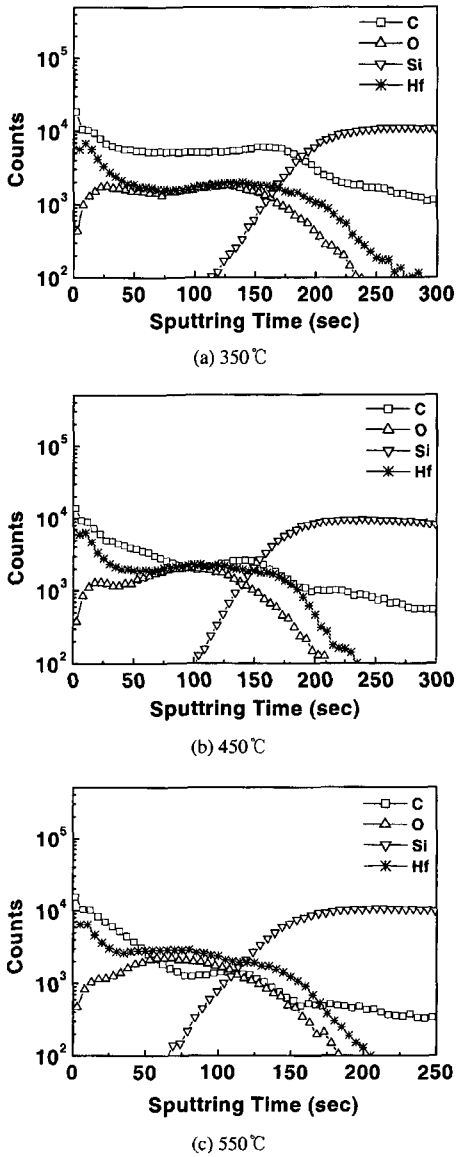

Fig. 3. SIMS depth profiles of HfO2 thin films deposited with deposition temperature. (a) 350°C (b) 450°C (c) 550°C.

낮은 열에너지로 인해 *t-butoxide*의 분해가 완전하게 일어나지 못하여 박막내에 잔류하게 되어 carbon 함량이 증가된다고 판단된다.

증착온도에 따른 HfO_2 박막의 결정성과 Si과의 계면층을 관찰하기 위해 XRD 와 HRTEM 결과를 Fig. 4과 Fig. 5에 나타내었다. Fig. 4에서 알 수 있듯이 350°C에서 증착시킨 박막은 비정질상으로 관찰되었으며 450°C부터 국소적인 결정화가 시작되었고 550°C 이상에서는 monoclinic과 tetragonal 상이 동시에 나타나는 것을 관찰 할 수 있었다. 이는 Fig. 5의 HRTEM 결과와 일치함을 알 수 있었다. 또한 모든 증착온도에서 HfO_2와 Si 사이에 계면층의 존재를 관찰할 수 있었으며 계면층의 두께는 450°C에서 가장 적게 관찰되었는데 이는 350°C에서는 낮은 에너지로 인해 박막증착 초기 불안정한 HfO_2를 형성하게 되어 계면층이 증가하게 되며 증착온도가 올라가면서 충분한 activation energy로 인해 안정한 HfO_2박막을 형성함으로써 450°C에서는 계면층이 감소하는 것으로 예상된다. 하지만 550°C에서 증착시킨 박막의 경우 다시 계면층이 증가함을 관찰할 수 있으며 이는 결정화로 인하여 grain boundary를 통한 O_2의 확산 때문인 것으로 판단된다.

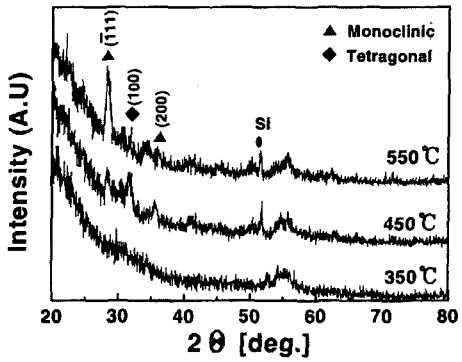

Fig. 4. XRD pattern of HfO_2 films deposited at various deposition temperature.

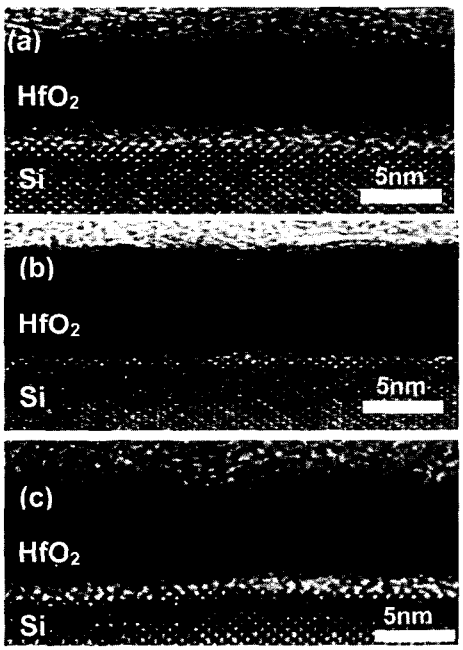

Fig. 5. Cross-sectional HRTEM images of HfO_2/Si at various deposition temperatures. (a) 350°C (b) 450 °C (c) 550°C.

계면층과 HfO_2 박막의 화학결합상태를 조사하기 위해 XPS를 이용하였으며 Si 2p peak에서 Si substrate Si-Si binding energy인 99.3eV를 이용하여 peak 보정을 하였다[15]. Fig. 6은 450°C에서 증착한 HfO_2 박막의 Hf 4f peak과 O 1s peak을 나타낸 XPS 결과이다. 18.0eV에서 Hf $4f_{7/2}$ peak이 존재하며 530.8eV와 532.5eV에서 O 1s peak이 존재함을 알 수 있었다. G. D. Wilk의 실험에 의하면 $Hf_6Si_{29}O_{65}$에 대한 O 1s 의 binding energy는 HfO_2에 대한 O 1s의 binding energy보다 1.5eV가 더 큰 532.5eV에서 관찰된다고 발표했었다[16]. 따라서 Fig. 6의 530.8eV에서 나타나는 peak은 HfO_2에 기인한 것이며 532.5eV에서 나타나는 peak은 계면층인 Hf-silicate에 기인한 binding energy로 판단된다.

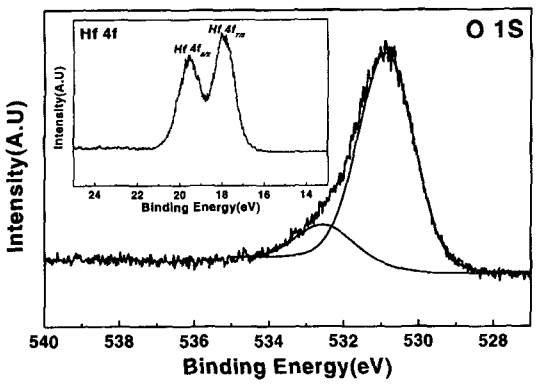

Fig. 6. O 1s XPS feature for 450°C deposition temperature. (inset) Hf 4f XPS feature.

또한 Hf 4f peak에서 Hf-Si (~14.2eV) bonding은 존재하지 않으며 이로써 Hf과 Si 원자들은 최인접 원자로써 단지 O 원자들과 결합하고 있는 것을 알 수 있었다.

Fig. 7(a)은 각 증착온도에 따른 HfO_2 박막의 C-V 특성을 나타낸 그림이다. 350°C에서 증착시킨 박막의 경우 상대적으로 많은 carbon 불순물과 비정질상으로 인해 hysteresis가 가장 크고 가장 적은 정전용량을 나타내었으며 550°C에서 증착시킨 박막의 경우 450°C에서 증착시킨 박막보다 큰 계면층으로 인해 450°C에서 증착시킨 박막보다 낮은 정전용량을 나타내었다. 이에 따른 누설전류 특성을 Fig. 7(b)에 나타내었다. 모든 증착조건에서 10^{-6} A/cm^2 (@-1V from flatband voltage) 이하의 우수한 누설 전류 특성을 나타내었으며 450°C에서 증착한 박막의 경우 1.52×10^{-7}A/cm^{2}로 가장 낮게 측정이 되었고, 550°C에서 증착한 박막의 경우 결정화로 인한 grain boundary를 통한 누설전류의 우선적인 통로형성으로 1.83×10^{-6}A/cm^{2}의 상대적으로 가장 큰 누설 전류값을 나타내었다.

HfO_2 박막의 열적 안정성을 알아보기 위해 450°C에서 증착한 박막에 대해 RTA를 이용하여 N_2 분위기, 30초간 900°C에서 열처리 후 HRTEM을 이용하여 HfO_2 박막과 계면층의 거동을 살펴 보았다.(Fig. 8) 열처리후 HfO_2 박막은 완전한 결정화가 이루어졌으며 계면층 역시 상당히 증가함을 알 수 있었다. 이와 같이 계면층 증가의 원인은 N_2 RTA시 미량의 oxygen 존재로 인한 계면층에 SiO_2의 형성 때문으로 판단된다. 따라서 HfO_2/Si single layer 구조의 경우 열적으로 매우 취약하여 열처리시 Si과 HfO_2 사이의 계면층을 급격히 증가시켜 정전용량을 감소시키게 되며 이로 인해 EOT (Equivalent oxide thickness)를 증가시키는 요인이

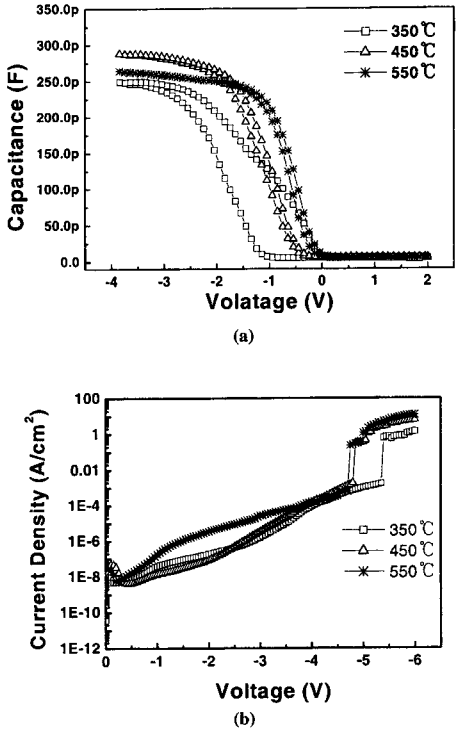

Fig. 7. (a) C-V characteristics of HfO_2 film with various deposition temperatures. (b) J-V characteristics of HfO_2 film with various deposition temperatures.

된다.(Fig. 10) 따라서, 본 연구에서는 후속 열처리시 계면층의 증가를 억제하기 위해 ECR N_2 plasma를 이용하여 Si 기판에 SiNx를 형성시킨 후 HfO_2를 증착시켜 이에 따른 열적안정성을 고찰하였다.

Fig. 9는 HfO_2/SiNx/Si stack structure에 대한 900°C, N_2 분위기에서 RTA를 이용하여 30초간 열처리전후 HRTEM 사진이다. 앞에서 고찰한 HfO_2/Si single layer structure의 경우와는 달리 열처리 전후에도 계면층의 변화는 관찰되지 않았으며 이로써

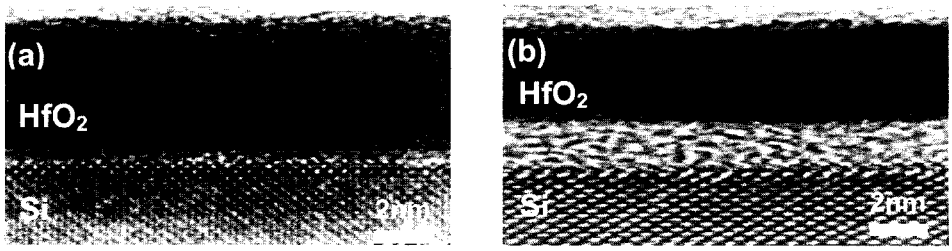

Fig. 8. Cross-sectional HRTEM images of HfO_2/Si single layer capacitor (a) before annealing (b) after annealing at 900°C for 30sec.

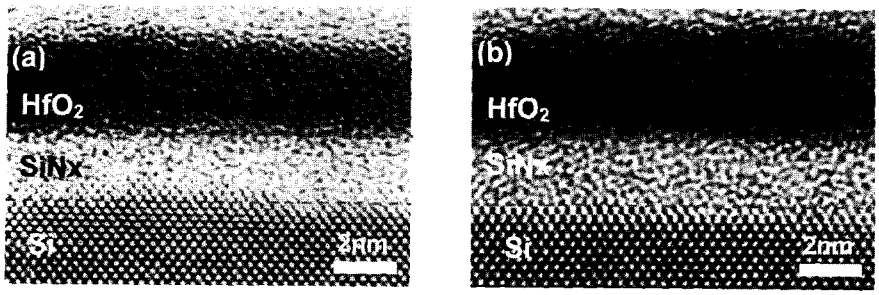

Fig. 9. Cross-sectional HRTEM images of HfO_2/SiNx/Si stack capacitor (a) before annealing (b) after annealing at 900°C for 30sec.

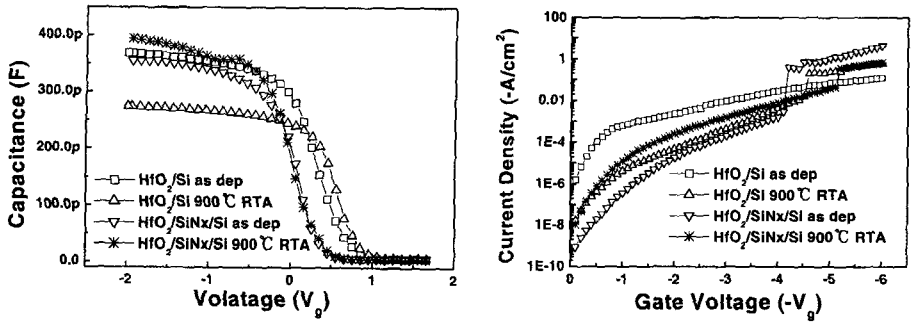

Fig. 10. (a) C-V characteristics of HfO_2/Si single layer capacitor and HfO_2/SiNx/Si stack capacitor with before and after annealing at 900°C for 30sec. (b) J-V characteristics of HfO_2/Si single layer capacitor and HfO_2/SiNx/Si stack capacitor with before and after annealing at 900°C for 30sec.

Si 기판에 N_2 plasma 처리로써 생성된 SiNx 박막은 정전용량을 감소시키는 계면층의 성장을 억제하는 inter-diffusion barrier막으로 충분한 역할을 할 수 있다고 판단된다.

HfO_2/Si single layer와 HfO_2/SiNx/Si stack capacitor의 열처리 전후 capacitance-voltage변화와 누설전류 특성을 Fig. 10에 나타내었으며 Table 1에 결과를 정리하였다. HfO_2/Si single layer capacitor의 경우 열처리후 불안정한 계면층의 증가로 인해 정전용량은 감소하였지만 HfO_2/SiNx/Si stack capacitor의 경우 열처리후 정전용량은 증가함을 알 수 있었으며 이것은 900°C 열처리후에도 SiNx 계면층이 안정하게 존재하고 있으며 또한 열처리로 인한 HfO_2 박막의 치밀화와 결정화로 인해 정전용량이 증가한 것으로 판단된다. 또한 열처리전 HfO_2/SiNx/Si stack capacitor의 물리적인 두께가 HfO_2/Si single layer보다 7Å 더 크지만 EOT의 차이는 1Å이었다. 따라서 SiNx 위에 증착시킨 HfO_2

Table 1. Summary of electrical characteristics as determined from C-V and J-V graph

Sample		Physical thickness (nm)			EOT (nm)	V_{FB} (V)	J (A/cm^2) @ -1V from V_{FB}
		HfO_2	Interface or SiNx	Total			
HfO_2/Si single layer	As dep.	4.6	0.4	5.0	2.6	0.415	1.9×10^{-4}
	900°C, RTA	3.6	1.4	5.0	3.6	0.681	1.2×10^{-7}
HfO_2/SiNx/Si stack	As dep.	3.4	2.3	5.7	2.7	0.397	3.6×10^{-8}
	900°C, RTA	3.4	2.3	5.7	2.4	0.110	4.8×10^{-6}

박막의 전기적 특성이 Si bare 기판위에 증착시킨 박막보다 더 우수함을 알 수 있었다. 한편 누설전류는 HfO_2/Si single layer capacitor의 경우 열처리전 1.9×10^{-4}A/cm^{2}에서 열처리후 상당한 두께의 계면층 증가로 인해 1.2×10^{-7}A/cm^{2}로 약 1/1000의 누설전류 감소 효과를 나타내었으며 HfO_2/SiNx/Si stack capacitor의 경우 열처리전 3.6×10^{-8}A/cm^{2}에서 열처리후 4.9×10^{-6}A/cm^{2}로 증가하였다.(Fig. 10(b)) 하지만 동일 EOT를 가지는 열처리전의 HfO_2/Si single layer capacitor와 비교할 경우 900 ℃ 열처리후의 HfO_2/SiNx/Si stack capacitor가 1/100의 누설전류 감소효과를 가지고 있으며 또한 정전용량도 감소하지 않았다. 따라서, SiNx 박막은 열처리시 oxygen의 확산방지막 역할과 누설전류를 억제 시키기 위해 매우 효과적임을 예상할 수 있었다.

4. 결 론

본 연구에서는 ECR plasma와 MOCVD를 이용하여 HfO_2/Si single layer와 HfO_2/SiNx/Si stack capacitor의 물리적/화학적 특성과 이에 따른 전기적 특성을 살펴본 결과 다음과 같은 결론을 얻을 수 있었다.

(1) 350℃에서는 가장 낮은 누설전류특성을 나타났으나 많은 양의 carbon이 검출되었으며, 550℃에서는 가장 적은 carbon 불순물을 나타내었으나 상대적으로 큰 누설전류값을 나타내었다. 하지만 450℃에서는 적은 carbon 불순물의 영향, 가장 낮은 계면층의 생성, EOT값을 나타내는 우수한 박막을 얻을 수 있었다.

(2) HfO_2/Si single layer의 경우 900℃, 30초간 N_2 분위기에서 RTA 열처리시 계면층이 매우 급격하게 성장하였으며 이러한 불안정한 계면층으로 인해 열처리시 전체적인 박막의 EOT를 증가시키는 원인이 된다.

(3) ECR을 이용한 N_2 plasma 처리를 통해 SiNx를 형성할 수 있었으며 900℃, 30초간 N_2 분위기에서 RTA 열처리에도 매우 안정한 박막으로 존재함을 알 수 있었다.

(4) SiNx 위에 증착시킨 HfO_2 박막의 전기적 특성 및 열적 안정성이 Si bare 기판위에 증착시킨 박막보다 더 우수함을 알 수 있었다.

참고문헌

1. Semiconductor Industry Association, The International Technology Roadmap for Semiconductors (2003).
2. C. T. Liu , Tech. Dig. IEDM, 747 (1999).
3. G. D. Wilk, R. M. Wallace, and J. M. Anthony, J. Appl. Phys., 89, 5243 (2001).
4. S. A. Campbell, D. C. Gilmer, X. C. Wang, M. T. Hsieh, H. S. Kim, W. Gladfelter, and J. Yan, IEEE Trans. Electron Devices, 44, 104 (1997).
5. G. B. Alers, D. J. Werder, Y. Chabal, H. C. Lu, E. P. Gusev, E. Garfunkel,T. Gustafsson, and R. Urdahl, Opt. Lett., 73, 1517 (1998).
6. A. I. Kingon, J.-P. Maria, and S. K. Streiffer, Nature (London), 406, 1032 (2000).
7. B. H. Lee, L. Kang, W.-J. Qi, R. Nieh, Y. Jeon, K. Onishi, and J. C. Lee, Tech. Dig. - Int. Electron Devices Meet., 133 (1999).
8. M. Copel, M. Gribelyuk, and E. Gusev, Appl. Phys. Lett., 76, 436 (2000).
9. G. Lucovsky and J. C. Phillips, Microelectron. Eng., 48, 291 (1999).
10. L. kang, B. H. Lee, W. J. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi, and J. C. Lee, IEEE Trans. Electron Devices Lett., 21, 181 (2000).
11. L. Kang, K. Onishi, Y. Jeon, B. H. Lee, C. Kang, W. J. Qi, R. Nieh, S. Gopalan, R. Choi, and J. C. Lee, Tech. Dig. IEDM., 35 (2000).
12. M. A. Cameron, S. M. George, Thin Solid Films, 348, 90 (1999).
13. David J. Burleson, Jeffrey T. Roberts, Wayne L. Gladfelter, Stephen A. Campell, and Ryan C. Smith, Chem. Mater., 14, 1269 (2002).
14. Jane P. Chang, and You-Sheng Lin, J. Appl. Phys., 90, 2964 (2001).
15. J. F. Moulder, W. F. stickle, P. E. Sobol, and K. D. Bomben, Handbook of X-ray photoelectron Spectroscopy, Physical Electronics Inc., Minnesota (1995).
16. G. D Wilk, R. M. Wallace, and J. M. Antony, J. Appl. Phys., 87, 484 (2000).