

기술 특 집

PDP의 Address 특성 개선에 관한 고찰

강 정 원 (단국대학교 공과대학 전기전자컴퓨터 공학부)

I. 서 론

21세기에 접어들면서 Digital 시험방송의 시작과 다양한 Contents의 유입으로 평판디스플레이(Flat Panel Display)에 관한 관심과 수요가 증가하고 있다. 이 중 PDP는 90년대 후반부터 양산 및 개발을 시작하여 현재는 40inch에서 60inch 화면 크기의 제품을 시장에서 구입할 수 있으며, '03년도에는 80inch 크기의 Proto-type Model을 공개한 바 있다. PDP는 40inch 이상의 대면적 구현이 용이하다는 점, CRT와 동등 수준의 화상 구현이 가능하다는 점, 제조공법이 간단하고 제조원가가 저렴하다는 점 등을 특징으로 시장을 확대하고 있으나, 좀 더 대중적인 디스플레이가 되기 위해서는 고휘도/고효율화, 화질개선 그리고 저가격화 등과 같은 과제를 해결하여야 한다.

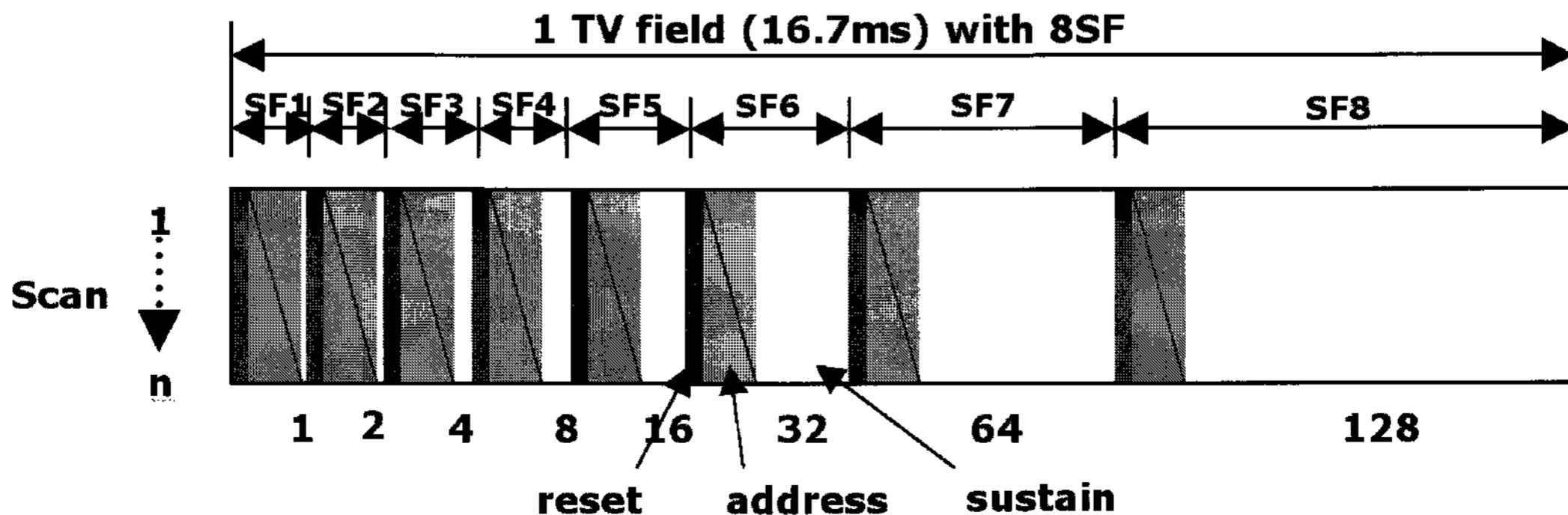
PDP의 경우, 고화질(High Definition) 방송의 시작으로 인하여, 기존의 VGA(Video Graphics Array : 640×480)급 보다는 XGA(Extended Video Graphics Array : 1280×768)급 수요가 증가하고 있다. Vertical Resolution이 480line에서 768line으로 증가함에 따라서, 기존보다 1.67배 증가된 Vertical 신호(=Scan 신호)를 One Frame(16.7ms) 내에서 처리하여야만 영상을 화면에 구현할 수 있게 된다. 또한, 동일한 Panel 크기에서 Resolution의 증가는 구성하는 단위 Cell의 Pitch의 감소를 가져오며, 42"

Panel 기준으로 1.08mm에서 0.68mm로 Pitch가 감소함에 따른 방전 공간의 감소로 구동 및 휘도 특성의 저하가 발생하게 된다. 결국 Resolution의 증가는 구동에 필요한 시간 감소 및 구동 Stability의 저하를 가져오게 된다. 본 원고에서는 PDP의 Address 특성 부분의 특성 개선에 관한 최근의 기술 동향에 대해서 살펴보고 향후 연구 방향을 제시하고자 한다.

II. 본 론

PDP의 경우, [그림 1]에 보이듯이 Reset(초기화 구간), Address(On & Off Cell을 선택하는 구간), 그리고 Sustain(선택된 On Cell로부터 가시광이 발생하는 구간)으로 구성된 파형의 조합(Sub-field)이 One Frame 동안 8~12회 정도 Panel에 순차적으로 공급되면서 영상을 구현하게 된다. One Frame 내의 Sub-field 수의 증가는 자연스러운 Image의 표출로 화질(Image Quality)의 향상을 가져올 수 있으나, 각 Sub-field를 구성하는 Reset과 Address에 할당된 시간의 증가로 인해, 실제 빛을 발생하는 Sustain 시간이 감소함에 따라서 휘도를 감소시키게 된다.

1,000 cd/m²의 Peak 휘도를 구현하기 위하여 Sustain에 필요한 One Frame내 최소 시간을 5ms(200kHz and 1,000



[그림 1] PDP에 적용되는 구동 방식(ADS : Address Display Separated) : 8sub-field로 1 TV Frame을 구현한 경우

[표 1] XGA(1024×768) Panel에서 1Frame 내에 10Sub-field를 구현할 경우, Scan Pulse의 Pulse Width 변화에 따른 구동/유지 소요시간.

Scan Time/Line[μ s]	Total Scan Time [ms]	Available Sustain Time [ms]	Sustain시 휘도 표현
1.5	11.52	2.18	Inadequate
1.2	9.22	4.48	Low Brightness
1.0	7.68	6.02	Suitable

pairs의 Sustain Pulse가 공급되는 것을 기준)라 하고, 1 Sub-field당 Reset에 소요되는 시간이 200us일 경우, 10 Sub-field를 One Frame내에 구현하기 위해서는 1.1us Scan Pulse가 사용되어야 하며, 12Sub-field를 구현하기 위해서는 0.9us 미만의 Scan Pulse가 사용되어야 한다([표 1] 참조). 현재 적용중인 Scan Pulse가 1.5us라면 구동에 필요한 시간을 현재보다 20~40% 감소시켜야 만 XGA급 Panel에서 양질의 화상 구현이 가능하다.

XGA Panel에서 Cell Pitch의 감소는 Reset, Address 및 Sustain 기간 중 방전 Volume의 감소와 이에 따른 Wall Charge 형성의 저하를 가져온다. Address 기간의 경우, Reset 기간에서 충분한 Wall Charge를 형성하지 못하게 되면, Address Failure 증가나 Address Stability가 감소하는 현상을 보이게 된다. 구동 측면에서 이런 현상들을 개선하기 위하여 Reset/Address 전압을 상승시키거나, 인가되는 Reset/Address 파형을 변화시켜 Wall Charge 형성을 증가시키는 방법들이 일반적으로 적용되나, 사용되는 부품의 수와 가격이 상승하는 단점이 있다.

구동의 고속화(High Speed Addressing)와 안정화(Address Stability) 구현을 위해서는 Panel에 인가되는 파형이나 전압 뿐 아니라 Panel의 구조, 주입되는 Gas의 조성 등과 구동 특성간의 관계에 대한 체계적인 연구가 이루어져야 한다. 구동 특성 개선을 위한 최근의 연구 동향을 살펴보면 다음과 같다.

1. 구조 변화에 따른 구동 특성의 개선

일반적인 PDP의 구조에서 각 Layer의 Geometry Factors를 변화시켜서 Address에 필요한 시간을 감소시키는 것이 가능하다. [표 2]는 최근 부산대에서 Reference Panel과 구조의 일부를 변화시킨 Test Panel간의 동일 인가 파형에 대한 Address 시간의 감소분에 관한 실험 결과

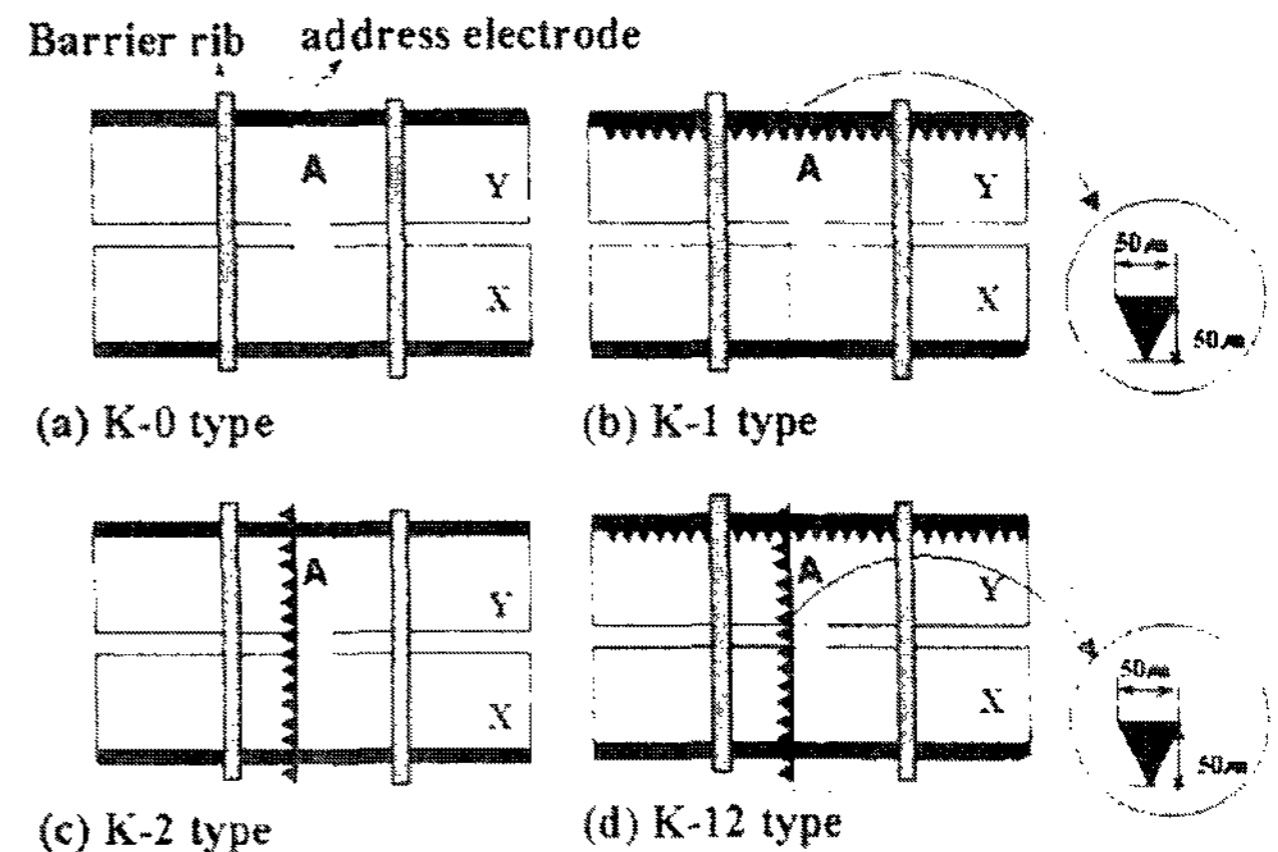
[표 2] Panel 구조 변화에 따른 Address 시간의 감소율^[1]

Factor	Decrement of Address Time
상판 유전층 두께(10um 감소)	4%
ITO Gap(10um 감소)	4%
White Back 두께(2um 감소)	4%
Rib Height(10um 감소)	4%
Bus Shape	15%
Address Electrode Shape	15%

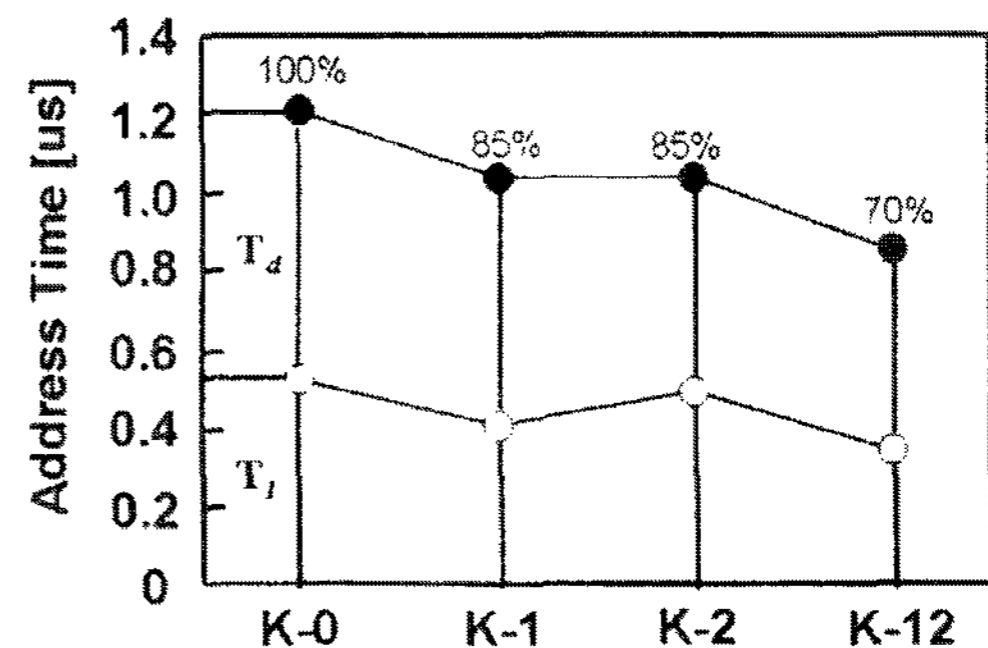
를 보여주고 있다.

Geometry Factors의 변화가 Reference Panel 대비 Test Panel에서 상하 Panel간 전극과 상판의 Coplanar 전극에 실제 인가되는 전압 dI 증가하는 방향임을 알 수 있다. 이에 따라서 Wall Charge 형성이 증가하고 구동 시간이 감소하는 결과를 나타내고 있다. [그림 2]와 [그림 3]을 살펴보면, Bus 전극과 Address 전극에 돌기 형태의 모양을 형성하여 각각 15%의 구동 시간이 단축되고 동시에 형성한 경우 30%의 구동 시간이 감소됨을 보여주고 있다. 전극의 형상 뿐 아니라 전극의 면적 역시 구동 특성을 개선하는데 영향을 줄 수 있다. 일본 Pioneer사는 Address 전극 중 Address 방전에 관련 있는 영역을 [그림 4]에 나타났듯이 부분 확장하여 사용하고 있다.

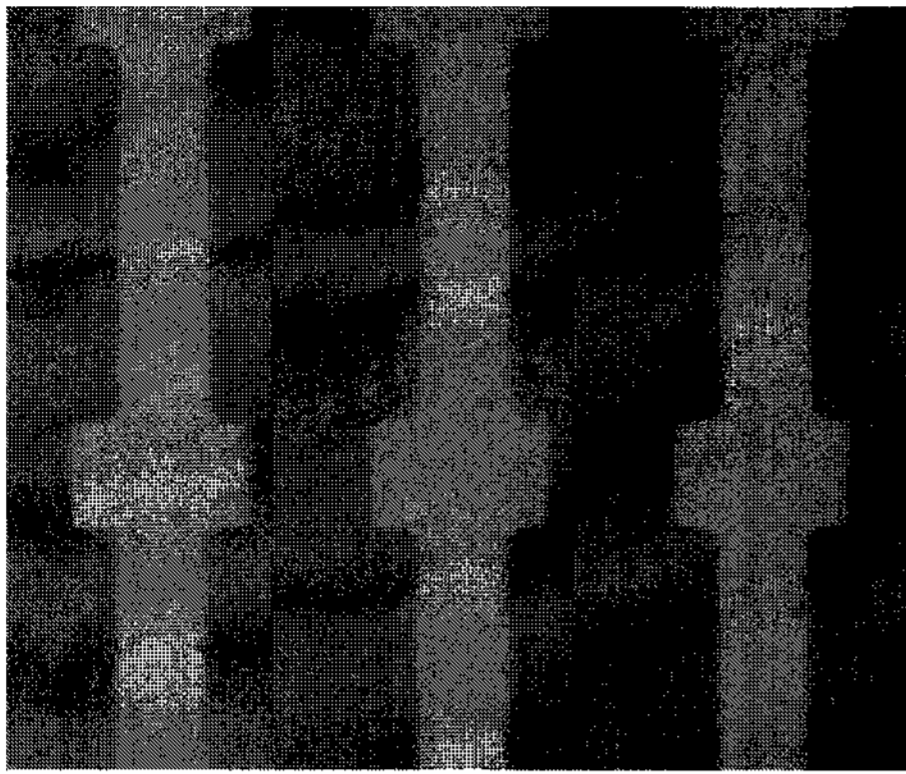
일반적인 PDP에서 Bus의 위치는 각 Sub-pixel의 바깥쪽에 위치하게 된다. Stripe 형태가 아닌 Well 형태의 격벽이 적용된 경우는 가로 격벽의 상부에 배치하기도 한다. 이



[그림 2] 구동 시간 단축을 위한 Bus 및 Address 전극 형상의 변화 예^[2]



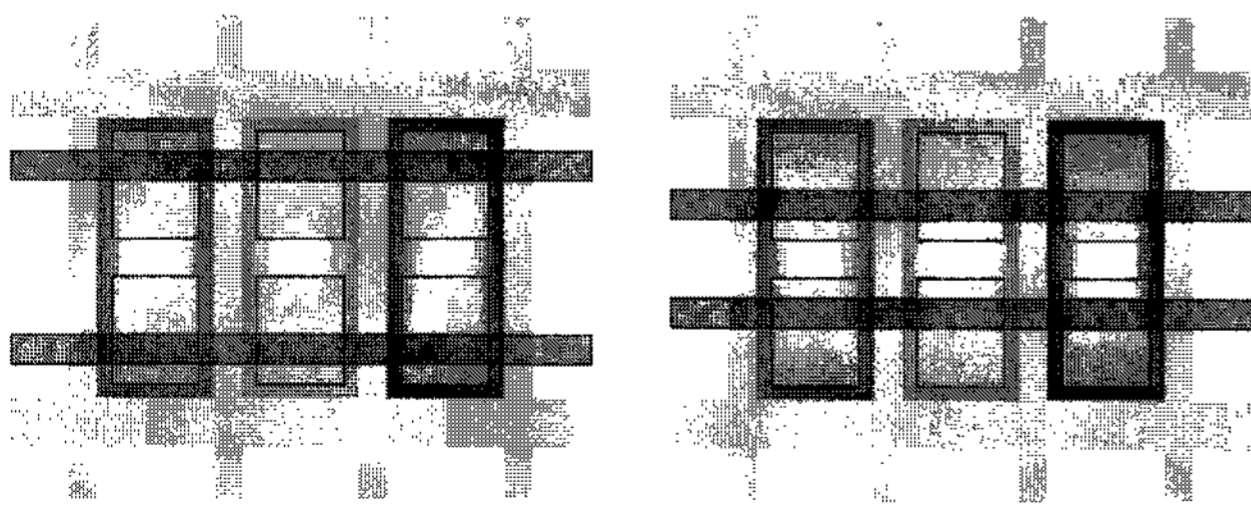
[그림 3] Bus 및 Address 전극 형상의 변화에 구동 시간의 변화^[2]



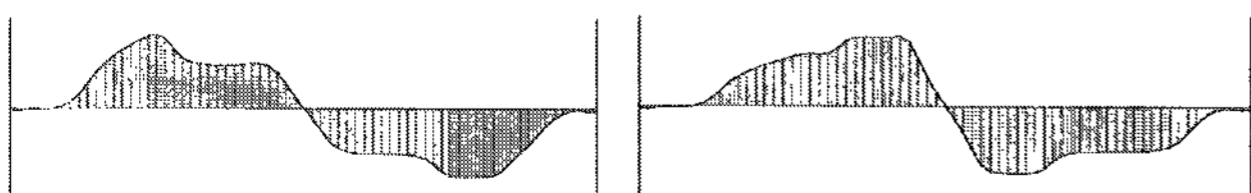
[그림 4] Address 전극 중 일부 영역의 면적을 확장 한 예 : 일본 Pioneer사

는 가시광의 생성이 활발한 Cell 중앙부에서 Non-transparent 소재의 Bus 전극을 배제함으로써 생성된 가시광이 Panel 외부로 빠져나가기 용이하게 하기 위함이다. 최근 LG전자 및 단국대에서 발표된 논문^[3, 4]에서, [그림 5]에 보여주듯이 기존과는 반대의 위치인 Cell 중앙에 Bus 전극을 배치한 경우, 구동 특성이 개선된 결과를 보여주고 있다. Bus 전극이 중앙에 위치함에 따라서 Coplanar 전극간에 실제 인가되는 전압이 전극의 위치와 부분적으로 유전체가 감소하는 영향에 따라서 증가하게 된다.

Simulation을 활용하여 Sustain 방전시 한주기 동안 유전체 표면에 쌓이는 Wall Charge를 분석한 결과가 [그림 6]에 나타나 있다. 일반구조의 경우 Bus 전극이 위치한 Cell의 외곽측에 쌓이는 Wall Charge가 많은 반면, Bus가 중앙에 위치한 구조의 경우 Bus 전극이 위치한 Cell 중앙에 쌓이는 Wall Charge의 양이 많음을 알 수 있다. Bus 전극이 중앙에 위치한 구조의 경우 Sustain 방전뿐 아니라 Reset 혹은 Address 방전시에도 방전이 발생하고 Wall Charge가 쌓이는 영역이 Cell 중앙을 중심으로 발생하기에 Coplanar 전극간, 상하 전극간에 효율적인 전압인가가 가능하다. 또한 Cell 외곽에서 발생 될 수 있는 가로 격벽과의



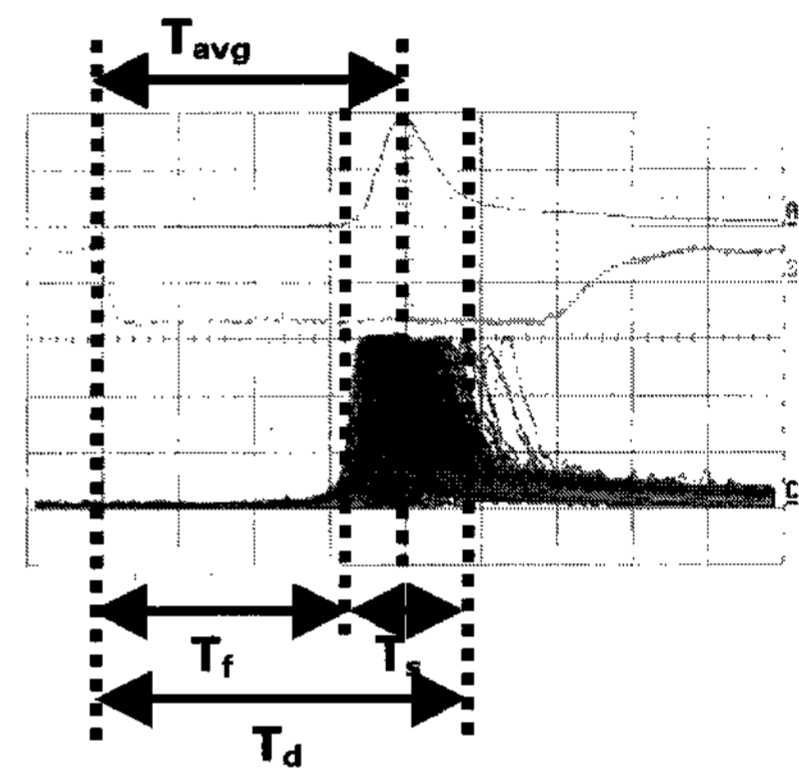
[그림 5] Well 형태의 격벽에서 일반적인 Bus의 위치 및 발표된 논문에서 제시한 Cell 중앙에 Bus가 위치한 경우



[그림 6] Simulation을 활용하여 Sustain 한주기 동안 유전체 표면에 쌓이는 Wall Charge를 도식한 경우 ; 왼쪽이 일반구조, 오른쪽이 Bus 전극이 중앙에 위치한 경우

[표 3] Address 방전시 Time Lag을 IR Photometer로 5000회 Sweep하면서 반복 측정 한 예

Cat.		Xe14%-Ne at 500 torr			
		200V		210V	
		Reference	In-bus	Reference	In-bus
Green	T _f	0.7	0.6	0.8	0.6
	T _s	0.9	0.8	1.2	0.9
	T _d	1.6	1.4	2.0	1.5
	T _{avg}	1.2	0.9	1.2	0.9



Interference를 최소화 할 수 있다.

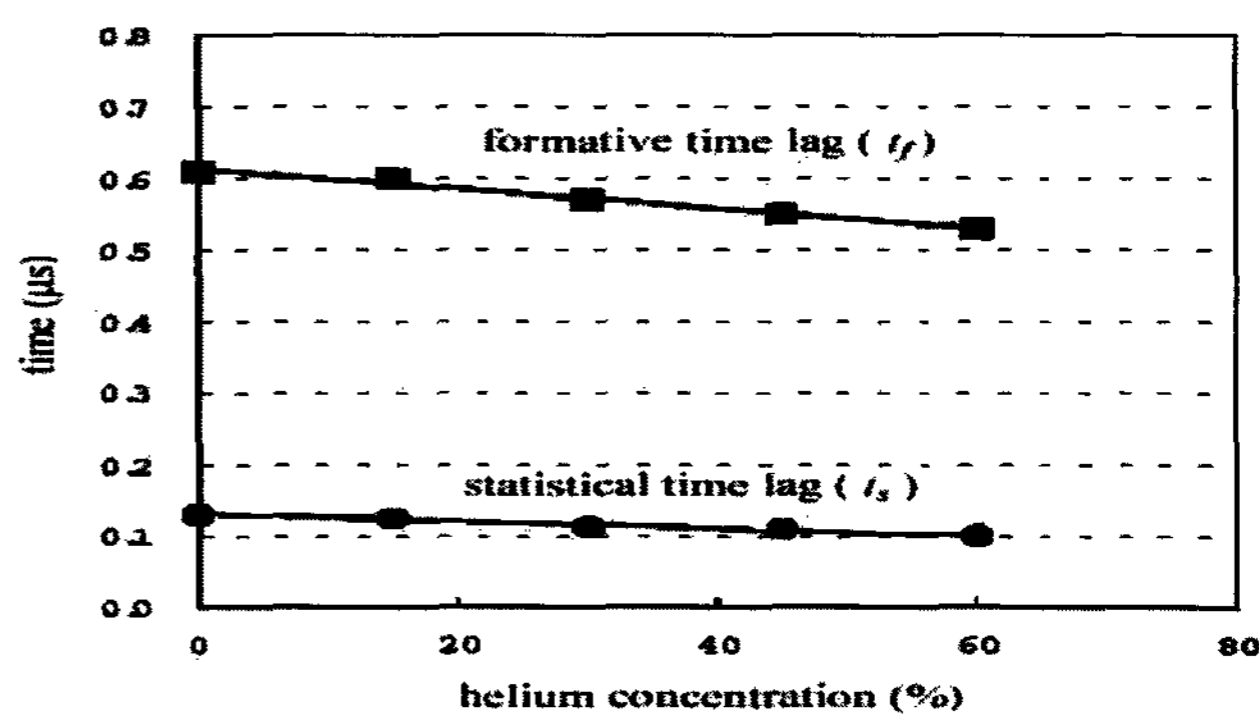
Test Panel을 제작하여 Address 방전 특성을 측정한 결과가 [표 3]에 나타나 있다. 10 Sub-fields로 구성된 일반적인 구동 파형을 사용하였으며, 1 Gray-level, Single Dot Pattern을 기준으로 Green Sub-pixel에서 Address 방전시 Time Lag을 IR Photometer를 사용하여 측정하였다. T_f(Formative Delay), T_s(Statistical Delay), T_d(Total Delay) 그리고 T_{avg}(평균 Delay)를 10 Sub-field를 5000회 Sweep하면서 측정한 결과, Bus가 중앙에 위치한 In-bus 구조가 기존 구조에 비해서 20~30% 구동시간이 단축됨을 알 수 있다.

2. Gas 변화에 따른 구동 특성의 개선

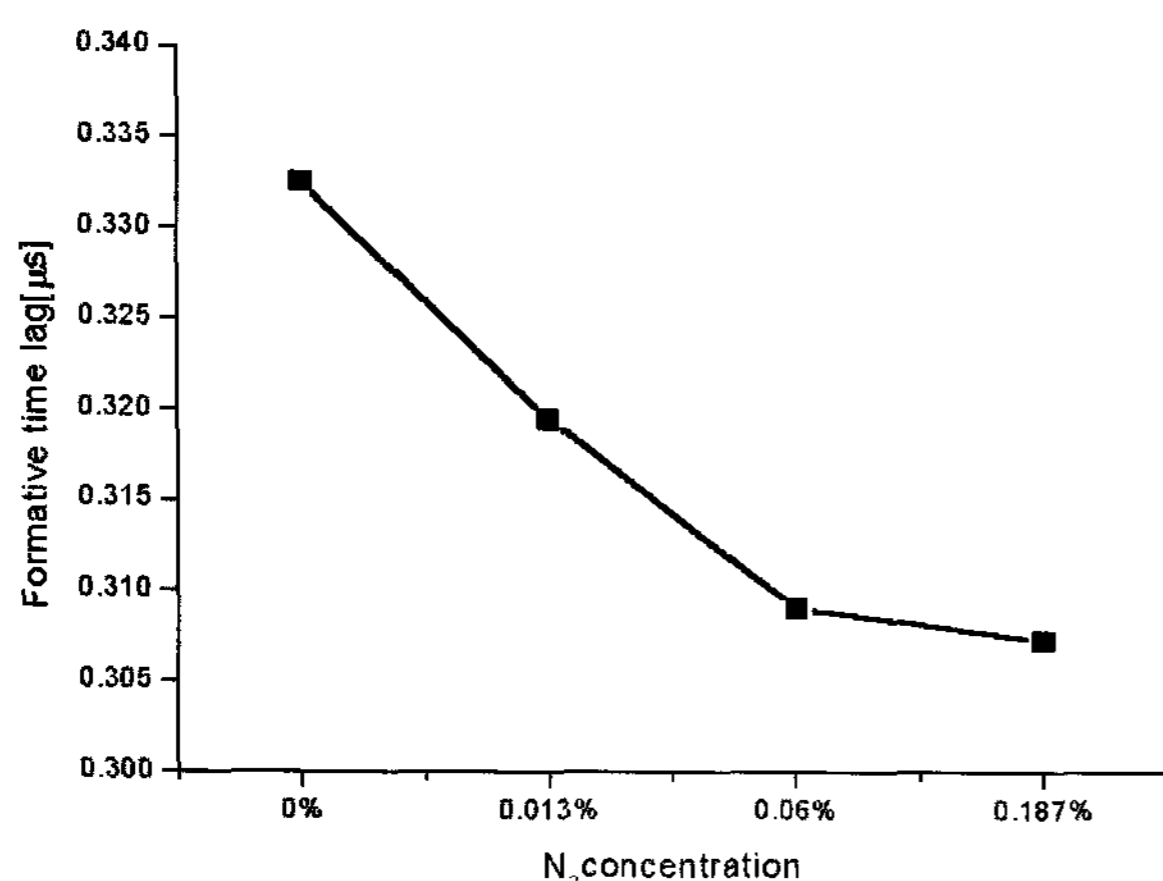
Xe 농도를 증가시키는 경우, Panel의 휘도 및 효율을 증가시킬 수 있기에^[5, 6] 적용되는 Gas 조합에서 Xe의 농도가 증가하는 추세이다. 과거에 생산품에 주로 적용되었던 Gas에서 Xe이 차지하는 부분은 8%-10%였으나, 현재는 이보다 높은 12%-14%가 주류를 이루고 있다. 그러나, Xe 농도의 증가는 구동에 사용되는 전압의 상승과 그로 인한 회로 부분의 원가 상승을 가져오고 구동 Instability를 증가시켜서 Reset 및 Address에 소요되는 시간이 증가하는 결과를 가져 온다. [표 4]에는 일반적인 Panel에서 Xe 농도의 증가에서 따른 Address 방전의 Time Lag을 보여주고 있

[표 4] 일반 Panel에서 Xe 조성 증가에 따른 Address 특성 변화 예.

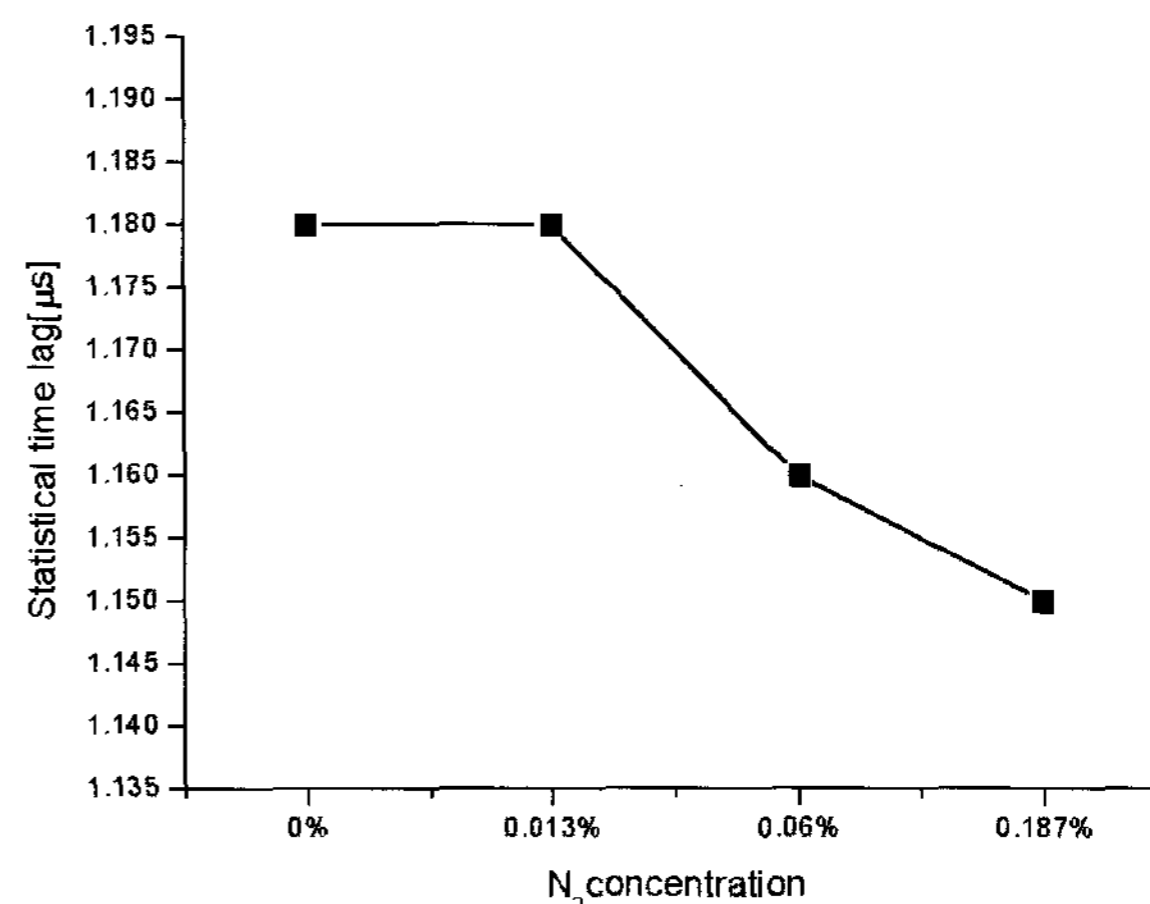
Cat.	Xe10%-Ne at 500 torr		Xe14%-Ne at 500 torr		
	170V	180V	200V	210V	
Green	T_f	0.6	0.6	0.7	0.8
	T_s	0.7	0.6	0.9	1.2
	T_d	1.3	1.2	1.6	2.0
	T_{avg}	0.7	0.7	1.2	1.2



[그림 7] He 첨가에 따른 Formative와 Statistical Time Lag의 변화



[그림 8] N₂ 첨가에 따른 Formative와 Statistical Time Lag의 변화



다. Xe 조성이 10%에서 14%로 증가하면서 Sustain에 필요한 전압이 증가하는 경향을 볼 수 있으며, Address에 필요한 시간 역시 30~50% 정도 증가함을 알 수 있다.

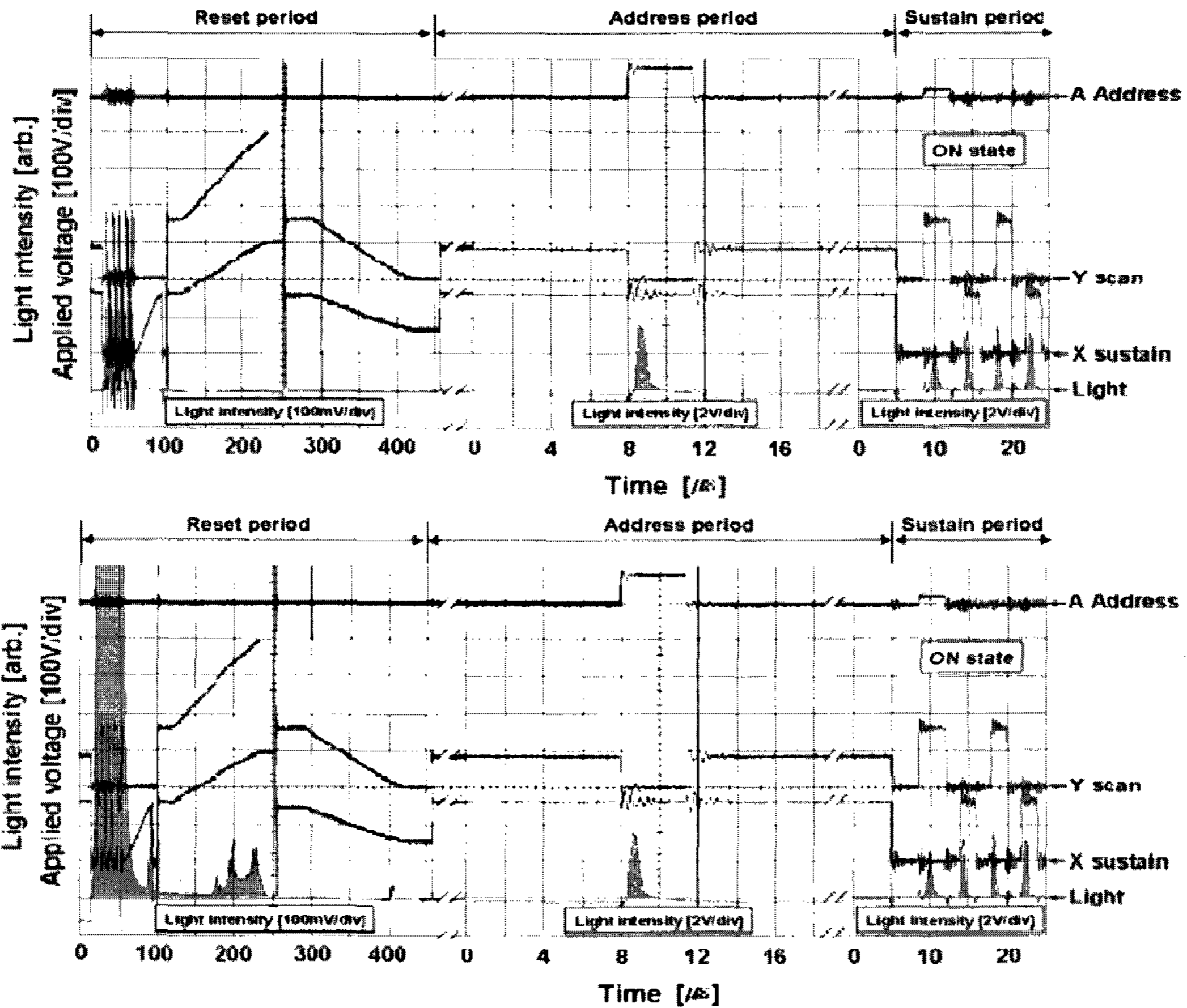
Address 방전시 Time Delay를 개선하기 위하여 첨가 Gas를 혼합하는 경우가 있다. 일반적으로 사용되는 Gas는 He^[7]으로 [그림 7]에 나타난 바와 같이 방전 Gas내 He의 농도가 0%에서 60%로 증가하면서 Formative Delay가 0.1us 감소하였고 Statistical Delay 역시 소량 감소하는 결과를 보여주고 있다. He 함량이 증가할수록 Ion들의 Mobility가 증가하여 Formative Delay가 감소하였고, Seed Electron이 소량 증가하여 Statistical Delay가 소량 감소하였다고 실험 결과를 설명하고 있다.

He 외에 N₂를 첨가하는 경우, 구동 Margin이 상승함과 동시에 Formative와 Statistical Delay가 개선된다는 결과를 세종대^[8]에서 발표하였다. 13% Xe-Ne Base Gas에 N₂를 0%-0.187% 첨가하는 경우, Formative Delay가 8% 정도 감소하였고, Statistical Delay가 소량 감소하는 결과를 보여 주고 있다. He이나 N₂ 혹은 다른 Additive Gas를 첨가하는 경우, Address 방전시 Time Lag이 감소하고 휘도나 효율이 소량 증가하는 결과들이 보고되고 있지만, 대개의 경우 구동 전압이 Additive Gas가 첨가되지 않은 경우 보다 상승된다는 단점이 있다.

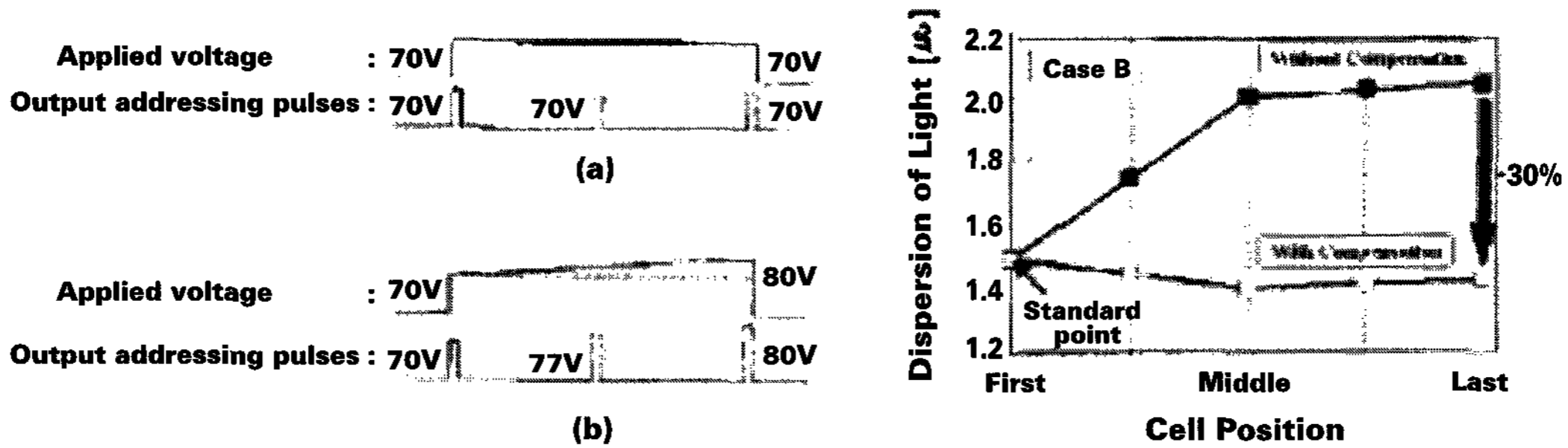
3. 구동 파형의 변화에 따른 구동 특성의 개선

Address 방전 특성을 개선하기 위해서는 이전 Sub-field에서 Turn-on 되었던 Cell과 Turn-off 되었던 Cell의 차이를 최소화 하면서, 좀 더 많은 양의 Wall Charge를 Uniform하게 생성할 수 있는 Reset 파형의 개발이 필요하다. Reset에서 발생하는 가시광의 양이 Dark Room 상황에서 Contrast Ratio를 결정하는 중요한 Factor이기에 가시광의 양을 최소화 하는 노력 역시 필요하다. 기존의 Reset 파형이 상판의 Coplanar 전극인 Scan과 Sustain간의 상관 관계를 주요시 한 반면, [그림 9]^[9]에 보이듯이 최근에 연구되는 Reset 파형은 Coplanar 전극간의 관계보다 상하 전극인 Scan 전극과 Address 전극, 그리고 Sustain 전극과 Address 전극간의 관계를 주요시 하는 형태를 취한다. Reset 파형에서 좀 더 많은 Wall Charge를 생성하여서 Address 방전의 특성을 개선함은 물론 주로 상하 전극간 방전이 발생되기에 Reset 기간 중 발생하는 가시광의 양이 감소하여, Contrast Ratio 역시 증가하게 된다.

Address 방전시 Panel의 처음과 끝 Line의 방전 상태는 Reset 방전시 발생된 Priming Particle의 감소와 생성해 놓은 Wall Charge의 감소로 Time Lag이 증가하거나 방전 Volume이 감소하는 양상을 보이게 된다. 이를 방지하기



[그림 9] 개선된 Reset 파형이 Off Cell과 On Cell에 적용된 경우, 방전시 발생된 IR광을 IR Photometer로 측정 한 예.

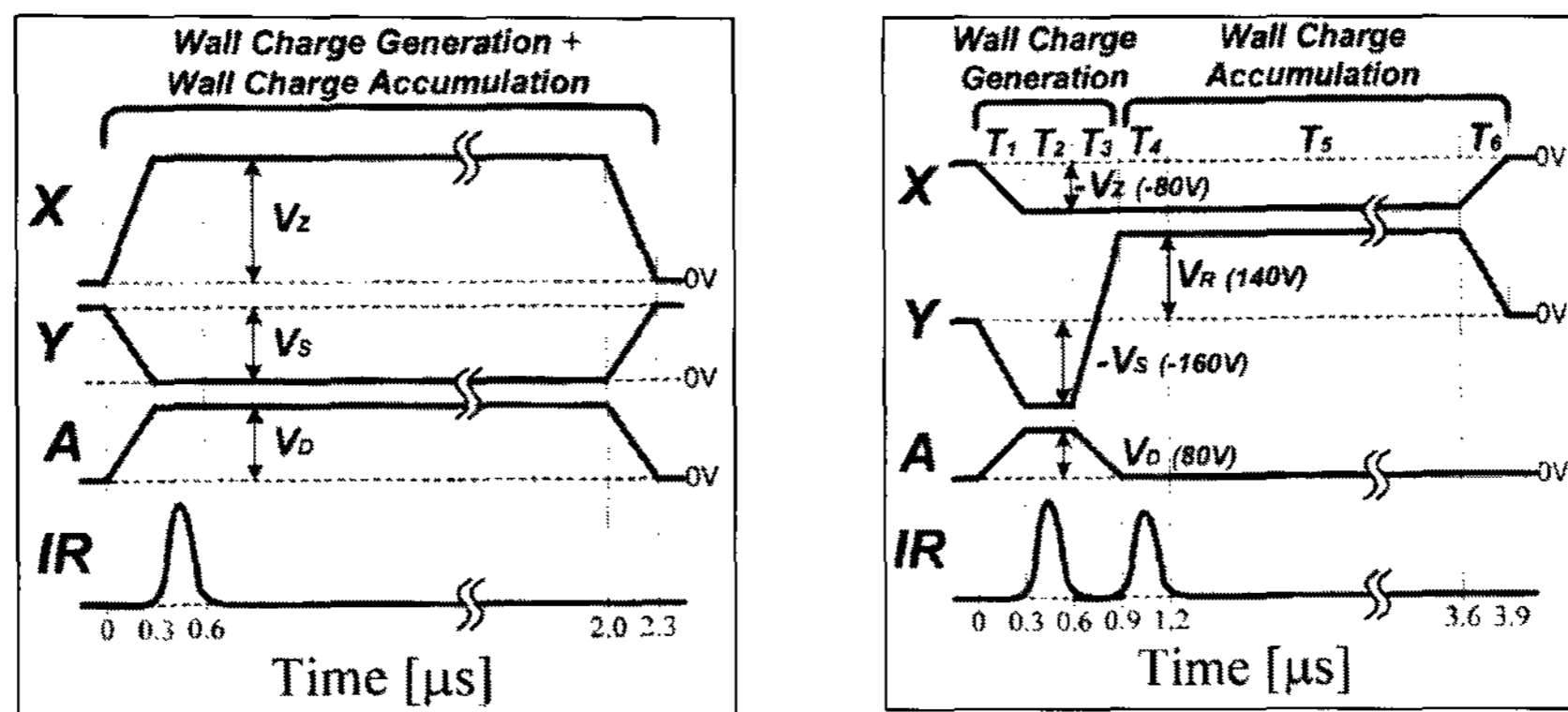


[그림 10] 순차적을 증가하는 Address 전압을 사용한 파형과 Address 방전시 IR광의 분산 측정 결과.

위해 Address에 관련된 Scan 전압과 Data 전압을 상승시키는 경우, Panel의 처음 Line 부분에서 오방전이 발생할 우려가 있다. [그림 10]에 보이듯이 선형적으로 증가하는 보상 전압을 기존 Address 전압에 더해서 인가함으로써 Line의 후반부로 갈수록 불리해지는 Address 상황의 개선이 가능하다. Last Cell Position을 기준으로 일반 Address 파형과 Ramp 형태의 Address 파형을 비교하면, Address 방전에 의한 IR광의 분산이 30% 감소됨을 알 수 있다.

Scan 파형을 두 가지 전압 Level의 Ramp 파형으로 전환하여 Address에 소요되는 시간을 줄인 예^[11]가 [그림

11]에 나타나 있다. 왼편의 파형은 일반적으로 적용되는 Address 파형이고, 오른편의 파형은 제안된 Two Level의 Ramp 형태의 Address 파형이다. Address 기간중 제안된 파형에는 두 번의 방전이 발생하는 관계로 좀 더 많은 양의 Wall Charge를 쌓은 상황에서 Sustain 기간으로 넘어가게 되고, 소요되는 시간은 1/3 수준으로 감소되게 된다. 문제점으로 지적되는 부분은 두 번의 Address 방전이 발생하는 관계로 주변 Cell에서 Mis-writing 가능성이 증가한다는 것이며, Ramp의 Incremental Slope을 변화시켜 문제점을 개선한 결과를 보고 하고 있다.



[그림 11] One Scan Line에 인가된 Address 파형의 예.

III. 결 론

본론에서는 구조의 변화, 적용되는 Gas의 변화 마지막으로 Reset과 Address 기간 중 인가되는 파형의 변화를 통하여 구동 특성 개선을 한 예들에 대해서 설명하였다. 구조의 경우, Cell 내부에 인가되는 전압이 상승하는 방향으로 Geometry를 변경할 경우 Address 특성이 개선됨을 보여주었고, Address 전극이나 Bus 전극의 Shape 혹은 Position을 변경하는 경우, 구동에 소요되는 시간이 20~30% 감소됨을 알 수 있었다. Gas의 경우, 휘도/효율 개선을 위하여 Xe의 Gas내 농도가 상승함에 따라서 구동특성이 저하되는 경향과 He 혹은 N₂를 다량 혹은 미량 적용시 구동 Margin과 구동에 소요되는 시간이 감소함을 살펴 보았다. 파형의 경우, Reset과 Address 기간에 적용 가능한 새로운 파형 형태와 적용시 도출된 결과를 살펴 보았다.

Panel의 Resolution의 증가와 이에 따른 Cell Pitch의 감소, 그리고 적용 Gas 내에서 Xe 농도의 상승 등은 구동 특성의 저하를 가져오기에 위에 소개한 방식 이외에도 다양한 연구가 산업계와 학계에서 이루어지고 있다. 구동 특성을 개선하기 위한 대부분의 방법들이 전압의 상승, 파형의 복잡성, 회로 가격의 상승, 휘도 및 효율의 저하 등을 가져올 수 있다. PDP의 경우, 좀 더 대중적인 Display가 되기 위해서는 가격의 인하, Quality의 향상(예. 화질의 향상, Resolution의 향상, 두께 및 무게의 저감 등), 및 소모전력의 저감 등과 같은 문제를 해결하여야 한다. 그러므로 구동 특성을 개선하기 위한 방안들이 향후 PDP가 개선되기 위한 방향을 저해하지 않는 범주 내에서 좀 더 실용적이고 생상품에 적용이 용이한 방향으로 집중되어야 한다고 본다.

참 고 문 헌

- [1] 박정후, Plasma Display의 이해 2nd edition, 제일출판인쇄.
- [2] C. H. Park, D. H. Kim, S. H. Lee, J. H. Ryu and J. S. Cho, "A new method to reduce addressing time in a large plasma display panel," IEEE Trans. on Electron Devices, Vol.48(6), pp.1082-86, Jun. 2001.
- [3] W. K. Min, J. Kang, S. C. Choi, J. W. Song, J. B. Park, and J. R. Lim, "Characteristics of high efficient in-bus structure with high Xe mixture gases," Digest of Tech. Papers in 2003 SID International Symposium, pp.422-25, 2003.
- [4] J. Kang, W. K. Min, S. C. Choi, J. W. Song, J. B. Park, J. R. Lim and E. H. Yoo, "Characteristics of in-bus structure with high Xe mixture gases," Proc. of the 10th International Display Workshops, pp.993-96, 2003.
- [5] G. Oversluizen, M. Klein, S. de Zwart, S. van Heusden, and T. Dekker, "Discharge efficiency in plasma display panel," Appl. Phys. Lett., 77(7), pp. 948-50, 2000.
- [6] G. Oversluizen, M. Klein, S. de Zwart, S. van Heusden, and T. Dekker, "Improvement of the discharge efficiency in plasma displays," J. Appl. Phys. 91(4), pp.2403-08, 2002.
- [7] N. Uemura et al., "Improvement of the Speed of Address Discharge in Ne-Xe-He Discharge Gases for ACPDPs," Digest of Tech. Papers in 2003 SID International Symposium,
- [8] S. M. Hong, B. J. Kim, S. D. Park, B. J. Shin, J. Kang and K. C. Choi, "Discharge characteristics of Ne+Xe+N₂ gas-mixtures," Proc. of the 10th International Display Workshops, pp.857-60, 2003.
- [9] C. H. Park et al., "A new driving method to improve dark room contrast ratio in ac plasma display panel," Proc. of Eurodisplay, 2002.
- [10] C. H. Park, S. H. Lee, D. H. Kim, W. G. Lee and J. E. Heo, "Improvement of addressing time and its dispersion in ac plasma display panel," IEEE Trans. on Electron Devices, Vol.49(7), pp.1143-50, Jul. 2002.
- [11] K. D. Cho, H. S. Tae, S. I. Chien and J. H. Lee, "New addressing technique for reduction of addressing time in ac PDP," Proc. of 9th International Display Workshops, pp.885-88, 2002.