

## 기술 특 집

# Plasma Display Panel의 Reset 파형 기술 Review

신범재 (세종대학교 전자공학과)

## I. 서 론

PDP가 본격적으로 상업화의 길로 진입할 수 있었던 계기는 일본의 Fujitsu사에서 개발된 3전극 면 방전 전극 구조와 ADS 구동 방식의 개발 때문이라고 할 수 있다. 그리고 이러한 전극 구조나 구동 방식은 많은 개선과 진보가 있었지만, 큰 틀에서는 현재 기술의 기초적인 토대를 형성하고 있다. 본고에서는 Fujitsu에서 제안된 ADS 방식에서 현재에 이르기까지의 구동 파형의 개선 현황을 Reset 구간을 중심으로 간략하게 고찰하기로 한다.

## II. PDP 구동 기술의 Review

PDP 구동 기술은 외부에서 인가되는 전압의 크기, 펄스의 폭 및 기울기를 이용하여 방전을 형성시켜 화면을 구현하는 방법이다. 이때, 고용량의 표시 소자의 구동에 적합한 Matrix 방식을 이용하므로 기억 기능이 필수적이고, AC형 PDP의 경우는 방전에 의해 유전체 층에 형성되는 벽전압의 특성을 이용하므로 벽전압을 어떻게 효과적으로 이용하느냐가 매우 중요하다. 또한 방전에 의해 발생하는 하전 입자의 효과가 구동 특성에 많은 영향을 주므로 명확한 이해가 필

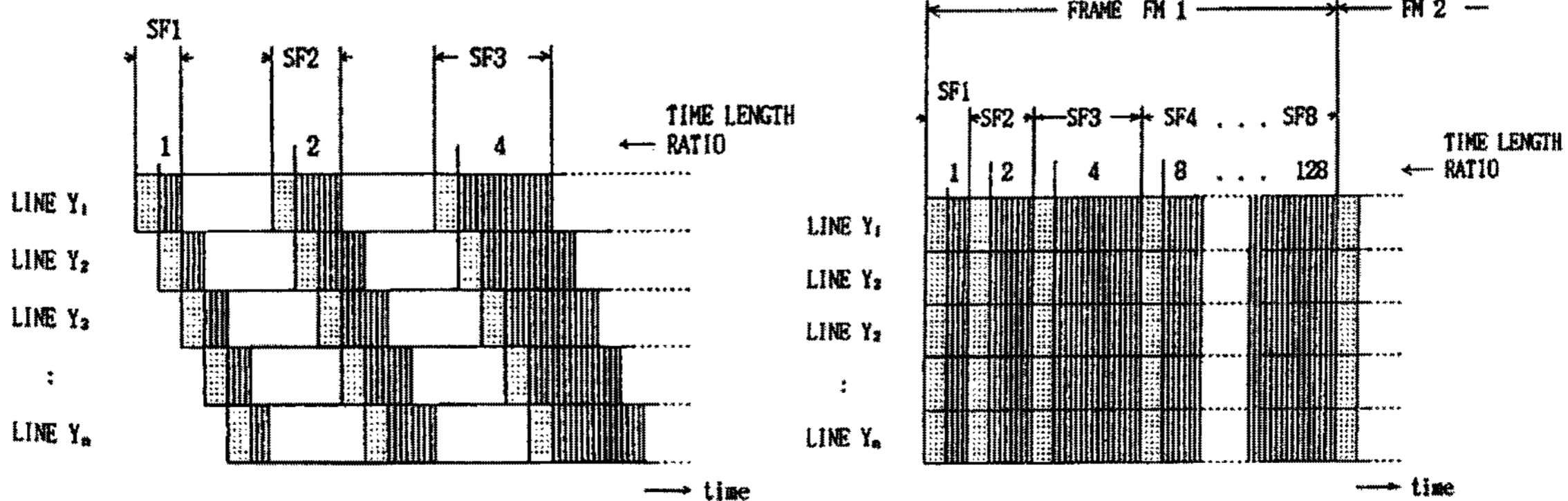
요하다. 따라서 PDP의 구동 방식은 벽전압과 하전입자의 효과를 어떻게 효과적으로 이용하느냐가 핵심이라고 할 수 있다.<sup>[9],[10]</sup>

### 1. ADS 구동 방식과 Reset 구간의 요구 조건

ADS 구동 방식은 [그림 1]에서 보는 것 같이 Address라는 동작과 Display(또는 Sustain)이라는 동작을 분리한 방식이다.<sup>[11]-[13]</sup> 이때 어드레스의 동작 속도가 매우 빠르다면 이 방식은 매우 효과적이며, PDP의 경우 현재 라인당  $\mu\text{sec}$ 의 어드레스 속도를 갖고 있으므로 상당히 효과적이라고 할 수 있다. 이 방식은 어드레스라는 동작을 통해 각 화소에 방전이 켜질 것인지 꺼질 것인지의 정보(벽전압의 형태)를 형성해서 Display의 구간에서 유지 방전을 통해 화면을 구현하는 개념이다. 그러나 어드레스 동작을 수행하기 전에 모든 화소는 동일한 상태에 있어야 하므로 초기화구간(Reset)이 필요하다.

먼저 이러한 Reset 구간의 요구 조건을 간단하게 살펴보면,

첫째, 초기화 구간은 TV의 화면을 구현하는 빛을 방출하는 데 기여하는 구간이 아니라 오히려 배경의 빛(back-



(a) Conventional Sub-field method

(b) ADS Sub-field method

[그림 1] (a) 기존의 Sub-field 방식과 (b) ADS를 이용한 Sub-field 방식의 Timing chart

ground emissions)을 방출하여 화질을 결정하는 중요 요소인 Contrast 특성을 저하시킨다. 따라서 Reset 구간에서 방출되는 빛은 작을 수록 좋다.

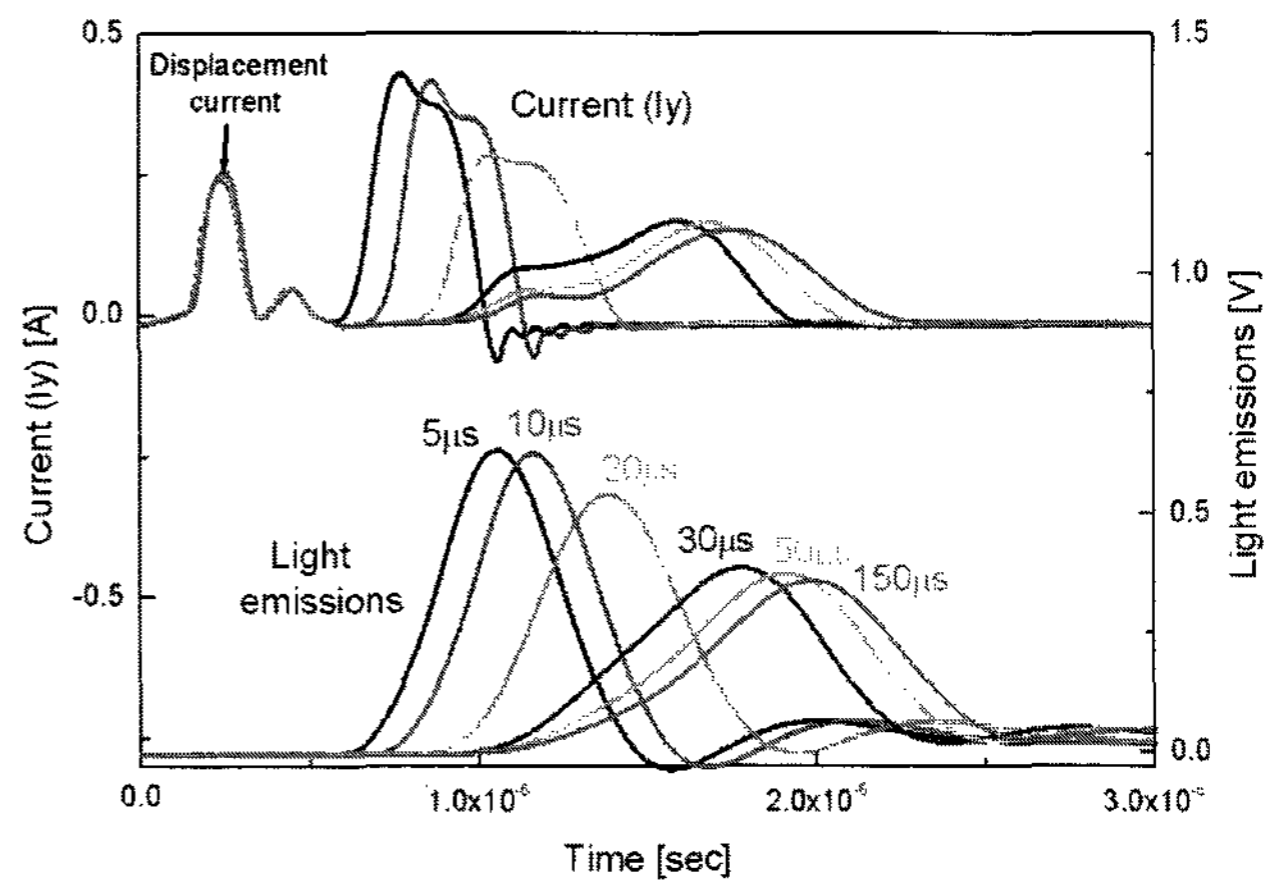
둘째, Reset 구간은 어드레스 방전과 유지(서스테인) 방전의 초기 상태를 결정하는 역할을 하게 되므로 가능한 한 어드레스 방전과 유지 방전을 효과적으로 수행할 수 있는 최적 조건을 만들어 주는 것이 필요하다. 여기서 최적 조건이라 함은 하전입자와 벽전압이다. 우선 방전을 안정적으로 빠르게 형성하기 위해서는 초기의 하전입자가 안정적으로 공급될 수 있어야 하며, 또한 벽전압을 효과적으로 형성한다면 외부의 인가 전압을 낮출 수 있다.

### 1) 하전 입자 공급의 측면

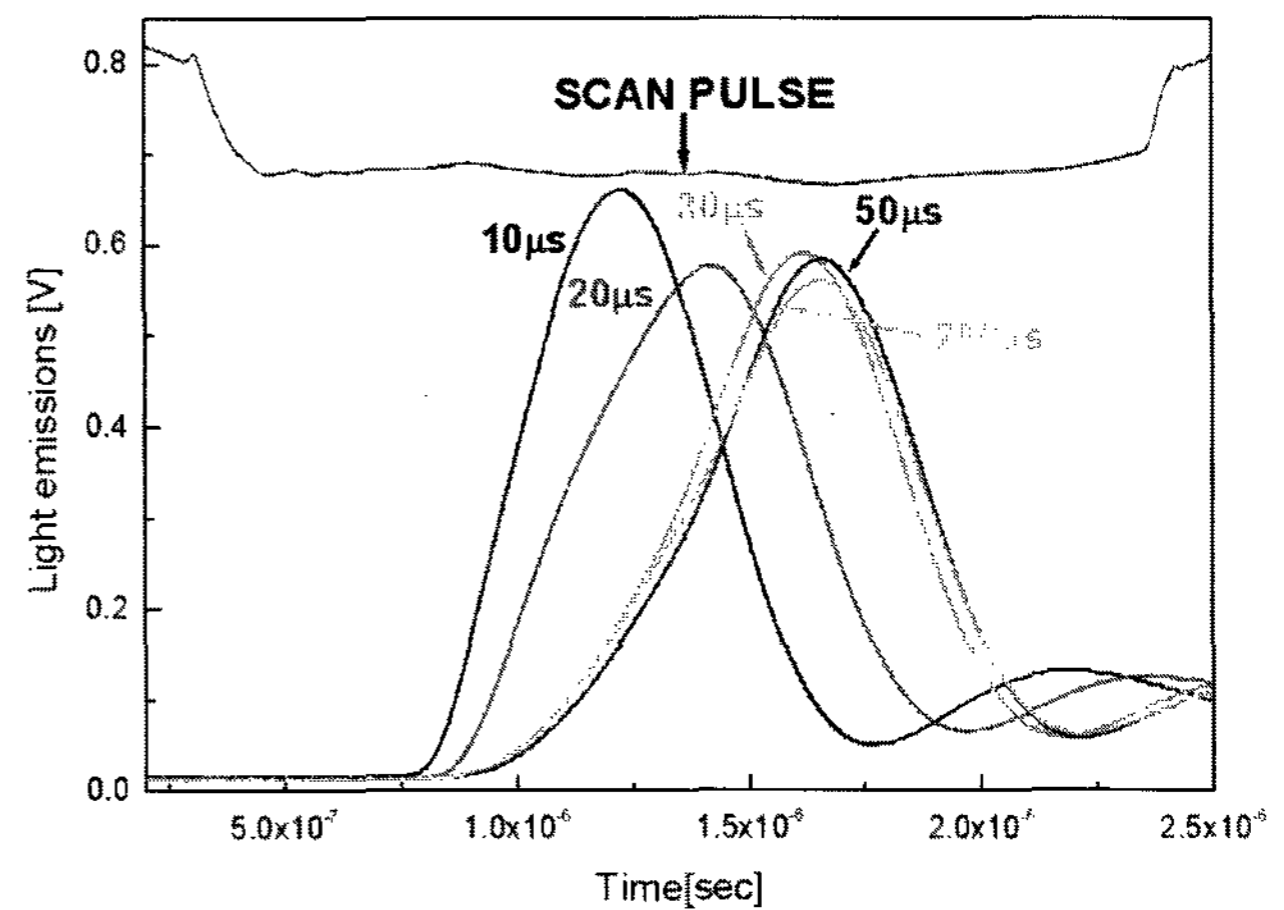
PDP TV에는 수백만 개의 화소가 있고, 각 화소에는 제조 공정에 기인하는 특성의 편차와 방전의 통계적 편차가 존재하게 된다. 또한 이러한 화소들은 다양한 환경 조건에서 안정적으로 동작해야 한다. 방전은 특성상 초기에 전계에 의해 에너지를 얻을 수 있는 전자나 이온이 반드시 존재해야 하며, 이러한 초기의 하전 입자들은 동작 특성에 많은 영향을 주게 된다. [그림 2]의 (a)와 (b)에 강방전(어드레스 방전)과 약방전(Reset 방전)후의 하전 입자 효과에 대한 실험 결과를 나타내었다. 즉 [그림 2](a)에서는 어드레스 방전 후에 첫 번째 유지 방전 사이의 경과 시간을 변경하면서 유지 방전에서 발생하는 광 출력과 전류 파형을 측정된 결과이다. 강한 방전에 의한 하전 입자 효과는 방전의 형성 시간을 단축시킬 뿐만 아니라 방전의 형태 역시 방전 강도를 크게 형성하고 빨리 소멸되는 것을 알 수 있다. 그러나 그림에서는 나타내지 않았지만 대략 200  $\mu\text{sec}$  정도가 되면 강한 방전에 의한 하전 입자 효과가 매우 작아진다. [그림 2](b)는 Reset 방전 후 경과 시간을 변경하면서 어드레스 방전을 형성하는 경우의 광 출력을 나타낸 것이다. Reset 방전과 같이 약한 방전의 경우에 있어서도 30  $\mu\text{sec}$  이내의 시간에서는 하전 입자의 효과가 많은 영향을 미치게 되는 것을 알 수 있다. 그러나 이 결과에서 표시된 광 출력은 512번의 평균 파형이고, 1msec를 주기로 하전입자를 공급해 주는 조건이기 때문에, PDP가 다양한 가혹 조건에서 통계적으로 단 한번의 오 방전을 일으키지 않으면서 낮은 어드레스 전압 조건에서 안정적인 동작을 하기 위해서는 하전 입자의 공급 메커니즘은 반드시 필요하다고 할 수 있다.

### 2) 벽전압의 측면

어드레스 방전은 Address 전극(A)에 인가 되는 전압에 의해 스캔 전극(Y)과 AY 방전을 일으키고 이 방전에 의해 유지되는 유지 전극간의 방전(XY 방전)에 의해 유지 방전에 적합한 조건으로 벽전압이 다시 형성된다. 따라서 초기 조건인 Reset 구간에서는 가급적 AY 사이에는 벽전압을 높게 형성시켜 주는 것이 어드레스의 전압을 낮출 수 있으므로 효과적이다. 그러나 XY 전극간의 벽전압은 서스테인 구간에서 어드레스 방전에 의해 벽전압이 형성된 화소는 유지 전압에 의해 방전이 일어나야 하며, 어드레스 동작이 없



(a) 강방전(어드레스 방전)이 유지 방전에 미치는 하전 입자 효과



(b) 약방전(Reset 방전)이 어드레스 방전에 미치는 하전 입자 효과

[그림 2] (a) 강방전과 (b) 약방전에 의한 하전 입자 효과

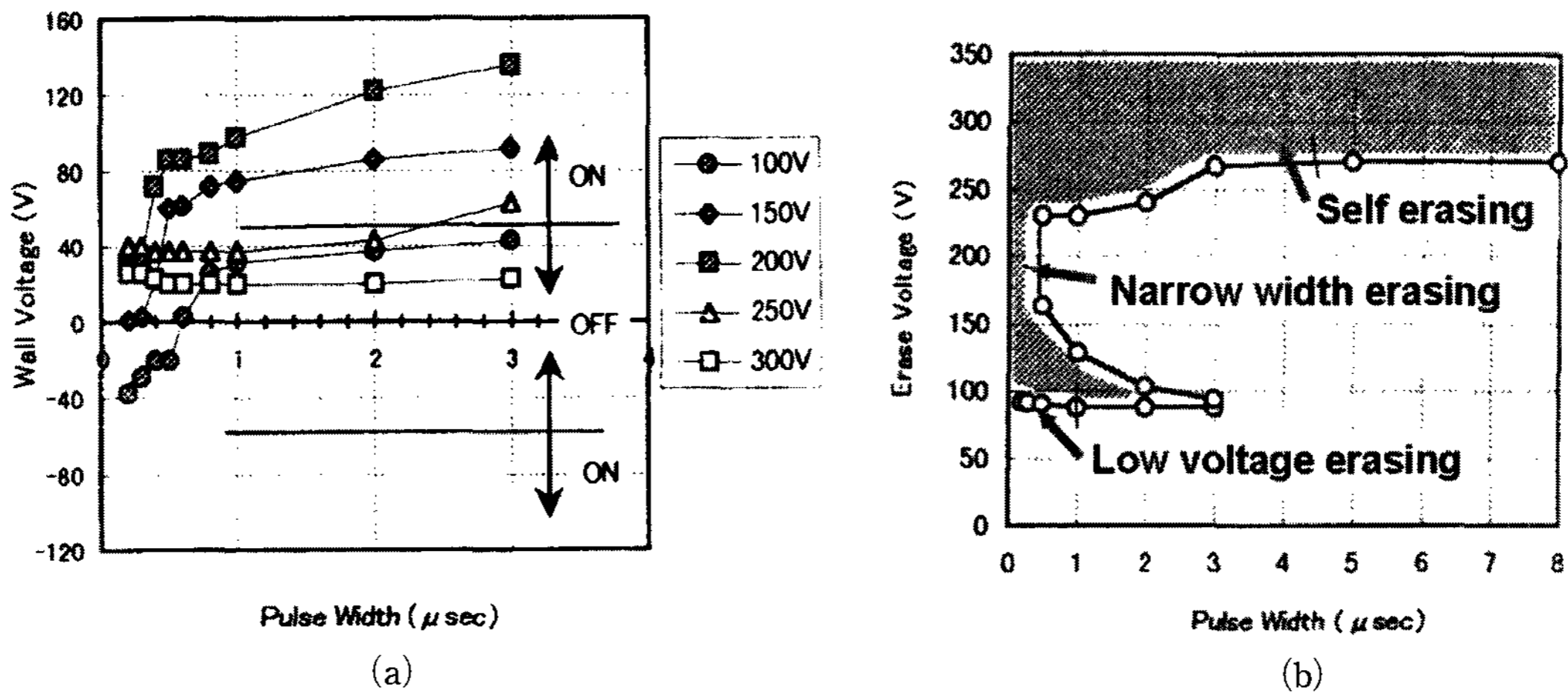
었던 화소는 방전이 일어나지 않아야 하므로, Reset 구간에서 유지 전극간에 형성되는 벽전압은 낮은 상태에 있어야 한다. 따라서 결론적으로 정리하면 Reset 구간에서 형성되는 AY간의 벽전압은 높을 수록 좋고 XY간의 벽전압은 작을수록 좋다. 물론 이러한 조건은 현재 사용되는 어드레스와 서스테인 파형에 국한되어 적용할 수 있다.

### 3) 배경광 저감의 측면

현재 PDP 파형의 많은 개선을 통하여 5000:1 이상의 Contrast 특성이 달성되었다. 이것을 달리 말하면 Reset에서 방출되는 빛을 저감한 것이고, 따라서 Reset 방전을 그만큼 효과적으로 제거한 것이다. 그러나 앞서 설명한 것처럼 Reset 방전이 없어진 것은 하전 입자의 공급적인 측면에서 볼 때 구동의 안정성이 저하된 것이므로, Contrast의 특성 향상과 구동의 안정성간에는 상호 Trade-off가 존재하게 된다.

## 2. Reset 파형의 발전 단계

결국 Reset 구간의 목적은 이전 유지 구간에서 켜졌던 화



[그림 3] 소거 펄스 폭과 전압에 따른 (a) 벽전압 형성 특성 (b) 동작 영역

소(On-cell)와 꺼졌던 화소(Off-cell)간의 차이를(벽전압의 차이) 제거해서 어드레스 동작을 할 수 있는 최적의 환경을 제공하는 것에 있다. 따라서 그러한 최적의 환경을 어떻게 효과적으로 제공하는가 하는 방법이 핵심이라고 할 수 있다.

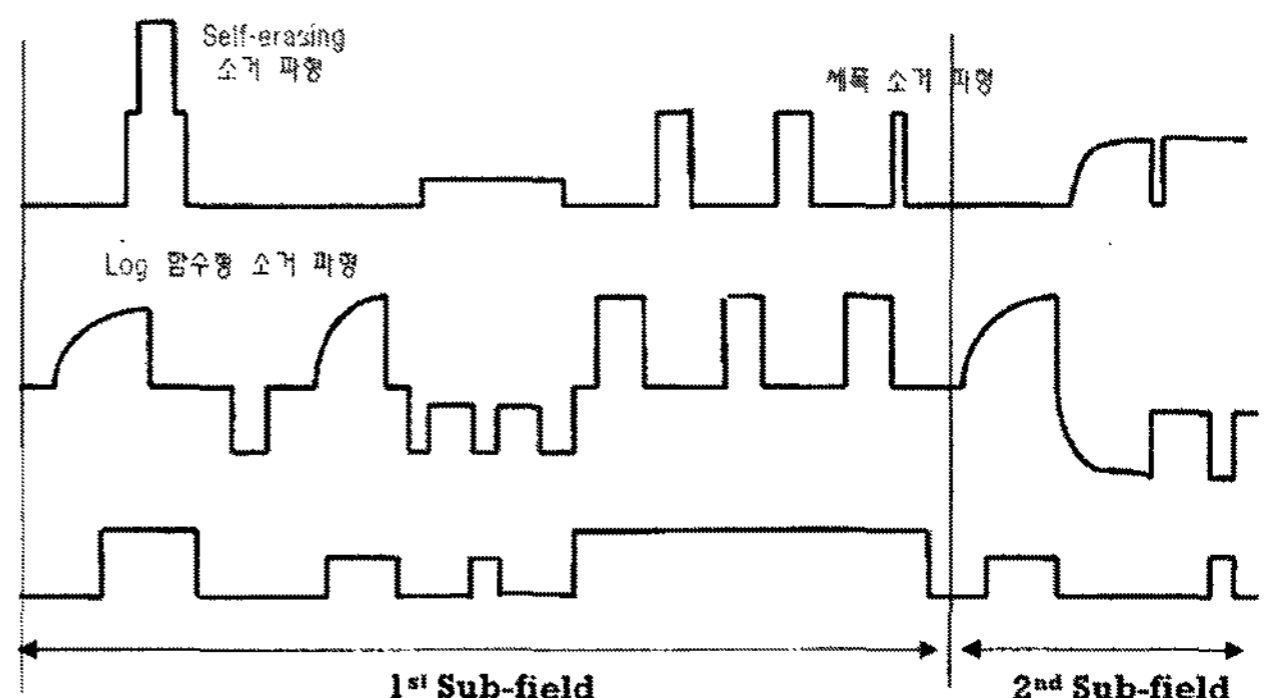
1) 방전 형성의 메커니즘

PDP 구동 파형의 초기 개발 단계에 있어서, 초기화는 주로 구형파의 전압의 크기와 펄스의 폭에 의해 벽전압을 제거하는 관점에서 이루어져 왔다. 즉, 기본적으로 화소내의 벽전압은 방전에 의해 중성화되는 기간을 거친 후에 다시 극성이 반전되는 단계를 거치게 된다. 따라서 벽전압을 제거하는(중성화) 관점에서 낮은 전압으로 방전을 일으켜서 벽전압의 극성을 반전시킬 수 있을 만큼 충분한 입자를 형성하지 못하게 하거나(저전압 소거 방식), 방전의 형성 시간을 제한해서 벽전압을 제거하는 방식(세폭 소거 방식)을 이용하였다. 그러나 이러한 방식은 화소간의 편차에 효과적으로 대응하기 어렵고, 통계적으로 안정적인 동작 영역을 확보하기 어려운 단점을 갖고 있었다. 이러한 단점을 효과적으로 극복한 파형이 Self-erasing 소거 방식이다. 이 방식은 매우 높은 전압으로 방전을 일으키면 방전에 의해 형성된 내부의 벽전압이 화소의 방전 개시 전압 이상으로 형성되어 인가된 펄스가 다시 GND로 떨어질 때(외부에서 인가되는 전압이 0V가 될 때) 내부의 벽전압만으로 자체 방전을 일으키는 방식이다. 이때 일어나는 자체 방전을 Self-Erasing 방전이라고 하며, 이 방전은 기본적으로 저전압 소거 방식과 같은 개념이나, 강방전에 의한 강한 하전입자 효과와 벽전압 형성 특성 때문에 넓은 범위의 전압에 대해 안정적으로 벽전압을 소거할 수 있는 장점을 갖고 있다.

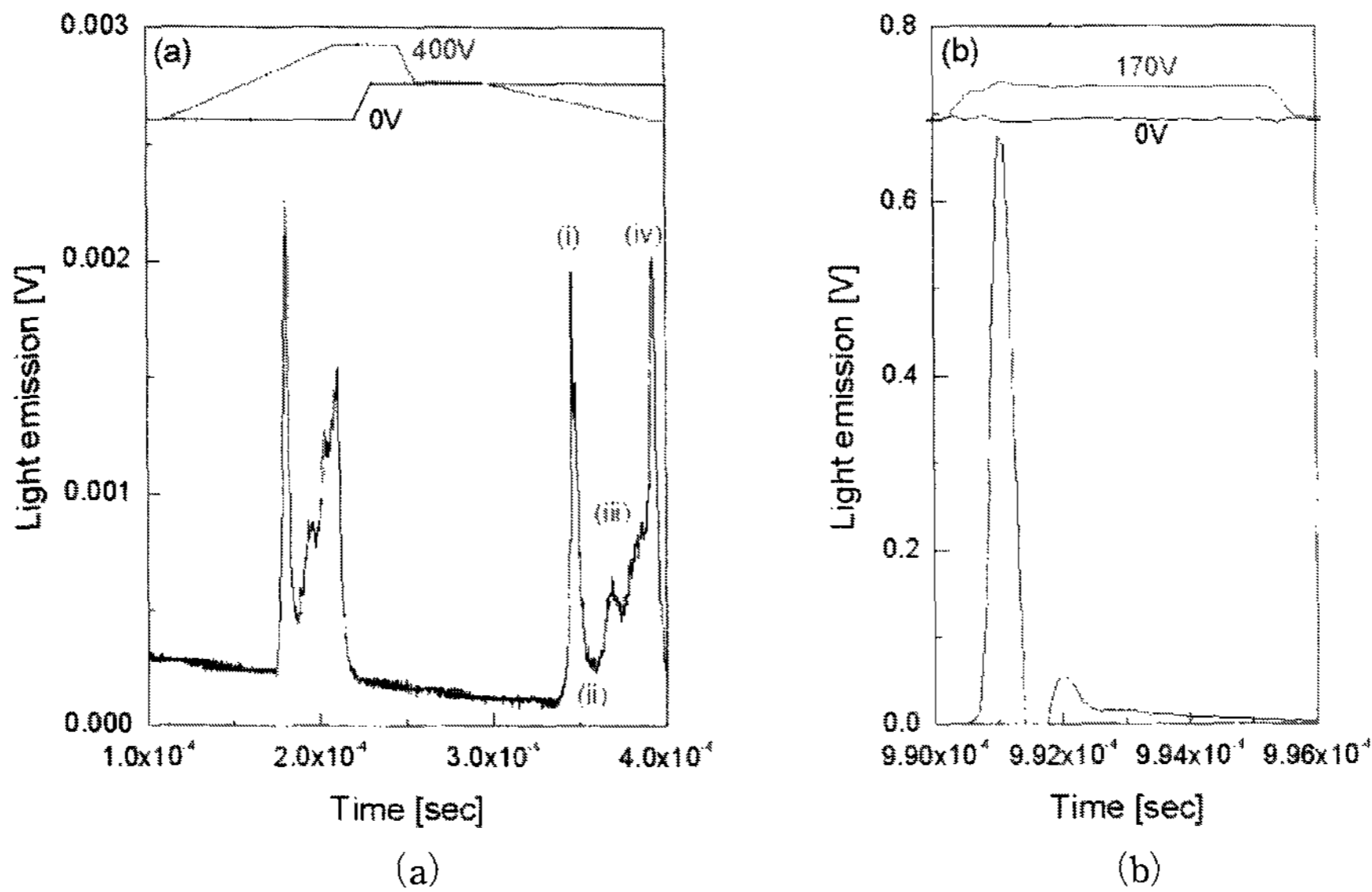
[그림 3](a)와 (b)에 앞서 설명된 3가지 방식의 Erasing의 원리를 잘 이해할 수 있는 실험 결과를 인용하였다. [그림 3](a)는 소거 펄스의 폭과 전압에 따른 벽전압의 형성양을 나타낸 결과이다. 물론 그림에서 표시된 OFF영역(안정적인 어드레스 동작을 위한 소거 벽전압의 형성 범위)는 동작 파형의 형태나 조건에 따라서 달라진다. 소거 펄스

의 폭이 1 μsec보다 짧은 경우, 비교적 넓은 소거 전압에 대해서 벽전압의 형성양을 OFF 영역으로 제한할 수 있으며, 100 V와 같이 낮은 소거 전압에 대해서는 비교적 넓은 소거 펄스의 폭에 대해서 벽전압의 형성양을 OFF 영역으로 제한할 수 있음을 알 수 있다. 또한, 300 V 정도의 높은 전압의 소거 펄스를 인가하면 상당히 안정적으로 벽전압을 제어할 수 있음을 알 수 있다. 이것을 다시 정리하면 [그림 3](b)와 같이 소거 펄스의 전압과 펄스 폭에 대해 안정적으로 동작하는 영역(회색 영역)을 표현할 수 있는데, Self-Erasing 영역이 매우 안정적인 초기화 능력을 갖는 것을 알 수 있다.

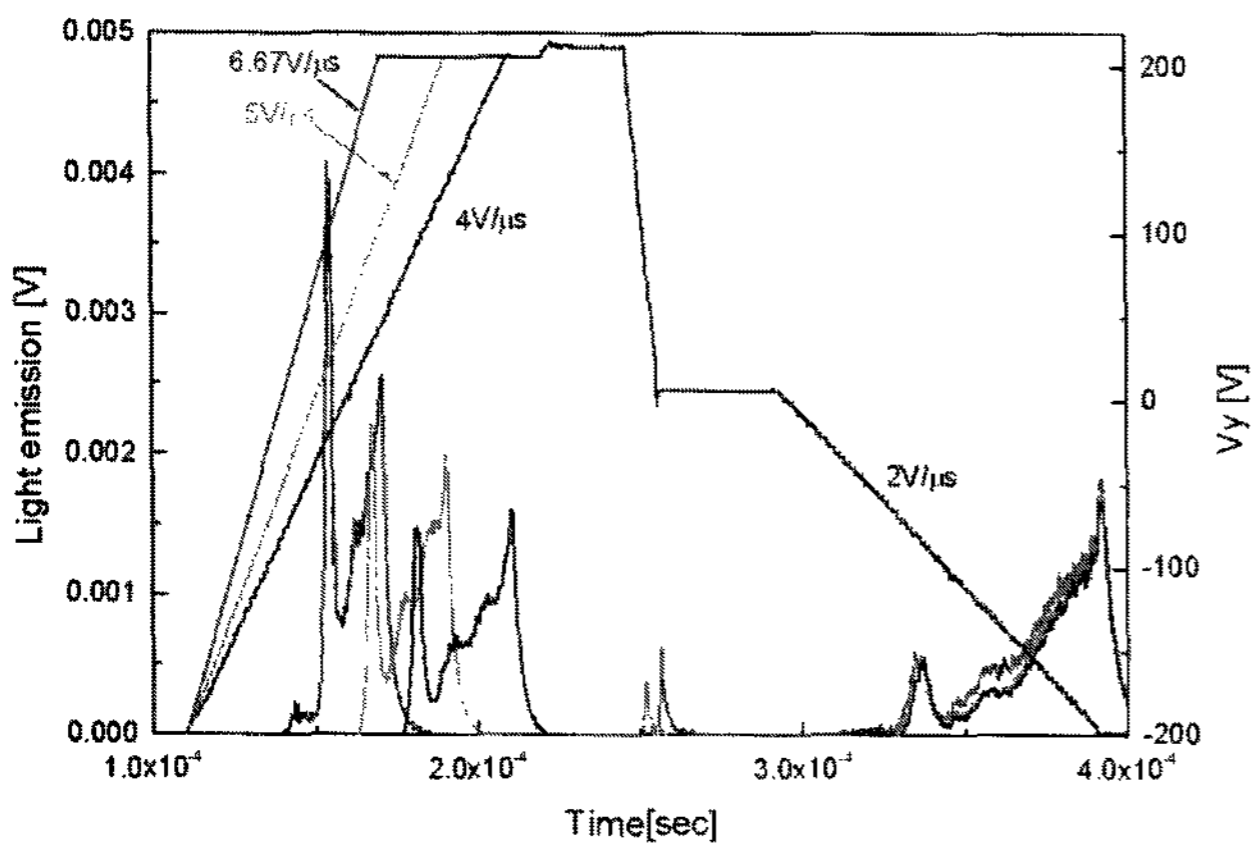
이러한 초기화 파형의 발전 단계에서 상업화에 최초로 성공했던 파형이 [그림 4]에 나타낸 Fujitsu의 초기 파형이다. 이 파형의 특징은 크게 2가지로 요약할 수 있는데 첫째는 앞서 설명된 Self-Erasing 방식을 통해서 초기화를 달성하는 것이고, 둘째는 Log 함수형 파형을 이용하여 화소간의 편차에 의한 벽전압 특성을 보정한 것에 있다. 즉, 이 파형의 기본 개념은 Self-Erasing이라는 방전이 벽전압을 효과적으로 제거할 수 있다는 성질을 이용한 것이다. 다시 말하면 이전 유지 방전에서 On-cell이나 Off-cell 모두를 Self-Erasing이라는 방식으로 방전을 일으켜서 벽전압을 모두 없애주는 이른바 초기화에 목적이 있었다. 따라서 Self-Erasing이라는 방전이 매우 높은 전압에서 강한 방전을 통해 이루어 지므로 배경광의 강도가 높아서 Contrast의 특성



[그림 4] Fujitsu의 초기 파형



[그림 5] (a) Ramp 파형과 (b) 구형파에 의해 형성되는 방전에서의 광출력



[그림 6] Ramp 파형에 의한 광출력 파형

이 저하 되었으며, 벽전압을 제거하는 개념이므로 어드레스 방전을 일으키기 위해 매우 높은 어드레스 전압이 필요했었다.

이러한 측면에서 Dr. Weber가 제안한 Ramp형 파형을 이용한 reset 파형은 매우 효과적인 해결책이었다. [그림 5] (a)와 (b)에 Ramp 파형과 구형파에 의한 광출력을 표시하였다. 비록 방전의 발광 시간이 수 십배 증가했지만 방전의 발광 강도가 수 백배 감소한 것을 알 수 있다. 즉, 배경광의 저감의 측면에서 획기적으로 개선된 것을 알 수 있다. 그리고 이것보다 더 중요한 특성은 Ramp 파형에 의한 방전에서는 벽전압의 형성을 용이하게 제어할 수 있다는 것에 있다. [그림 6]은 Ramp Up 구간에서 Ramp 파형의 기울기를  $4V/\mu s$ 에서  $6.67V/\mu s$ 로 바꾸면서 Ramp 구간에서 방출되는 광출력을 측정한 결과이다. 이 그림이 의미하는 바는 Ramp Down 구간에서 방전이 시작되는 시점이 화소 내부의 벽전압과 외부의 인가전압의 합이 방전 개시 전압으로 생각할 수 있으므로, Ramp Up 구간에서 형성된 벽전압의 양이 Ramp의 기울기가 충분히 낮다면 언제나 같은 양의 벽전압이 형성된다는 사실을 보여주는 것이다. 즉, Ramp

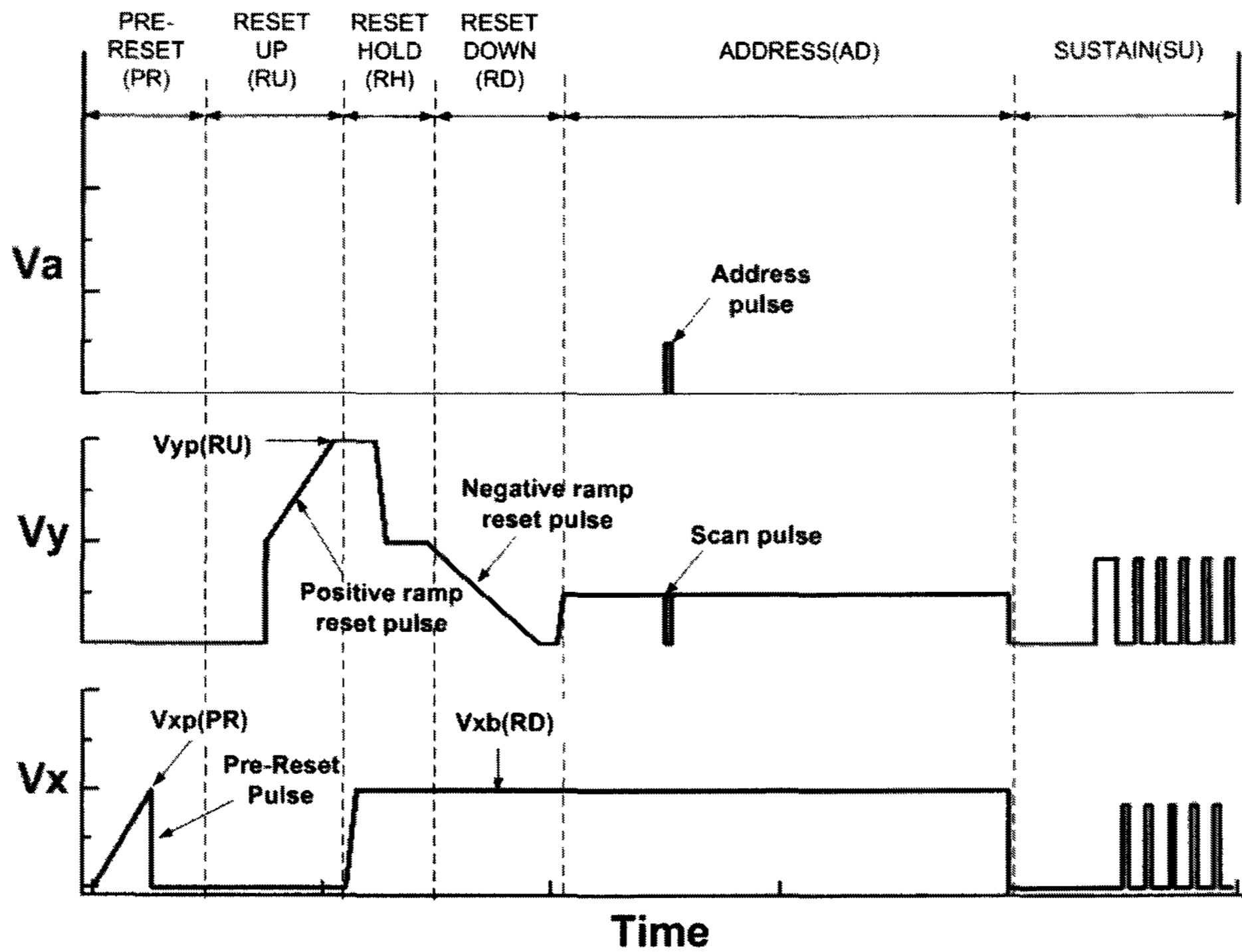
Reset 파형의 특징은 배경 광을 낮출 수 있는 장점을 갖는 동시에, 기존의 벽전압을 제거하는 개념을 탈피하여 On-cell과 Off-cell간의 벽전압을 균일화(Standardizing) 하는 것에 있으며, 앞서 설명된 벽전압의 효과적인 환경을 구현한 것에 큰 의의가 있다.<sup>[19],[20]</sup>

(1) Ramp Reset을 이용한 Driving Scheme<sup>[21],[22],[23],[24]</sup>

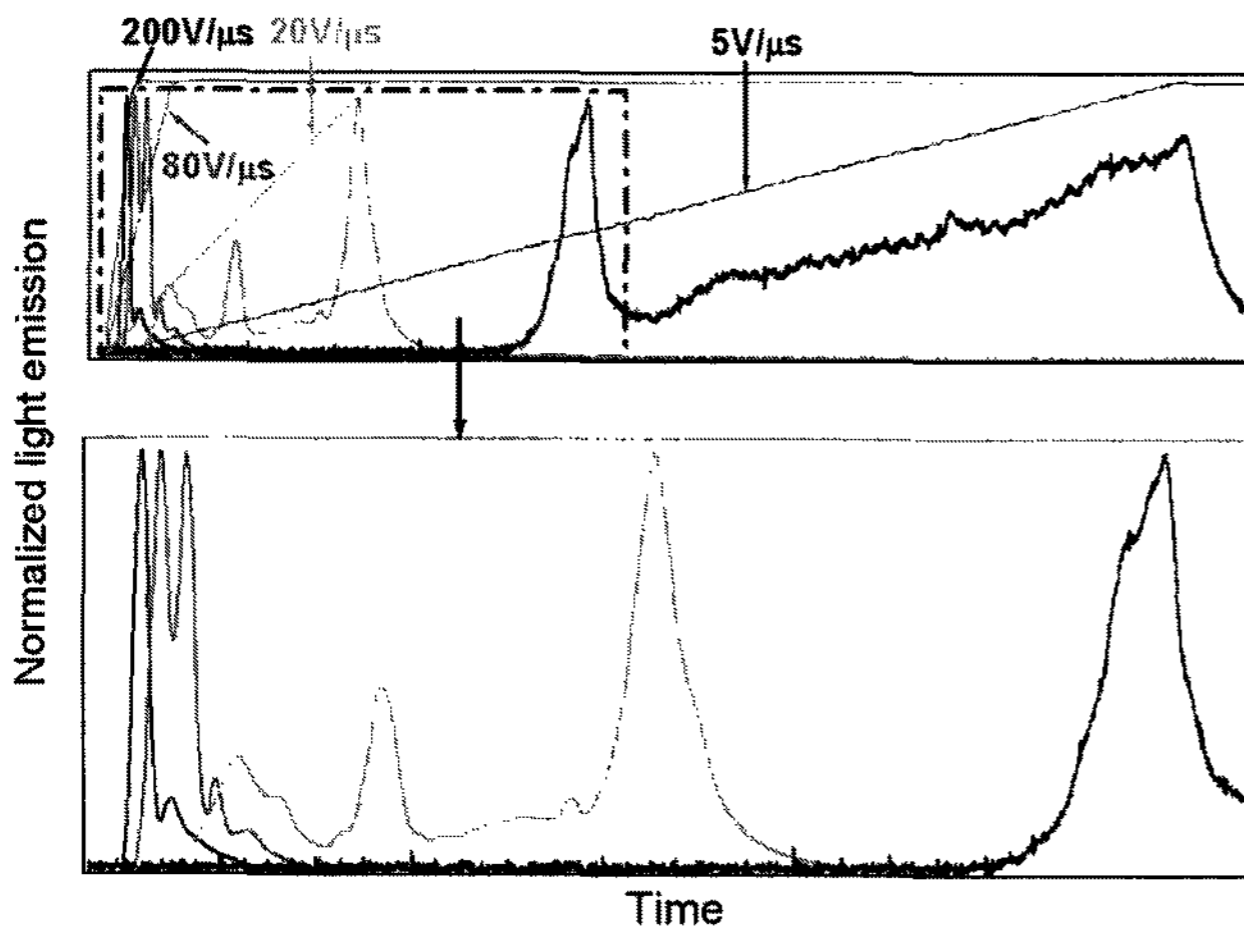
[그림 7]에 초기의 Ramp 파형을 나타내었으며, 초기화 구간에서 Y 전극에 2개의 Ramp가 인가된다. Ramp 파형상의 바이어스 전압은 방전을 일으키지 않는 조건에서 Ramp 파형의 단점인 시간을 단축하기 위해 적용되었다. 뒤에서 다시 설명이 되겠지만 Reset 구간전의 Pre-Reset 구간은 역할적인 측면에서는 화면의 표시를 위한 발광을 하므로 서스테인 구간에 포함되는 것이 적합하나 기능적인 측면에서는 유지전극간의 벽전압을 초기화하는 데 목적이 있으므로 편의상 Pre-Reset 구간으로 표현하였다. Pre-Reset 구간에서 X 전극상에 인가되는 Ramp 파형은 서스테인 구간에서 유지 방전이 일어났던 화소내의 벽전압을 제거하여 벽전압의 상태를 Off-cell과 같게 만드는 데 그 목적이 있다.<sup>[20]</sup>

(2) Ramp 파형에 의한 방전 특성 및 동작 원리

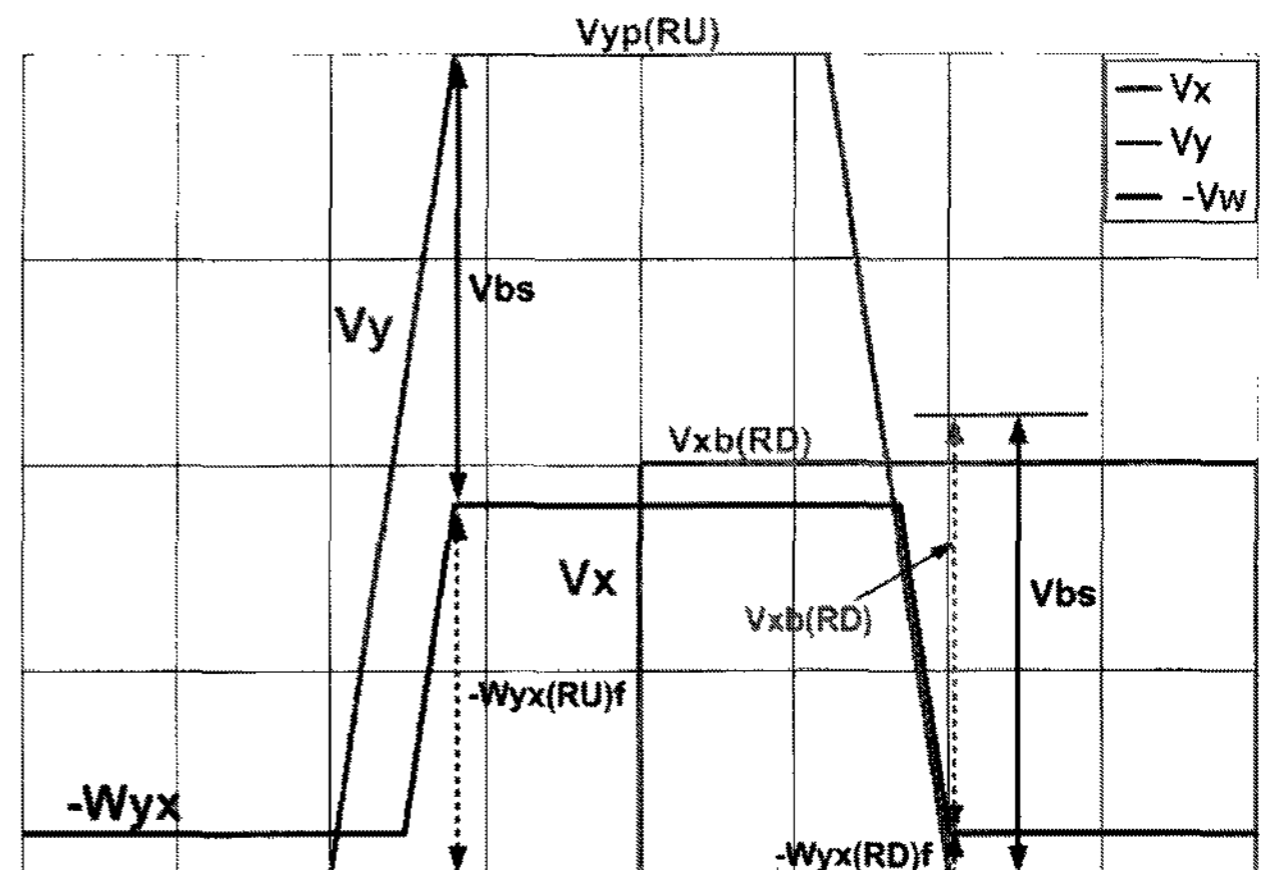
[그림 8]에 Ramp의 기울기에 따른 광출력을 보여주고 있다. 광출력의 크기는 Ramp의 기울기가 증가함에 따라 크게 증가하지만 편의상 정규화하여 표시하였다. Ramp의 기울기가 충분히 큰 경우( $200V/\mu s$ ) 방전에 의한 벽전압의 변동분이 유지 방전의 경우와 같이 상당히 커서 벽전압의 극성이 반전되기 때문에 Ramp 파형의 전압이 증가하더라도 다시 방전을 일으킬 수 있는 조건을 만족하지 못해서 방전이 한번만 일어남을 알 수 있다. 그러나 Ramp 파형의 기울기가 ( $80V/\mu s$  또는  $20V/\mu s$ )의 경우에 있어서는 벽전압의 변동분이 작아져서 Ramp 파형의 전압이 증가하게 되면 다



[그림 7] 초기의 Ramp 파형



[그림 8] Ramp의 기울기에 따른 광출력



[그림 9] Ramp 파형의 동작 원리

시 방전을 일으킬 수 있는 조건을 만족해서 다시 방전을 하게 되는 것을 알 수 있다. 이때 Ramp 파형의 기울기가 충분히 낮게 되면(보통  $8V/\mu s$  이하) 방전에 의한 벽전압의 변동분이 매우 작아지게 되고 외부에서 인가되는 Ramp 파형의 전압이 약간 증가하게 되면 다시 재 방전을 일으키게 된다. 따라서 [그림 8]의  $5V/\mu s$ 의 경우에는 이러한 재방전이 연속적인 것처럼 나타나게 된다. 따라서 충분히 낮은 기울기의 Ramp 파형에 의해 Reset 방전을 일으키면 외부의 Ramp 파형의 인가전압과 내부의 벽전압의 합이 항상 화소의 방전 개시 전압의 조건을 만족하게 되므로 화소내의 벽전압을 안정적으로 제어할 수 있다.

[그림 9]에 Dr. Weber에 의해 소개된 Ramp 파형의 동작 원리를 도시하였다. 기본적으로 앞서 설명된 것처럼 Ramp 방전이 종료되는 시점에서의 벽전압은 [그림 9]에서

처럼 외부의 Ramp 파형에 의한 인가 전압과 내부의 벽전압이 방전 개시 전압이 된다는 관계식을 통해 쉽게 예측될 수 있다. 물론 [그림 9]의 파형에 의해 Ramp 방전이 일어났다는 전제가 필요하지만 일반적으로 [그림 9]의 파형은 Ramp 방전을 일으키는 충분한 조건이므로, 이 파형에서 Ramp Up 후의 시점에서의 벽전압  $W_{yx}(RU)f$ 와 Ramp Down후의 시점에서의 벽전압  $W_{yx}(RD)f$ 는 화소의 방전 개시 전압을  $V_{bs}$ 로 정의하면 다음의 관계식을 통해 예측될 수 있다.

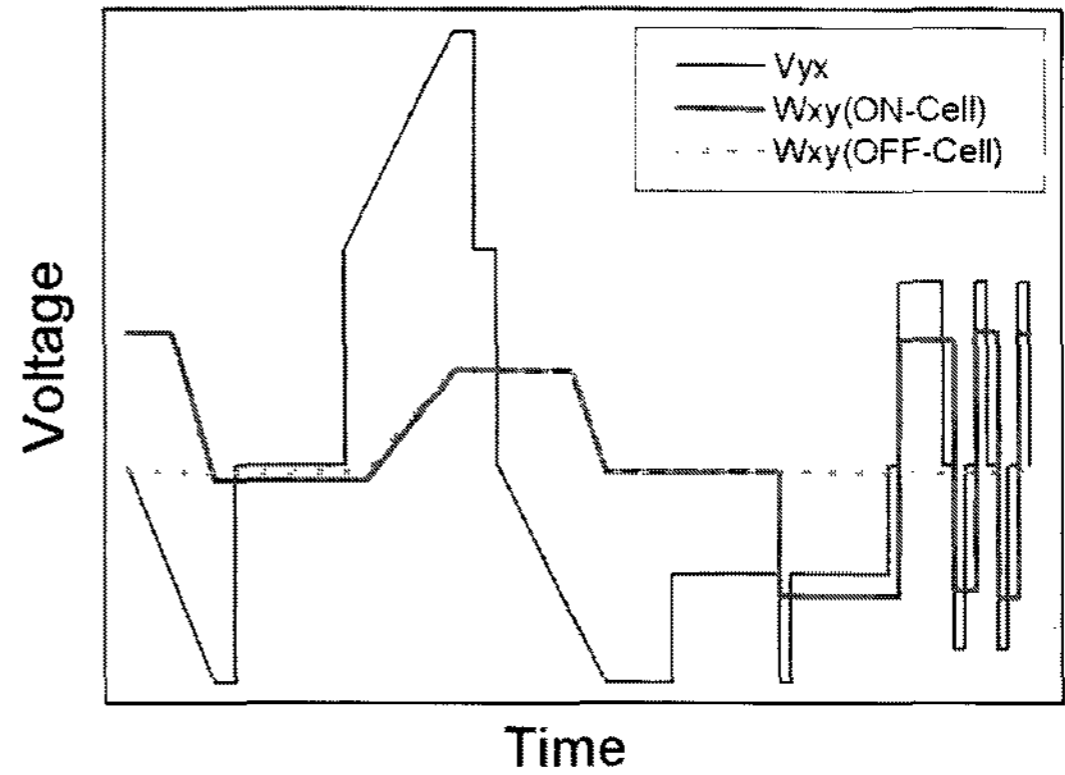
$$\begin{aligned} W_{yx}(RU)f + V_{yp}(RU) &= V_{bs} \\ -W_{yx}(RD)f + V_{xb}(RD) &= V_{bs} \end{aligned}$$

따라서 Reset 구간에서 각 전극에 인가되는 전압의 적정 값을 [그림 7]의 파형에 대해 XY와 YA의 2단자로 단순화

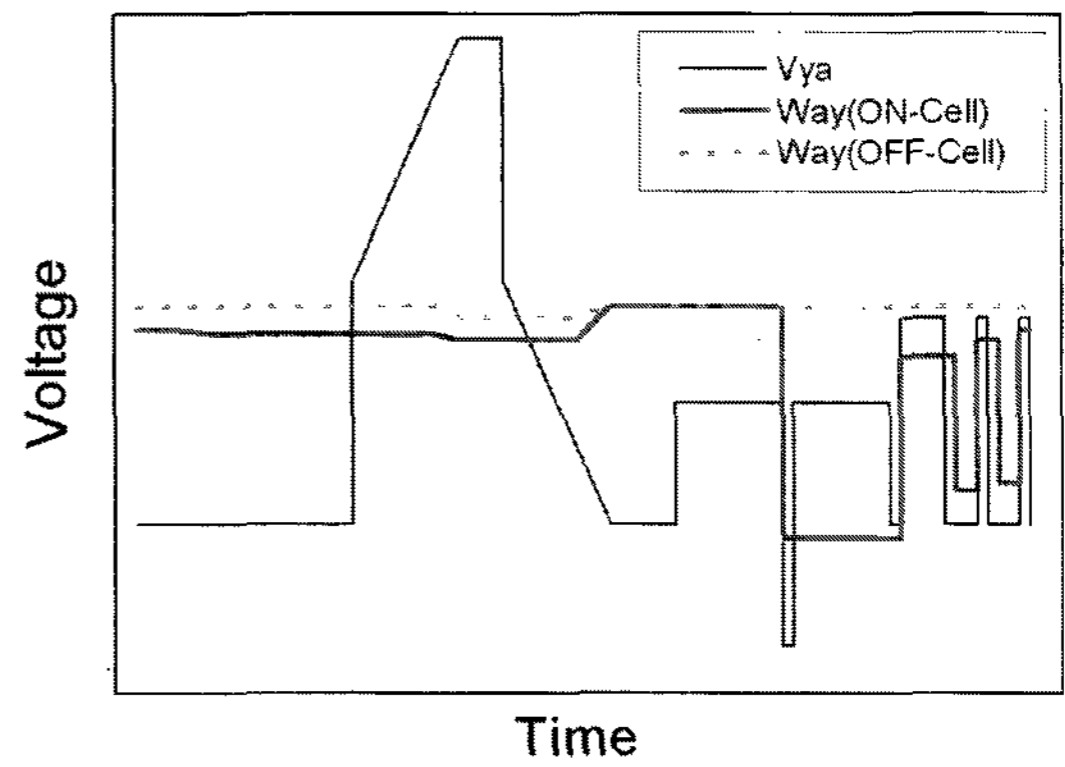
해서 계산해보면, X전극의 Ramp Down 구간에 인가되는 바이어스 전압[Vxb(RD)]의 전압은 XY간의 방전 개시 전압(Vbs)과 같은 전압을 인가하게 되면 Reset 방전의 종료 시점에서 XY 전극간의 벽전압[Wxy(RD)f]이 0이 될 것이다. 또한, AY전극간의 최종 벽전압[Way(RD)f]은 AY간의 방전 개시 전압(Vba) 만큼 형성되는 것이 효과적이므로 Ramp Up 구간에서 Way(RU)f를 Vyp(RU)-Vba 만큼 형성하면 Ramp Down구간에서는 Ramp 방전을 일으키는 전압 조건을 만족하지 못하므로, A 전극을 GND로 유지하는 조건에 대해서는 Vyp(RU)를 Vba의 2배에 해당하는 전압으로 설정하는 것이 바람직할 것이다. 물론 여기서 계산된 값들은 다른 전극과의 coupling 효과나 그 밖의 부가적인 요인들을 배제하고 단순히 2단자의 상호 관계에서 계산된 값으로 실제적인 값과는 차이가 있다. 그러나 이러한 방식을 통해서 근사적인 값을 예측할 때는 효과적이라고 할 수 있다.

(3) Reset 구간의 초기 조건

기본적으로 Reset의 초기 조건은 유지 방전이 끝나는 시점(Pre-reset)에서의 벽전압의 상태이다. 따라서 어드레스 구간과 서스테인 구간에서의 벽전압의 변동 특성을 이해하는 것이 중요하다. [그림 10](a)와 (b)에 XY와 AY 전극간의 벽전압 변동 특성을 전체 구간에 대해 대략적으로 표시하였다. 물론 아직 완전히 검증된 결과가 아니고, 특히 Reset 구간에 대해서는 좀 더 많은 연구가 필요하지만 효과적인 이해를 위해서 표시했음을 이해하기 바란다. 어드레스 구간과 서스테인 구간에서의 벽전압 변동 특성은 어드레스 전압과 서스테인 전압에 크게 의존하게 되고, Reset 구간에서도 전압 조건과 기울기 등에 의존하게 되므로 본고에서는 Reset의 초기 조건인 Pre-reset 구간에 대해서 간략하게 설명하고자 한다. [그림 10](a)에서와 같이 서스테인 구간에서의 On-cell과 Off-cell 간의 XY 전극간의 벽전압의 차이는 Pre-reset 펄스에 의해 제어 될 수 있다. 문제는 AY간의 벽전압의 차이를 규격화 하는 것에 있는데, 먼저 Off-cell의 경우는 어드레스와 서스테인 방전이 없었으므로 Reset 구간의 종료 시점에서의 벽전압 상태를 유지하고 있다. 그런데 [그림 10](b)에서처럼 유지 방전이 끝나는 시점에 있어서 AY간의 벽전압(Way)도 유지 방전에 의해 상당히 높은 벽전압이 형성되게 된다. 따라서 이러한 벽전압의



(a) 유지전극간의 벽전압(Wxy)의 변동 특성



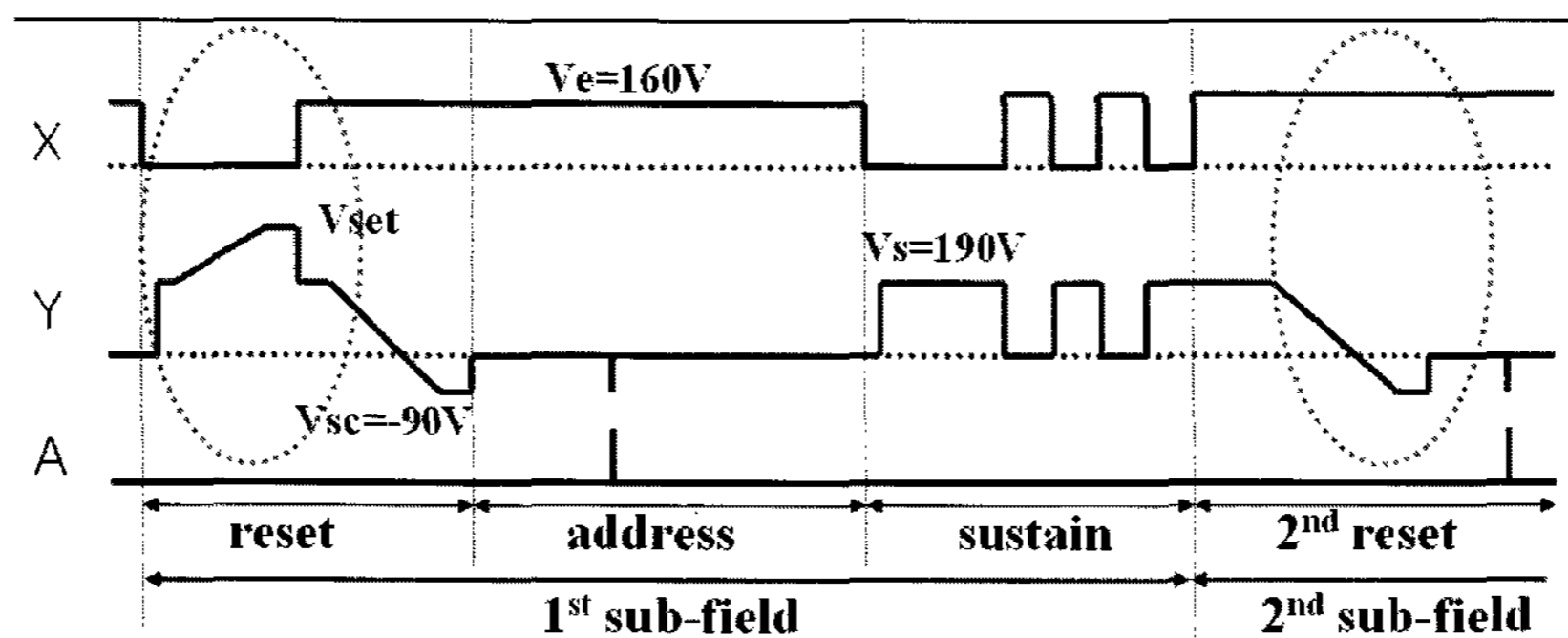
(b) 어드레스 전극과 스캔 전극간의 벽전압(Way)의 변동 특성

[그림 10] 전체 구간에서의 벽전압 변동 특성

특성 이해를 통해서 [그림 7]의 파형에 있어서도 두 번째 서브 필드에서부터는 Ramp 파형에 의한 초기화 과정이 필요 없으며 이러한 원리에서부터 3000:1 이상의 높은 콘트라스트 특성을 갖는 Selective Erasing Ramp Reset 파형이 개발되었다.

(4) Selective Erasing Ramp Reset 파형의 분석<sup>[26]</sup>

파형 기술은 주로 기업에 의해서 개발되고 있고, 더욱이 이러한 기술은 Know-how에 해당하기 때문에 최신 파형에 대한 자료를 많이 접할 수가 없었다. 따라서 본고에서는 Selective Erasing Ramp Reset 방식에 대해서만 간략하게 설명하고자 한다.



[그림 11] Selective Erasing Ramp Reset 파형 (Matsushita)

[그림 11]의 Selective Erasing Ramp Reset 파형은 앞서 설명된 [그림 7]의 파형과 사실은 똑 같은 개념의 파형이다. 다만 XY 전극간의 초기화를 담당하는 Pre-reset pulse를 X 전극에 인가하지 않고 Y 전극에 인가했기 때문에 Y 전극의 전압이 GND에 대해서 음의 전위를 갖게 되고, 이것을 reset 구간에서도 동일한 값을 갖게 해야 되기 때문에  $V_{sc}$  역시 음의 전위로 설정해야 한다. 다만 이 파형이 앞서 설명된 [그림 7]의 기본 파형과 다른 점은 Ramp의 종료 시점에서의 각 전극간의 전위차이다. 기본적으로 [그림 11]에서 표시된 전압의 값은 화소의 방전 전압 특성에 의존하므로 크게 중요하지 않다. 다만 이 파형의 Ramp의 종료 시점에서 A와 Y 전극상의 전위차( $V_{ay}$ )가 -90 volt로 [그림 7]의 파형에서  $V_{ay}$ 가 0 이었던 것과 차이를 갖게 된다. 물론 이러한 값들은 화소의 방전 개시 전압 특성에 의존하지만 전극간의 벽전압 형성 특성에도 영향을 미치게 된다.

### III. 결 론

PDP의 구동 파형에서 Reset 파형이 차지하는 중요성은 매우 높다. 또한, 이러한 Reset 방전이 구동의 특성이나 화질의 측면에 영향을 미치는 많은 요인이 되기도 한다. 따라서 현재 Reset 파형에 관한 많은 연구가 활발히 진행되고 있다. 아직 구동 파형에 대한 이해가 많이 부족하지만, Ramp 파형이 아닌 다른 개념의 구동 방식이 개발되지 않는다면, 현재의 Selective Erasing Ramp Reset 방식은 매우 우수한 방식이라고 할 수 있다. 즉 Contrast의 향상의 관점에서만 본다면 초기에 TV를 켜 후 한 번만 벽전압을 초기화 해주면 그 다음부터는 Reset은 필요 없다. 따라서 무한대 : 1의 콘트라스트도 가능하다. 다만 이러한 특성은 기본적으로 일정한 수준 이상의 성능을 만족한다면 충분하므로 어드레스 방전의 안정성을 향상하기 위해서 각 Field마다 한 두번 정도의 Reset을 인가해 주고 어드레스의 방전 특성을 향상 시키는 방향이 오히려 효과적인 방향이라고 생각된다. 또한, Ramp 방전의 특성상 초기화 시간이 오래 걸리는 단점이 있지만, 이러한 문제점 보다는 벽전압의 형성 특성을 최적화해서 어드레스 속도를 향상시키거나 어드레스 전압을 낮추는 연구가 보다 효과적인 분야라고 생각된다. 그리고 궁극적으로는 현재 PDP가 채용하고 있는 Sub-field 방식을 획기적으로 개선해야 할 필요가 있다. 향후 PDP가 Real HD를 single scan이라는 방식으로 CRT를 능가하는 화면을 구현하기 위해서는 효율의 개선은 필수적이지만, 현재 채용하고 있는 ADS Sub-Field 방식의 족쇄를 풀어줄 수 있는 새로운 기술이 개발되어야 한다. PDP가 모든 가정마다 환상적인 화면을 제공할 수 있는 그런 날이 빨리 올 수 있기를 꿈꾸면서 본고가 조금이라도 도움이 될 수 있기를 간절히 희망하는 바이다.

### 감사의 글

이 지면을 통해서 항상 내 옆에서 혹사 당하면서도 끈끌하게 견뎌 준 AWG 시스템을 개발한 FTLAB의 고재준, 김용권 박사님께 진심으로 감사의 말씀을 드리고 싶습니다. 이 훌륭한 발명품을 통해서 이제 조금이나마 PDP를 이해해 나갈 수 있을 것 같습니다. 그리고 언제나 어두운 밤을 환하게 지켜준 신뢰할 만한 Test panel을 제공해 주신 삼성SDI의 허은기 박사님께도 늦었지만 진심으로 감사의 말씀을 드립니다.

그리고 조금이나마 더 도움이 될까 하는 마음으로 본 원고에 제시된 측정 데이터에 오류가 있다면 너그럽게 양해해 주시고, 바로잡아 주시기를 바랍니다.

### 참 고 문 헌

- [1] 이광식, "PDP 기술 동향 Over View", 한국정보디스플레이학회지 제3권 제6호, pp.3-7, 2002.
- [2] 류재화, 김중균, "AC PDP의 고화질화 기술 동향", 한국정보디스플레이학회지 제3권 제6호, pp. 8-12, 2002 .
- [3] 황기웅, 김재성, 서기호, "고화질화 PDP의 기술 동향", 한국정보디스플레이학회지 제3권 제6호, pp.13-18, 2002.
- [4] 이호준, 김동현, 박정후, "플라즈마 디스플레이 고화질 기술", 한국정보디스플레이학회지 제3권 제6호, pp. 19-23, 2002.
- [5] 박승호, 김춘우, "고화질 PDP 구현을 위한 신호 및 영상 처리 기술 동향", 한국정보디스플레이학회지 제3권 제6호, pp. 24-29, 2002.
- [6] 정주영, "플라즈마 디스플레이 시스템 성능 향상 기술 동향", 한국정보디스플레이학회지 제3권 제6호, pp. 30-35, 2002.
- [7] 김민철, "PDP 구동 기술 동향", 한국정보디스플레이학회지 제2권 제4호, pp. 36-47, 2002.
- [8] 서정현, "AC PDP의 구동 방법과 개발 동향", 한국정보디스플레이학회지 제2권 제4호, pp. 48-55, 2002.
- [9] 신범재, 최경철, "Plasma Display Panel 기술 개관 및 동향", 공업화학 전망, 제7권, 제3호, pp.16-34, 2004.
- [10] 신범재, "PDP의 방전구조 설계 기술", 조명/전기설비, Vol. 18, No. 4, pp. 54-64, 2004..
- [11] S. Kanagu, Y. Kanazawa, T. Shinoda, K. Yoshikawa, T. Nanto, "A 31-in.-Diagonal Full-Color Surface ac Plasma Display Panel", Proc. SID'92 Dig., pp. 713-716, 1992.
- [12] K. Yoshikawa, Y. Kanazawa, M. Wakitani, T. Shinoda, A. Ohtsuka, "A full color AC Plasma

- Display with 256 Gray Scale”, Proc. Japan Display’92 Dig., pp.605-608, 1992.
- [13] Yoshikazu Kanazawa, “Plasma Display Panel Device and Method of Driving The Same”, US Patent, 5,436,634, 1995.
- [14] Bhum Jae Shin, Kyung Cheol Choi, Ki-Woong Whang, “Characteristics of a wall voltage during sustain period in AC Plasma Display Panels”, IEEE trans. on Plasma science, Submitted for publication.
- [15] T. Hashimoto, et al, “Discharge Characteristics of erasing Pulse in AC-PDPs”, Proc. IDW’97 Dig., pp. 571-574, 1997.
- [16] Yoshikazu Kanazawa, “Method and apparatus for driving display panel”, US Patent, 5,420,602, 1995.
- [17] Yoshikazu Kanazawa, “Method and apparatus for driving surface discharge plasma display panel”, US Patent, 5,446,344, 1995.
- [18] Yoshikazu Kanazawa, “Controller of Plasma display panel and method of controlling the same”, US Patent, 5,663,741, 1997.
- [19] Bhum Jae Shin, Kyung Cheol Choi, Ki-Woong Whang, “Effects of priming and wall voltages on the reset discharge in an alternating current plasma display panel”, Applied Physics Letters, submitted for publication.
- [20] Bhum Jae Shin, Kyung Cheol Choi, Jeong Hyun Seo, “Effects of Pre-reset conditions on Reset discharge from Ramp Reset Waveforms in AC Plasma Display Panel”, IEEE trans. on Electron Devices, Feb. 2005 (will be published).
- [21] Larry F. Weber, “Plasma Display Challenges”, Proc. Asia Display’98 Dig., pp.15-27, 1998.
- [22] L. F. Weber, “Plasma panel exhibiting enhanced contrast”, US Patent, 5,745,086, 1998.
- [23] K. Sakita, K. Takayama, K. Awamoto, and Y. Hashimoto, “Analysis of a Weak Discharge of Ramp-Wave Driving to Control Wall Voltage and Luminance in AC-PDPPs”, Proc. SID’00 Dig., pp. 110-113, 2000.
- [24] Joong Kyun Kim, Jin Ho Yang, Woo Joon Chung, and Ki Woong Whang, “The Addressing Characteristics of an Alternating Current Plasma Display Panel Adopting a Ramping Reset Pulse”, IEEE Trans. Electron Devices, Vol.48, No.8, pp. 1556-1563, 2001.
- [25] Bhum Jae Shin, Kyung Cheol Choi, Heung-Sik Tae, “Characteristics of an Address Discharge in AC Plasma Display Panels”, IEEE trans. on Plasma science, Submitted for Publication.
- [26] Takatsugu Kurata, Shinji Masuda, Makoto Kawachi, Yukiharu Ito, Takao Wakitani, “Method of Driving AC Plasma Display Panel”, US Patent 6,294,875, 2001.