

Co/Ni 복합실리사이드의 메탈 콘택 건식식각 안정성 연구

송오성[†] · 범성진 · 김득중
서울시립대학교 신소재공학과

Stability of Co/Ni Silicide in Metal Contact Dry Etch

Ohsung Song[†], Sungjin Beom and Dugjoong Kim

Department of Materials Science and Engineering, The University of Seoul, 90 Chennong-dong,
Tongdaemun-gu, 130-743, Seoul

(2004년 4월 12일 받음, 2004년 8월 16일 최종수정본 받음)

Abstract Newly developed silicide materials for ULSI should have the appropriate electrical property of low resistant as well as process compatibility in conventional CMOS process. We prepared NiCoSi_x silicides from 15 nm-Co/15 nm-Ni/Si structure and performed contact dry etch process to confirm the dry etch stability and compatibility of NiCoSi_x layers. We dry etched the photoresist/SiO₂/silicide/silicon patterns with CF₄ and CHF₃ gases with varying powers from 100 to 200 W, and pressures from 45 to 65 mTorr, respectively. Polysilicon and silicon active layers without silicide were etched 0~316Å during over etch time of 3min, while silicon layers with proposed NiCoSi_x silicide were not etched and showed stable surfaces. Our result implies that new NiCoSi_x silicides may replace the conventional silicides due to contact etch process compatibility.

Key words contact etch, Co/Ni silicide, composite silicide, etch selectivity, silicide.

1. 서 론

실리사이드는 반도체 배선공정에서 Al과 같은 배선층의 실리콘과의 반응을 억제하고 오믹컨택이 되도록 도와주는 물질이다. 이러한 목적을 위해 5 Ω/sq. 이하의 저저항을 유지하여야 하고 금속배선층과의 확산을 방지하여야 하며, 활성화 영역의 도핑상태에 영향을 극소화하는 물성이 필요하다. 이러한 물성외에 현실적으로 게이트 돌출부와의 에치 선택비가 확보되어 Fig. 1과 같이 게이트 상부까지 식각이 된 a 만큼의 거리까지 계속 건식식각이 진행되더라도 게이트 상부는 식각이 더 이상 일어나지 않도록 하는 선택비의 확보도 중요하다.^{1,2)}

최근 실리사이드는 셀리사이드(Self-aligned silicide)공정의 발달과 함께 TiSi, CoSi, NiSi 등으로 발전하고 있으나 단상인 경우 각각의 실리사이드가 선풍의존성,^{3,5)} 스트레스 문제,^{6,7)} 900°C 이상에서의 고저항 변화^{8,9)} 등의 문제점을 보이고 있다. 최근 정성희 등¹⁰⁾에 의하면 각 실리사이드의 장점만을 이용한 Ti/Co 적층구조나 Co/Ni 적층 구조로부터 복합실리사이드를 제조하여 1100°C 이하의 비교적 고온에서도 안정하면서도 면저항이 7 Ω/sq. 이하로 유지할 수 있음을 보고하고 있다.

실리사이드는 자체적인 물성도 중요하지만 양산성이 있

는 반도체 CMOS 공정에서는 실리사이드 공정 전후의 공정적합도도 고려되어야 한다. 즉 실리사이드공정시 형성된 실리사이드는 하부의 소오스나 드레인의 도펀트의 변화를 최소화하여 이미 만들어진 트랜지스터의 성능을 유지하여야 하며, 1000°C 이상의 후속 열처리 공정에서도 저저항의 안정한 상을 유지하여야 하고, 이미 언급한 바와 같이 게이트의 단차에 의한 콘택건식 식각공정에서도 적합하여야 한다.

또한 콘택식각시 실리사이드가 국부적으로 에칭되어 피

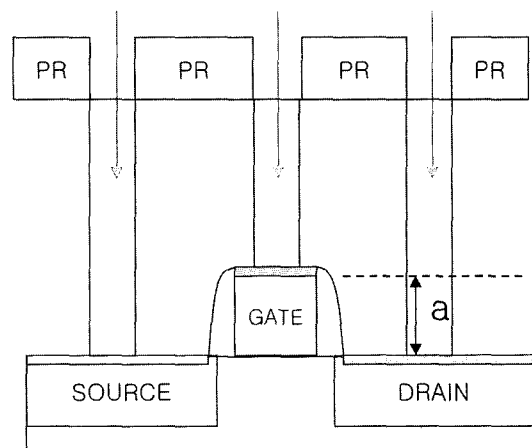


Fig. 1. Schematic illustration of ILD dry etching.

[†]E-Mail : songos@uos.ac.kr

팅이 일어나면 콘택홀에 채워지는 알루미늄 또는 텅스텐 플래깅 공정시 문제를 일으켜 수율이 급격히 떨어질 수도 있으므로 최종 식각의 표면 품질도 고려되어야 한다.^{11,12)}

여러 가지 관련공정과와의 적합성에서도 특히 절연층을 뚫고 첫 번째 금속배선층과 소오스, 드레인, 게이트를 연결하는 콘택 건식공정에서는 에치가 진행되는 동안 게이트 상부의 얇은 실리사이드가 더 이상의 에치가 진행되지 않도록 하는 선택비를 가져야하고, 소오스나 드레인의 에치가 완료되더라도 소오스, 드레인 상부의 실리사이드층이 파괴되어 오버에치가 진행되지 않도록 기존의 통상적인 콘택에치 공정으로 충분한 선택비가 확보되어야 한다.

이러한 선택비는 기존의 $TiSi_2$, $CoSi_2$, $NiSi$ 등의 단일 실리사이드에서는 1000:1 정도 이상으로 확보되어 양산 공정상 큰 문제가 없었으나 본 연구에서 새로이 제안된 $CoNiSi_x$ 복합실리사이드의 경우에는 확인된 바가 없다.¹³⁾

따라서 본 연구에서는 기판 전면에 완성된 $150\text{\AA}Co/150\text{\AA}Ni/Si(100)$ 구조로 부터 만들어진 $CoNi$ 복합 실리사이드에 3000\AA 의 SiO_2 절연층을 성막하고 메탈콘택 공정을 상정하여 기존에 알려진 CF_4 , CHF_3 가스와 각 가스 종류에서의 분압과 파워를 변화시켜 최적의 선택비와 실리사이드의 국부 피칭이 없는 에치 품질을 확보할 수 있는지 확인하였다.

2. 실험 방법

먼저 시편의 준비를 위하여 $120^\circ C$ 황산에 10분간 클리닝한 실리콘 기판 전면에 즉시 열증착기를 써서 Fig. 2에 나타낸 바와 같이 150\AA 두께의 Ni와 150\AA 두께의 Co를 연속하여 증착시켰다. 곧이어 $700^\circ C$ -40 sec의 조건으로 쾌속열처리(rapid thermal annealing : RTA)를 시행하여 $CoNiSi_x$ 의 복합 실리사이드를 형성시키고 다시 $120^\circ C$ 황산으로 10분간 처리하여 표면부의 미반응 금

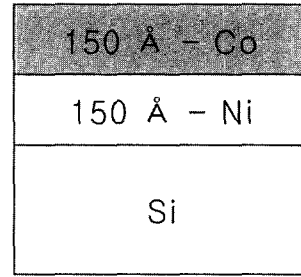


Fig. 2. Stacking sequence of Co/Ni silicide.

속을 완전히 제거하여 준비하였다.

한편 1000\AA 의 열산화막을 가진 기판에 LPCVD로 3000\AA 두께의 poly-silicon을 증착하여 실리사이드가 없을 경우 게이트 상부의 에치 정도를 확인하고자 하였다.

또한 실리사이드가 없는 경우 소오스, 드레인의 활성화 영역의 에치 정도를 확인하기 위해서 비저항 $10\Omega\text{-cm}$ 의 P형(100)실리콘 기판을 준비하였다.

준비된 3가지 기판들에 모두 P5000 (Applied Material, Co.) 증착기를 이용하여 TEOS(tetraethoxysilane: $Si(C_2H_5O)_4$) 산화막 3000\AA 을 성막하여 최종적으로 Fig. 3에 나타낸 $3000\text{\AA}\text{-}SiO_2/400\text{\AA}\text{-}CoNiSi_x/Si(100)$, $3000\text{\AA}\text{-}SiO_2/3000\text{\AA}\text{-}Poly\text{-}silicon/1000\text{\AA}\text{-}SiO_2/Si(100)$, 그리고 $3000\text{\AA}\text{-}SiO_2/Si(100)$ 구조의 시편들을 준비하였다.

준비된 세 종류 시편 모두에 TDMR-AR87 포토레지스트를 이용하여 4000 rpm 조건으로 9100\AA 두께로 만들고 폭 $0.7, 1.0$, 그리고 $1.5\text{ }\mu m$ 의 선폭과 피치를 가진 패턴을 형성시켰다.

궁극적으로 Fig. 4에 나타낸 패턴을 전사하여 이 패턴에 따라 여러 가지 공정조건으로 콘택에치를 실시하고 그림의 A-A부분을 절단시켜 수직단면을 관찰하여 에치속도와 에칭된 면의 이미지를 확인하였다.

포토작업이 끝난 시편들에 대해 $1\times 1\text{ cm}^2$ 으로 다이싱을 하여 여러 조각으로 만들고 RIE형 식각기인 Oxford 社の plasma lab 80plus 모델의 etcher를 써서 과도한

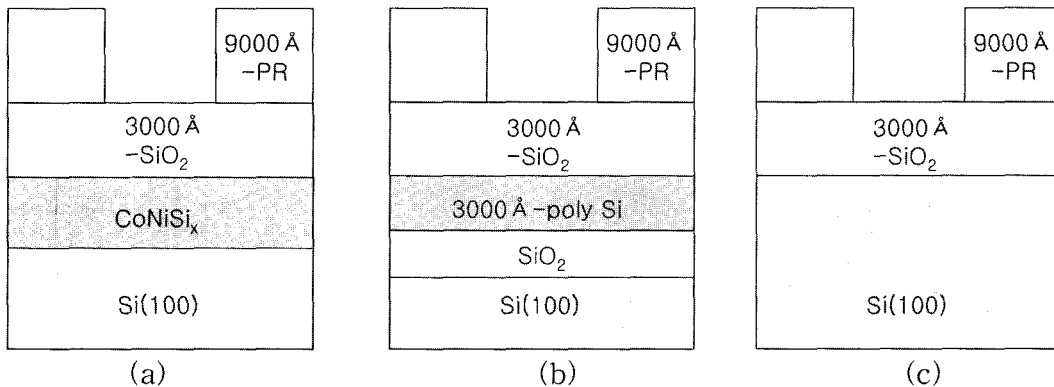


Fig. 3. Illustration of samples of (a) $SiO_2/CoNiSi/Si$, (b) $SiO_2/Poly/SiO_2/Si$, and (c) SiO_2/Si .

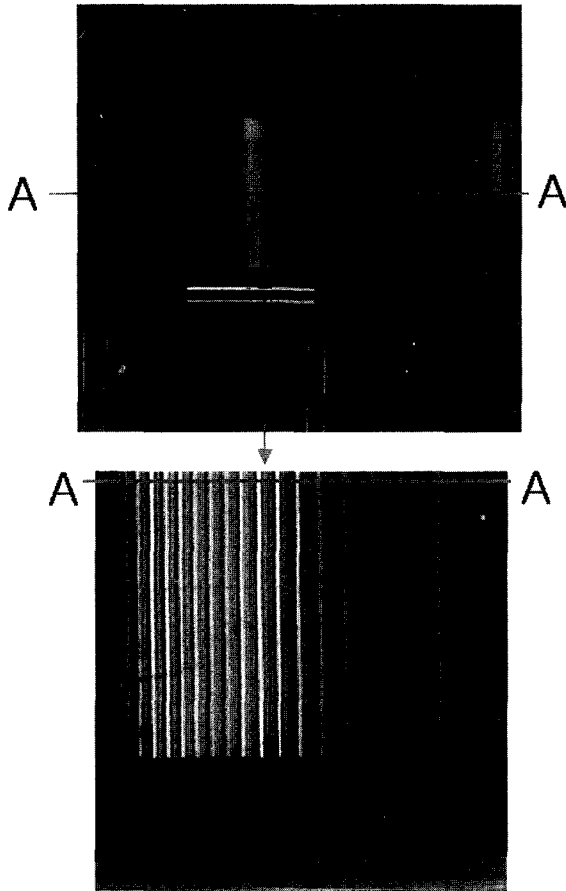


Fig. 4. Optical microscopy images of patterns for contact etch.

에칭을 실시하면서 이때 남아있는 복합 실리사이드, 폴리실리콘, 실리콘 층의 식각정도를 확인하여 선택비를 확인하였다.

콘택 식각공정은 주로 TEOS를 식각하는 역할이며, 이때 가스의 종류, 유량, 파워, 압력, 식각시간 등 많은 변수가 있으나 그중에서도 가스종류와 파워, 압력 3가지 조건을 변화시킨 경우의 실리사이드의 식각안정성을 확인하고자 하였다.

한번의 실험으로 3종류(포토레지스트, SiO, 실리콘) 물질의 식각속도를 알 수 없으므로 측정이 용이한 평판형 실리콘에 3000Å의 TEOS를 상정하고 전체기판에 대해 2분간의 에칭을 사용하여 먼저 각 식각공정 조건에 따른 식각속도를 확인하고 나머지 두가지 물질에 대한 식각속도를 확인하였다.

준비된 세종류, 즉 복합실리사이드, 폴리실리콘, 실리콘 시편에 대해서 식각조건은 기존의 SiO₂를 식각하는데 많이 사용된 CF₄/O₂ 혼합가스와 CHF₃/O₂ 혼합가스의 2 종류로 나누고 각 공정조건에서 전체 가스분압을 45, 55, 65 mTorr로 변화시켰다. 이때 각 조건에서 파워(power)는 100, 150, 200 W로 변화시키고, 식각시간은

Table 1. Etching condition.

No.	GAS	Pressure (mTorr)	Power (W)
1			100
2		45	150
3			200
4			100
5	CF ₄ : 50 sccm O ₂ : 5 sccm	55	150
6			200
7			100
8		65	150
9			200
10			100
11		45	150
12			200
13			100
14	CHF ₃ : 50 sccm O ₂ : 5 sccm	55	150
15			200
16			100
17		65	150
18			200

모두 7분으로 고정시켰다. 이 가스유량은 식각가스와 산소유량은 10:1로 각각 고정하여 최적 식각 공정을 도출하고자 하였다. 상세한 각 시료에 대한 식각조건은 Table 1과 같고 최종적으로 48개의 시편에 대한 식각공정을 실시하였다.

각 공정에 의해 식각이 완료된 시편은 Ashing공정으로 크리닝하고 남은 층의 확인을 위해서 광발산주사전자현미경(FESEM: Field Emission Scanning Electron Microscopy)을 사용하여 수직단면과 식각평면을 촬영하여 각각의 식각속도와 식각표면을 확인하였다.

3. 결과 및 고찰

Fig. 5는 각 에칭공정별 수직단면 전자현미경 이미지 중의 하나로서 CHF₃ 가스로 45 mTorr, 100 W 조건으로 에칭한 후의 이미지를 보이고 있다. 이와같이 콘택식각이 완료된 시편들은 포토레지스트, SiO(TEOS), 폴리실리콘(또는 실리사이드, 실리콘)의 영역으로 확연히 구분이 가능하여 모두 각 부분의 에칭속도를 정량적으로 확인할 수 있었다. 이러한 자료를 종합하여 각 물질의 에칭속도를 추정하였다.

Fig. 6에는 포토레지스트, TEOS, 폴리실리콘과 실리콘의 식각속도를 각각 나타내었다. 먼저(a)에 나타낸 포토레지스트의 경우는 각각의 샘플의 식각 마스크로 사용된 포토레지스트의 식각의 정도를 보여줌으로써 마스크와 식

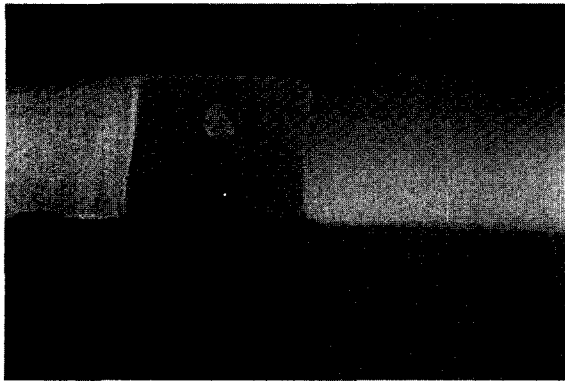


Fig. 5. A vertical SEM image of PR/SiO/poly dry etched with 45 mTorr, CHF₃ gas, and 100 W.

각물질과의 선택비를 알기위해 측정된 결과이다.

그래프를 보면 압력이나 RF power에 상관없이 CF₄ 가스를 사용한 경우가 CHF₃를 사용한 경우보다 포토레지스트 식각 속도가 빠른 것을 알 수 있다. 이는 식각 공정중 포토레지스트이 CF₄ 가스를 사용할 경우 더 빨리 제거된다는 것을 의미하며 포토레지스트 마스크의 두께가 더 커야함을 의미한다. 이러하기에 얇은 포토레지스트를 사용하는 고밀도소자의 공정을 진행할 때는 CHF₃ 가스를 이용하는 것이 유리하다는 것을 알 수 있었다.

그러나 수직단면 이미지에 의하면 CHF₃ 가스는 CF 가스에 비해 상대적으로 더 많은 에치 부산물들(폴리머)이 발생하는 문제가 있었기에 선택비가 중요하지 않은 공정에서는 CF₄ 가스를 채택하는 것이 후속공정의 에칭처리에서는 더 유리할 수 있는 면도 있었다.

200 W의 높은 파워인 경우 CF₄, CHF₃ 가스의 경우 모두 폴리머가 급격히 많이 발생하여 SEM 이미지상으로 포토레지스트 etch rate를 구하기가 어려워져서 그래프에는 표시하지 않았으나 일반적으로 파워가 크면 플라즈마 활성도가 커져서 200 W에서는 식각속도가 더 증가할 것이라는 예상이 가능하였다. 따라서 일반적으로 알려진 바와 같이 본 결과는 가스분압이 증가할수록, 식각파워가 증가할수록 포토레지스트의 식각속도가 증가하는 경향성을 확인할 수 있었다.

(b)에는 SiO₂(TEOS)의 식각 속도를 나타내었는데 역시 CF₄ 가스가 CHF₃ 가스에 비해 10% 정도 식각속도가 빠르고, 압력과 파워가 증가할수록 선형적으로 식각속도가 증가함을 알 수 있다.

이러한 현상은 일반적으로 RIE 식각기의 경우 압력과 파워가 증가할수록 라디칼 밀도가 커져서 식각속도가 향상되는 것과 일치하고 있다. 물론 MERIE(Magnetically Enhanced Reactive Ion Etch)나 ICP(Inductively Coupled Plasma)식각기의 경우 플라즈마 밀도가 저압인 경우가 오히려 전자의 평균자유행로가 커져서 증가하므로 식각속

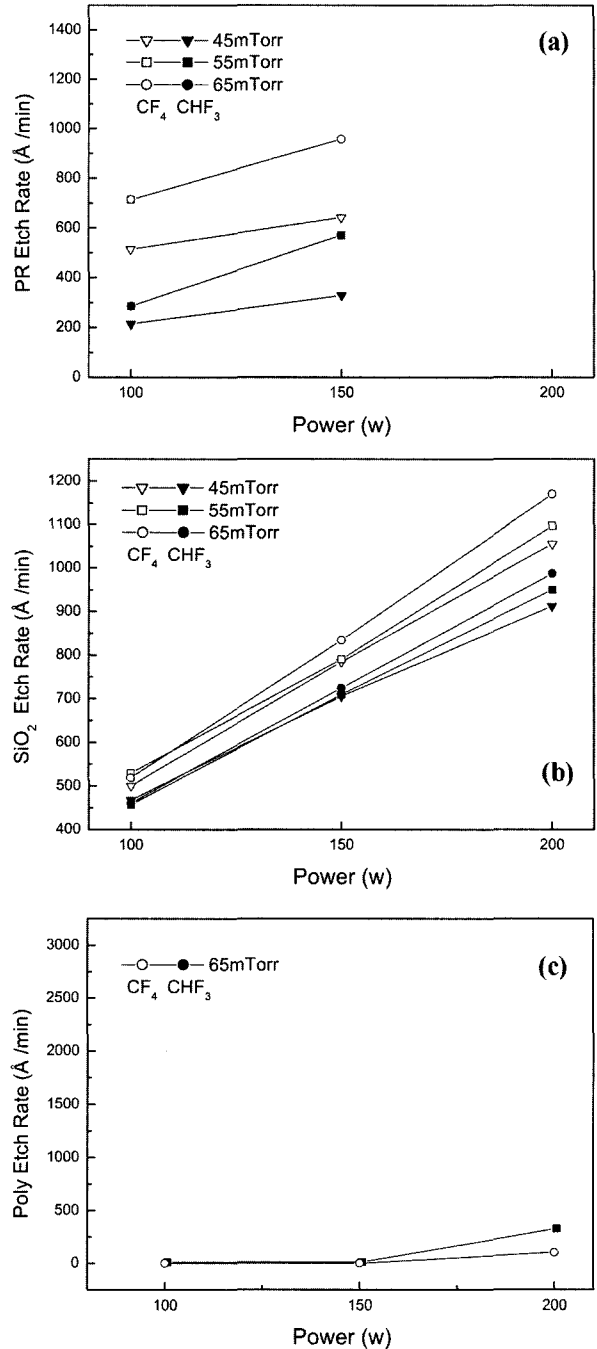


Fig. 6. Plots of etch rates of (a) photoresist, (b) TEOS, and (c) polysilicon.

도가 압력에 대해 최적구간이 있는 것으로 알려져 있지만 본 연구에서는 RIE 식각기를 채용하였기에 공정압이 증가하면서 식각속도가 증가함을 알 수 있었다.

(c)에는 65 mTorr의 가스압력인 경우, 즉 식각속도가 가장 빠른 경우를 상정하여, 게이트 상부에 실리사이드가 없는 경우에 평균 3분 정도의 오버에치가 진행 될 때 에치가 진행된 총 두께를 표시해 보았다. 파워나 압력에 관

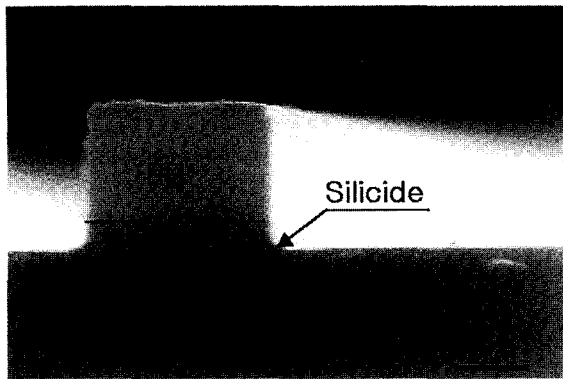


Fig. 7. SEM vertical image of PR/SiO/CoNiSi_x etched with CF gas, 55 mTorr, and 200 W.

계없이 거의 식각이 되지 않음을 알 수 있었으나, 특히 미세소자인 경우 이러한 활성화영역의 미세식각도 매우 중요하여 실리사이드의 채택이 필요함을 알 수 있었고, 특히 200 W일 때 CF₄, CHF₃ 가스 모두 부분적으로 많은 식각이 진행됨을 알 수 있었다. 실험 범위 내에서 비교적 실리콘 식각량이 적은 것은 본 연구에 사용된 식각기가 양산용 식각기로서 이미 선택비가 우수한 공정조건 범위 내에서 실험하였기 때문이지만, 소자의 신뢰성을 위해서 활성화 영역의 부분식각에 의한 마이크로피트 등의 생성 가능성을 고려하면 실리사이드의 채택이 꼭 필요함을 알 수 있었다.

Fig. 7에는 CF 가스로 55 mTorr, 200 W에서 식각한 시편의 수직단면을 나타내고 있다. Fig. 5와 비교하여 실리사이드는 매우 안정하여 5분간의 오버에치 동안 전혀 침식이 발생함이 없이 우수한 선택비를 가지고 있음을 확인할 수 있었다. 전 공정조건에서의 수직단면을 확인하였으나 모두 Fig. 7과 비슷하게 CoNi 복합실리사이드층의 침식은 없이 하부실리콘을 보호할 수 있었다.

Fig. 8(a)에는 CF₄ 가스로 55 mTorr, 200 W에서의 복합실리사이드층의 식각면을 보이고 있다. 전도성을 띤 복합실리사이드가 상대적으로 밝게 나타났으나 400Å의 두께임에도 불구하고 전혀 피트(pits)등 국부적인 에치손상을 확인할 수 없었다. 반면(b)에는 정성희 등¹⁴⁾이 보고한 TiSi₂ 실리사이드층에서 발견된 국부적 피팅을 나타내었다. 그럼에서 보이는 직경 500Å 정도의 보이드는 과도한 실리사이드화 온도에서 Kirkendall효과에 의해 발생한 보이드로서 실리사이드 공정 중 발달한 것이지만 후속 콘택에치공정에서 선택적으로 마이크로피트를 따라 에치가 진행되어 하부 폴리실리콘 또는 실리콘 층에 침식을 가져와 소자의 파괴를 가져올 것이 예상된다.

기존의 TiSi₂ 비하여 완성된 CoNi복합실리사이드는 실리사이드화 공정 중에도 피팅발생 등의 문제가 없었으며¹⁵⁾ 광범위한 콘택 에치 공정에서도 매우 안정한 에치 계면

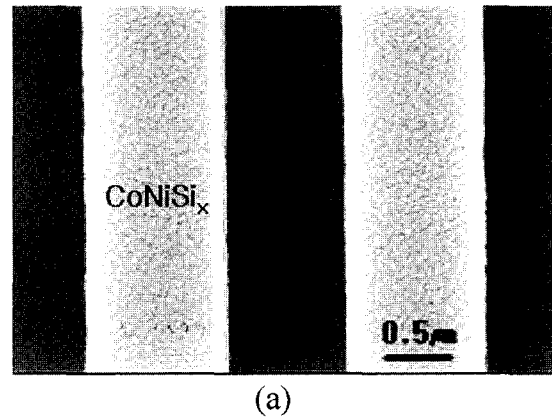


Fig. 8. SEM plan-view images of (a) CoNiSi_x etched with CF/55 mTorr/200 W and (b)TiSi₂ with micro-pits.

을 보여 선택비가 우수하며 기존의 에치 공정과 넓은 공정범위에서 부합성이 있는 실리사이드임을 보이고 있다.

따라서 제안된 CoNi복합실리사이드는 기존의 콘택에치 공정과 공정부합도가 우수한 실리사이드임을 확인할 수 있었다.

4. 결 론

새로이 제안된 CoNi 복합실리사이드의 콘택에치 공정 부합성을 확인하기 위해 7분간 CF₄, CHF₃ 식각 가스를 활용하여 압력, 파워를 변화시키면서 이때의 에치정도를 확인하였다. 콘택에치 공정은 포토레지스트에 대해서는 200~1200Å/min, SiO₂ 절연층에 대해서는 500~1200Å/min 정도의 양산용 공정에 적합한 에치속도와 수직에치 profile을 보였고 실리사이드를 채택하지 않은 경우 3분 동안의 오버에치를 하였을 때 폴리실리콘은 최대 316Å/min, 실리콘은 전혀 식각 되지 않았음을 알 수 있었다.

반면 제안된 CoNi복합실리사이드는 통상의 콘택식각공정 조건에서 약 3분여간의 오버에치에도 손상없이 폴리실리콘, 실리콘층을 보호하는 우수한 선택비를 나타냈으며, 국부적인 피칭도 없었다. 따라서 제안된 CoNi 복합실리사이드로 기존의 단상실리사이드 에치공정을 활용하여 쉽게 양산공정에 채용이 기대되었다.

감사의 글

이 논문은 2004년도 서울시립대학교 학술연구조성비에 의하여 연구되었습니다.

참 고 문 헌

1. F. H. Ko, H. C. You, T. C. Chu, T. F. Lei, C. C. Hsu and H. L. Chen, *Microelectron. Eng.*, in Press (2004).
2. O. O. Awadelkarim, S. J. Fonash, P. I. Mikulan, M. Ozaita and Y. D. Chan, *Microelectron. Eng.*, **28**, 47 (1995).
3. S. K. Saha, R. S. Howell and M. K. Hatals, *Thin Solid Films*, **347**, 278 (1999).
4. M. Y. Wang, C. W. Chang, C. M. Wu, C. T. Lin, C. H. Hsieh, Winston S. Shue and M. S. Liang, *Symposium on VLSI Technology Digest of Technical Papers*, p. 157 (2003).
5. Y. Q. Xu, J. Zhao, J. P. Lu, D. Miles, J. Loe Wecke, P. Tiner, Xia Dong and Steve W. Novak, 2003 IEEE/SEMI advanced manufacturing conference, p.171 (2003).
6. A. Steegen and K. Maex, *Mater. Sci. Eng. R.*, **38**, 1 (2002).
7. S. L. Cheng, H. M. Lo, L. W. Cheng, S. M. Chand and L. J. Chen, *Thin Solid Films*, **424**, 33 (2003).
8. P. S. Lee, K. L. Pey, D. Mangelinck, J. Ding, D. Z. chi and L. Chan, *IEEE Electron Device Lett.*, **22**, 12 (2001).
9. A. Lauwers, M. de Potter, O. Chamirian, R. Lindsay, C. Demenrisse, C. Vrancken and K. Maex, *Microelectron. Eng.*, **64**, 131 (2002).
10. S. H. Cheong and O. S. Song, *J. Mater. Res.* **13**(5), 279 (2003).
11. D. Peschiaroli, C. Clementi, P. Garofalo, P. Ghezzi, T. Ghilard, V. Lista, T. Maruango, G. Mastracchio, A. Maurelli, S. Niel, E. Palumbo, F. Pipia, S. Soleri and P. Zabberoni, *Microelectron. Eng.*, **55**, 137 (2001).
12. R. Delsol, M. Setton, F. Vinet, P. Valvin, R. Blanc, P. Berruyer and M. Assous, *Microelectron. Eng.*, **50**, 75 (2000).
13. M. Gluck, A. Schuppen, M. Rosler, W. Heinhich, J. Hersener, U. Konig, O. Yan, C. Cytermann and M. Eizenberg, *Thin Solid Films*, **270**, 549 (1995).
14. S. H. Cheong and O. S. Song, *Kor. J. Mater. Res.*, **12**(11), 883 (2002).
15. Y. S. Jung, S. H. Cheong and O. S. Song, *Kor. J. Mater. Res.*, **14**(6a), 389 (2004).