

## FeRAM 소자 제작 중에 발생하는 Pt/Al 반응 기구

조경원 · 홍태환 · 권순용<sup>†</sup> · 최시경\*  
충주대학교 신소재공학과/나노기술연구소  
\*한국과학기술원 신소재공학과

### Pt/Al Reaction Mechanism in the FeRAM Device Integration

Kyoung-Won Cho, Tae-Wan Hong, Soon-Yong Kweon<sup>†</sup> and Si-Kyong Choi\*

Department of Materials Science & Engineering/Nano Technology Lab.,  
Chungju National University, Chungju, Chungbuk 380-702

\*Department of Materials Science & Engineering, Korea Advanced Institute of Science and Technology,  
Daejeon, 305-701

(2004년 8월 23일 받음, 2004년 9월 20일 최종수정본 받음)

**Abstract** The capacitor contact barrier(CCB) layers have been introduced in the FeRAM integration to prevent the Pt/Al reaction during the back-end processes. Therefore, the interdiffusion and intermetallic formation in Pt(1500Å)/Al(3000Å) film stacks were investigated over the annealing temperature range of 100~500°C. The interdiffusion in Pt/Al interface started at 300°C and the stack was completely intermixed after annealing over 400°C in nitrogen ambient for 1 hour. Both XRD and SEM analyses revealed that the Pt/Al interdiffusion formed a single phase of PtAl<sub>2</sub> intermetallic compound. On the other hand, in the presence of TiN(1000Å) barrier layer at the Pt/Al interface, the intermetallic formation was completely suppressed even after the annealing at 500°C. These were in good agreement with the predicted effect of the TiN diffusion barrier layer. But the conventional TiN CCB layer could not perfectly block the Pt/Al reaction during the back-end processes of the FeRAM integration with the maximum annealing temperature of 420°C. The difference in the TiN barrier properties could be explained by the voids generated on the Pt electrode surface during the integration. The voids were acted as the starting point of the Pt/Al reaction in real FeRAM structure.

**Key words** FeRAM, Pt/Al interface.

### 1. 서 론

FeRAM(Ferroelectric Random Access Memory) 소자는 DRAM(Dynamic Random Access Memory)과 비슷한 동작 속도를 보이면서 비휘발성이고, 저 소비 전력 특성을 갖기 때문에 향후의 모바일 시대에 적합한 차세대 반도체 소자로 주목받고 있다.<sup>1-5)</sup> 현재 가장 많은 연구가 이루어지고 있는 FeRAM 소자의 구조는 DRAM과 같이 1T/1C(1-transistor /1-capacitor)가 하나의 셀을 형성하는 형태를 갖고 있다.<sup>2,3)</sup> 이 구조에서, DRAM의 커패시터에 사용되는 유전체 대신에 강유전체를 적용하면 강유전체 메모리인 FeRAM 소자가 된다. Fig. 1은 1T/1C형을 갖는 저밀도 FeRAM 소자의 단면 개략도이다.

현재 FeRAM 소자의 capacitor에 적용되는 강유전체 물질로는 BLT, SBT, PZT 등이 대표적이다.<sup>1-5)</sup> 이러한 물질을 이용한 강유전체 커패시터 제작에서, 중요한 기술

적 과제 중의 하나는 안정적인 전극 구조를 확보하는 것이다. 백금(Pt)은 산소 분위기에서의 내산화성이 뛰어나고, 고온에서도 강유전체 물질과의 반응성이 없기 때문에 강유전체 커패시터의 상부 및 하부 전극 재료로 주로 사용되어 왔다.<sup>4,5)</sup> 그런데, Pt은 후속 금속 배선 공정에서 주로 사용되는 알루미늄(Al)과 직접 접촉하는 경우에는 쉽게 반응하여 금속간 화합물을 만드는 것으로 보고되어 왔다.<sup>6-11)</sup> 이 Pt/Al 상호 반응을 억제하기 위해서 Pt/Al 계면에 일반적으로 확산 방지막을 적용한다.<sup>9)</sup> 이러한 확산 방지막을 Fig. 1의 실제 소자 제작 구조에서는 CCB(capacitor contact barrier) 층이라 명명한다. CCB 층의 확산 방지막 특성을 최적화하여 Pt/Al 반응을 억제하는 것은 실제 소자 제작 시에 중요한 기술적 과제 중의 하나이다.<sup>9)</sup>

Fig. 2의 SEM(Scanning Electron Microscopy) 단면 및 표면 사진은 FeRAM 소자의 1차 금속 배선(Metal-1: TiN/Al/TiN/Ti 적층) 공정 이후, 420°C/N<sub>2</sub>/60 min 열처리한 다음에 관찰된 소자의 파괴 현상을 보여주고 있다.<sup>9)</sup>

<sup>†</sup>E-Mail : sykweon@chungju.ac.kr

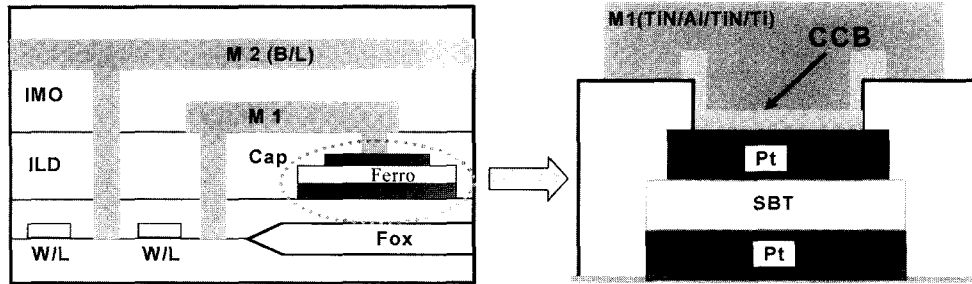


Fig. 1. Cross-sectional schematic diagrams of the low density FeRAM device. (a) Plain view and (b) Cross-section (by FIB)

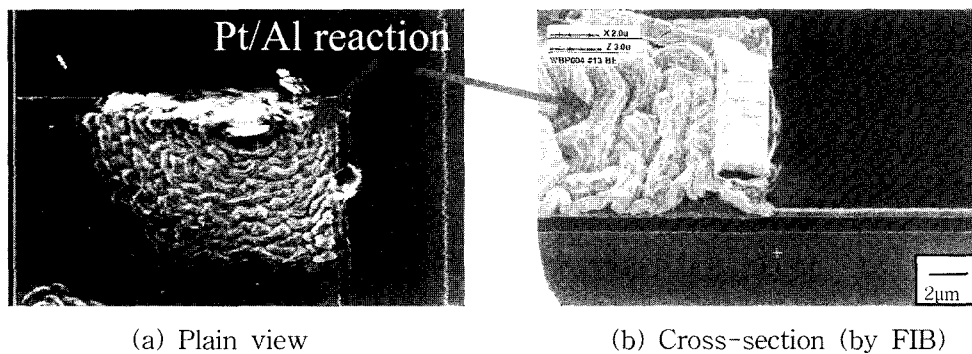


Fig. 2. SEM images of the Pt/Al reaction observed on the Pt electrode after metalization process.

이러한 소자의 파괴 현상은 Pt/Al 반응에 의한 것으로 확인 되었다. 따라서, 본 연구에서는 먼저 Pt/Al 및 Pt/TiN/Al 적층 등의 모델 실험을 통하여 이러한 Pt과 Al의 상호 반응이 발생할 수 있는 최저 열공정 조건을 평가하고, 이러한 평가 결과를 바탕으로, 실제 FeRAM 소자 제작 중에 발생하는 Pt/Al 반응의 발생 기구에 대하여 고찰하고자 한다.

## 2. 실험 방법

Pt/Al 상호 반응이 일어나는 최소 열처리 공정 정도를 확인하기 위하여 SiOx(1000Å)/Si 기판 위에 Pt/Al 적층을 증착하였다. 먼저 Al을 DC 마그네트론 스퍼터링 법으로 3000Å 증착하였다. 이 때의 증착 온도는 상온이었고, 증착 파워(power)는 10 kW이었다. 그 위에 Pt를 1500Å 증착하였다. Pt도 DC 스퍼터링 법을 적용하여 상온에서 증착하였다. 이때의 증착 파워는 2 kW를 적용하였다. 그 다음, 이 적층을 질소 분위기에서 100°C 온도 간격으로 500°C까지 열처리 온도를 변화시키면서 열공정을 인가하였고, 이때의 열처리 시간은 모든 조건에서 30 분으로 고정하였다. 열공정 후에는 SEM을 이용하여 표면 및 단면 미세 구조 변화를 관찰하였고, AES(Auger Electron Spectroscopy) 분석 및 AFM(Atomic Force Microscopy) 분석을 통하여 원소들의 상호 확산 정도를

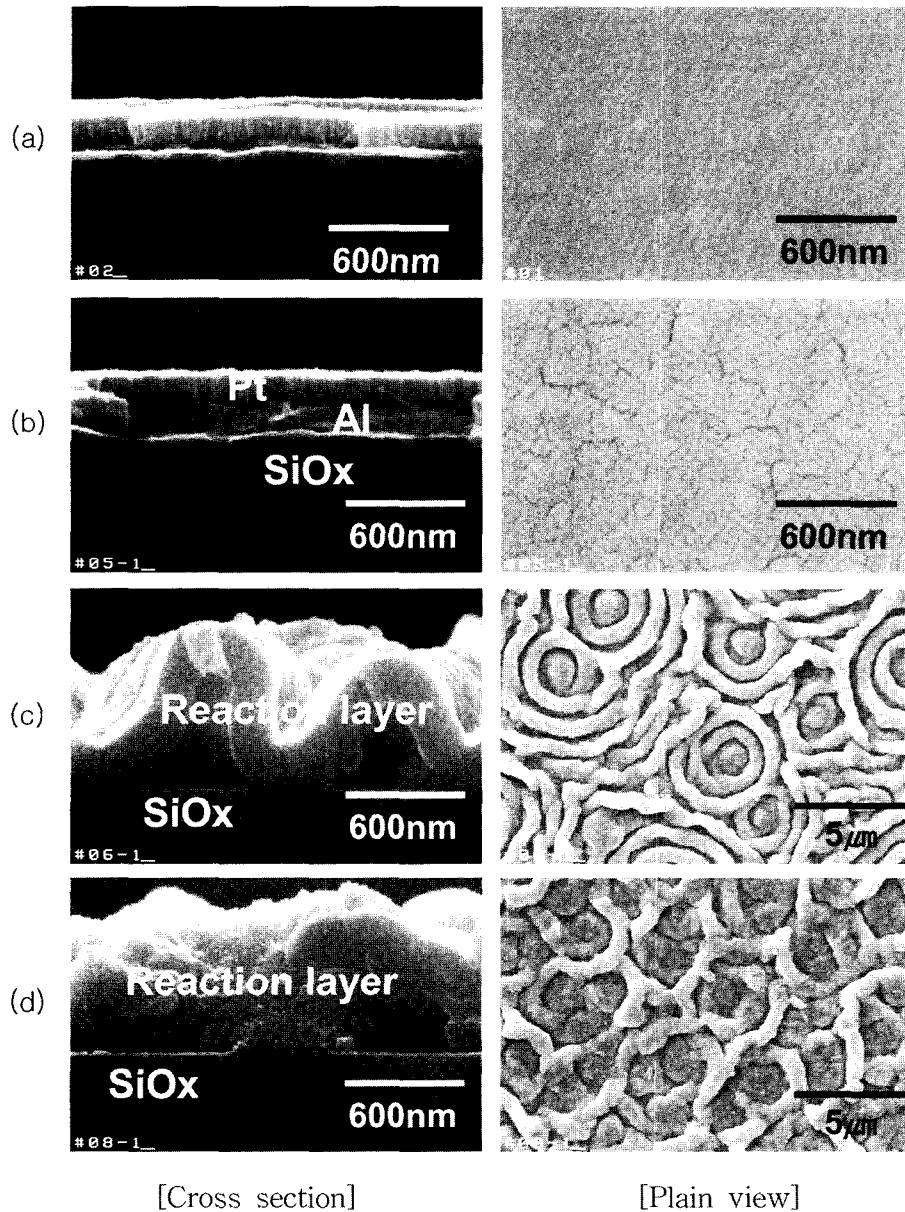
평가하였다. Pt/Al 상호 반응에 의해 생성된 최종 생성상의 종류를 확인할 목적으로 XRD(X-Ray Diffraction) 분석도 수행하였다.

반도체 소자 제작 공정에서 가장 일반적으로 적용되는 확산 방지막은 TiN이다.<sup>9)</sup> 따라서, 본 연구에서는 Pt/Al 계면에서의 TiN 확산 방지막 특성을 평가하여, CCB 층에 반도체 공정에서 가장 일반적으로 사용하는 TiN 확산 방지막을 사용할 수 있을지 검토하였다. TiN의 확산 억제 특성을 평가하기 위하여, Pt/Al 계면에 TiN(1000Å) 층을 삽입하였다. 여기에서, TiN은 DC 마그네트론 스퍼터링 장치를 이용하여 상온에서 12 kW로 증착하였다. Pt/TiN/Al 적층도 위의 Pt/Al 적층에서와 같은 방법으로 열공정을 인가한 후, Pt과 Al의 반응 정도를 위에서와 같은 방법으로 분석하였다.

이상의 모사 실험 결과를 이용하여, Fig. 2에서와 같이 실제 소자 제작 공정에서 발생하는 Pt/Al 반응의 생성 기구를 고찰하였다. 이러한 Pt/Al 반응 기구의 고찰을 통하여, 실제 소자 제작에서 Pt/Al 반응을 억제할 수 있는 방안을 도출하고자 한다.

## 3. 결과 및 고찰

Figs. 3, 4는 Pt/Al 적층을 500°C까지 온도를 변화시키면서 열처리한 후에 관찰한 SEM과 TEM의 표면 및



**Fig. 3.** Both cross-sectional and plain view SEM images of Pt/Al film stack annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min and (c) 400°C/30 min, (d) 500°C/30 min.

단면 사진이다. 관찰 결과를 종합해 보면, 300°C까지는 Pt 및 Al 층이 그대로 유지가 되는데, 400°C 이상에서는 상호 반응이 심하게 일어나고 있음을 알 수 있다. Pt과 Al이 서로 반응하면 부피가 증가하여 막에 강한 압축 응력을 유발하여, 적층이 기판에서 분리됨도 명확히 관찰할 수 있다. Fig. 2에서 관찰한 것과 같은 소자의 파괴는 이러한 Pt/Al 상호 반응에 의해 유발되는 것임을 확실히 알 수 있다.

Fig. 5는 열처리 온도를 변화시키면서 열처리 한 Pt/Al 적층에서 얻은 AES 분석 결과이다. AES를 이용한 깊이 방향으로의 원소 분포 분석 결과도 SEM을 이용한

미세 구조 분석 결과와 잘 일치하고 있다. 즉, 300°C 열 공정까지는 Pt과 Al의 상호 확산이 거의 발생하지 않고, 400°C 이상의 열공정에서는 Pt과 Al 원소들이 서로 완전히 혼합됨을 알 수 있다. Fig. 6은 이러한 상호 확산 반응에 의해 생성되는 물질의 상(phase)을 알아보기 위한 XRD 회절 분석 결과이다. 열처리 전의 증착 직후의 XRD 회절선에서는 Pt과 Al이 서로 분리되어 (111) 방향으로 배열된 적층을 이루고 있음을 알 수 있다. 그런데, 고온 열처리 (500°C) 후에는 Pt 및 Al 상과 관련된 회절선은 사라지고, 새로운 회절선이 나타남을 볼 수 있다. 이렇게 새로 나타난 회절선들은 Chang 등에 의해

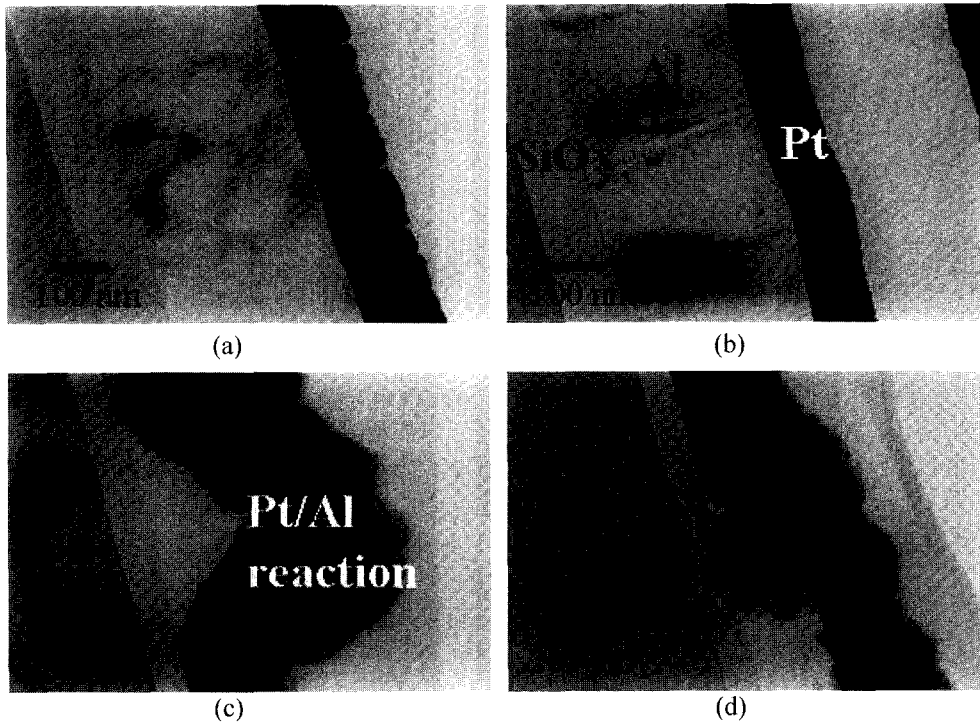


Fig. 4. TEM images of Pt/Al film stacks annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min, (c) 400°C/30 min and (d) 500°C/30 min.

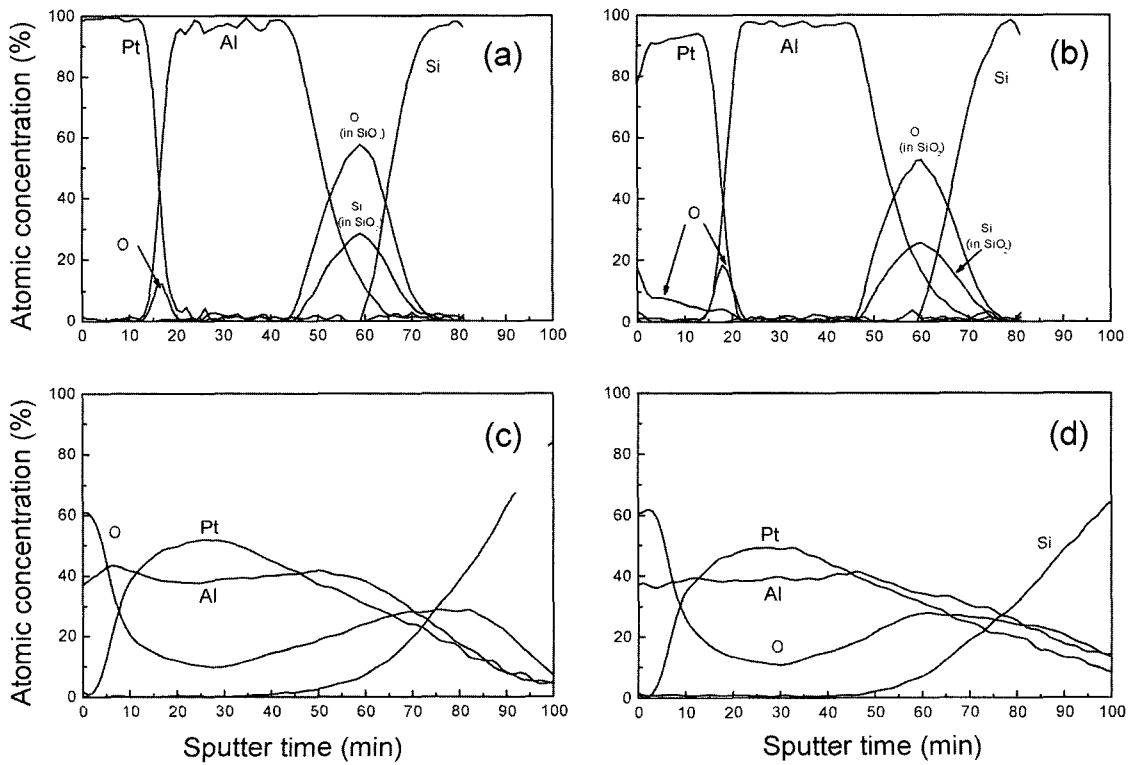
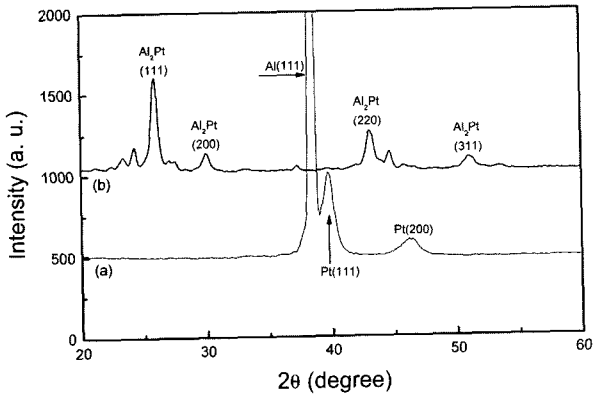


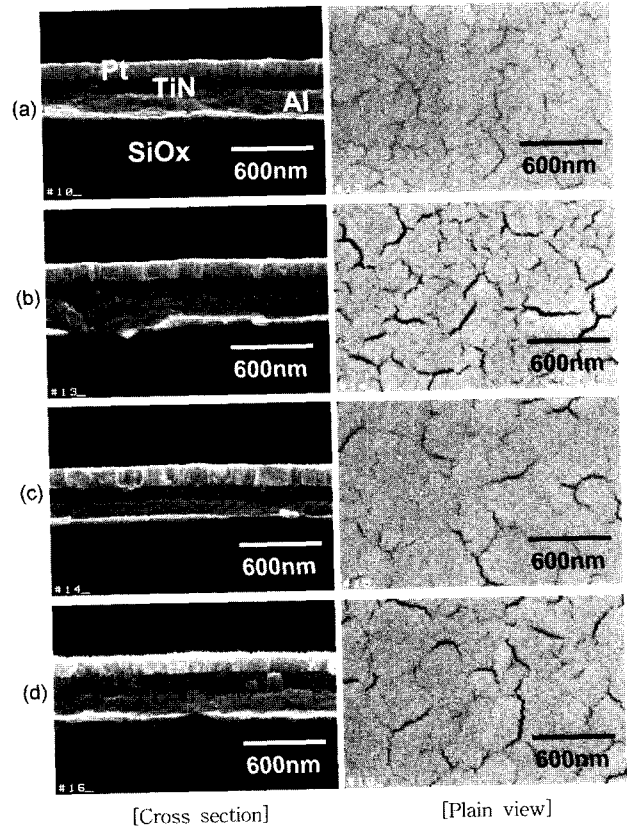
Fig. 5. AES depth profiles analysed in Pt/Al film stacks annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min, (c) 400°C/30 min and (d) 500°C/30 min.



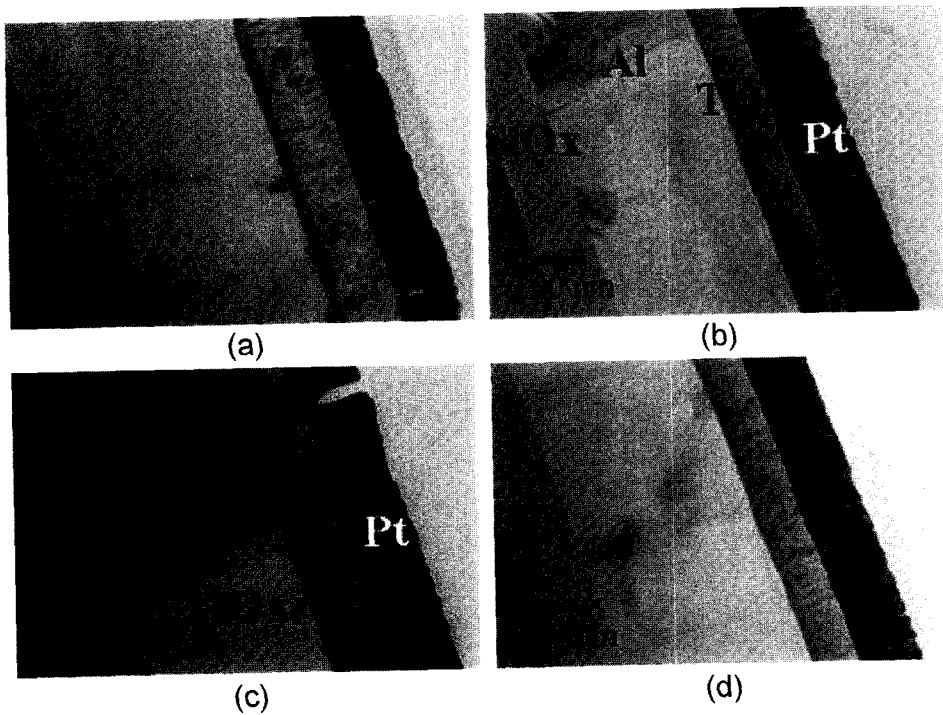
**Fig. 6.** XRD patterns obtained in Pt/Al film stacks annealed at different temperatures; (a) as-deposited and (b) 500°C/30 min.

보고된 Al<sub>2</sub>Pt 금속간 화합물임을 확인할 수 있었다.<sup>7)</sup>

이러한 Pt/Al 상호 확산 반응을 방지하기 위해서는 Pt 과 Al 사이의 계면에 확산 방지막을 적용해야만 한다. 반도체 공정에서 가장 일반적으로 적용되고 있는 확산 방지막 중의 하나가 TiN이다.<sup>1,9)</sup> Fig. 1의 실제 FeRAM 소자 제작 공정에서 CCB 층에 TiN을 적용하고자 하는 것도 이렇게 적용이 용이하다는 이유가 가장 크다. 따라서 Pt과 Al 사이의 계면에 TiN 1000Å 층을 삽입한 Pt/TiN/Al 적층의 열 안정성을 평가하였다. Figs. 7, 8은 100°C 간격으로 500°C 까지 열처리 온도를 변화시키면서 열처리한 후에 관찰한 SEM과 TEM의 표면 및 단면



**Fig. 7.** SEM images of Pt/TiN/Al film stacks annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min, (c) 400°C/30 min and (d) 500°C/30 min.



**Fig. 8.** TEM images of Pt/TiN/Al film stacks annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min, (c) 400°C/30 min and (d) 500°C/30 min.

사진이다. Pt/Al 적층에서와는 달리, 500°C 열공정 후에도 Pt, TiN, Al 적층이 각각 그대로 유지됨을 관찰할 수 있다.

Fig. 9는 열처리 후에 Pt/TiN/Al 적층에서 분석한 AES 원소 분석 결과이다. 500°C 열공정 후에도 Pt와 Al은 서로 상호 확산이 일어나지 않고 있음을 알 수 있다. 다만, 열처리 온도가 증가할수록 TiN 층에서의 산소 농도가 증가하는데, 이는 열처리 노(furnace)가 완전 진공 분위기가 아닌, N<sub>2</sub> 가스 퍼지(purge)형이기 때문에 나타나는 현상으로 해석된다. 즉, 열처리 중에 노 내에 존재하는 미량의 산소에 의한 TiN의 부분 산화임을 알 수 있다. Fig. 10은 XRD 회절 분석 결과인데, 500°C 열공정이 가해진 후에도, 증착 직후의 회절선과 같이 Pt와 Al 상이 그대로 유지되고 있음을 알 수 있다.

Fig. 11은 Pt/Al 적층 및 Pt/TiN/Al 적층에서 열처리 후에 측정된 AFM 표면 거칠기 변화 경향을 보여주고 있다. Pt/TiN/Al 적층은 500°C까지 열공정이 증가하여도, Pt 표면에서의 표면 거칠기는 거의 변화가 없다. 그런데, Pt/Al 적층에서는 300°C 열공정을 가한 후에 표면 거칠기가 약간 증가하기 시작하여 400°C 이상에서는 급격히 증가함을 볼 수 있다. 이러한 AFM 분석 결과는 Pt/Al 적층에서의 상호 확산 반응이 약 300°C 정도 부터 시작됨을 보여주는 것이다.

이상의 실험 결과들을 종합해 보면, Pt과 Al이 직접 접촉하는 적층에서의 상호 확산 반응은 300°C부터 시작되

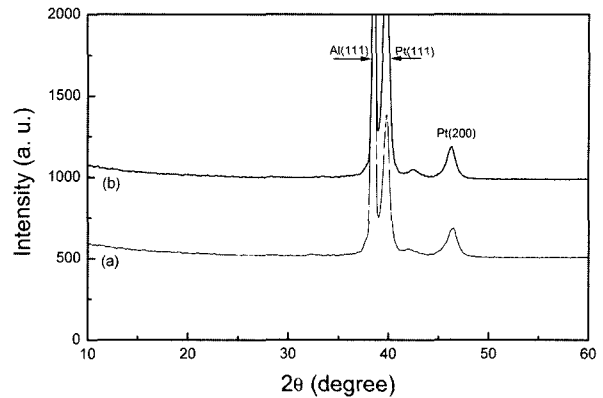


Fig. 10. XRD patterns obtained in Pt/TiN/Al film stacks annealed at different temperatures: (a) as-deposited and (b) 500°C/30 min.

고, 400°C 이상에서는 반응이 급격히 진행되지만, Pt과 Al 계면에 확산 방지막으로 TiN(1000Å)을 적용한 경우에는 500°C 열공정에서도 견딜 수 있음을 보여주고 있다. 따라서 Pt과 Al 박막 사이에 TiN을 1000Å 정도 삽입하면, 상호 확산 반응을 500°C까지도 충분히 방지할 수 있다고 판단된다.

그런데, 실제 FeRAM 소자 제작 중에서는 TiN 확산 방지막을 사용하는 경우에도, 400°C 이상의 열공정 후에는 Pt/Al 상호 반응이 관찰되었다 (Fig. 2). 이는 실제 소자 제작 과정에서의 TiN 확산 방지막 특성이 모사 실

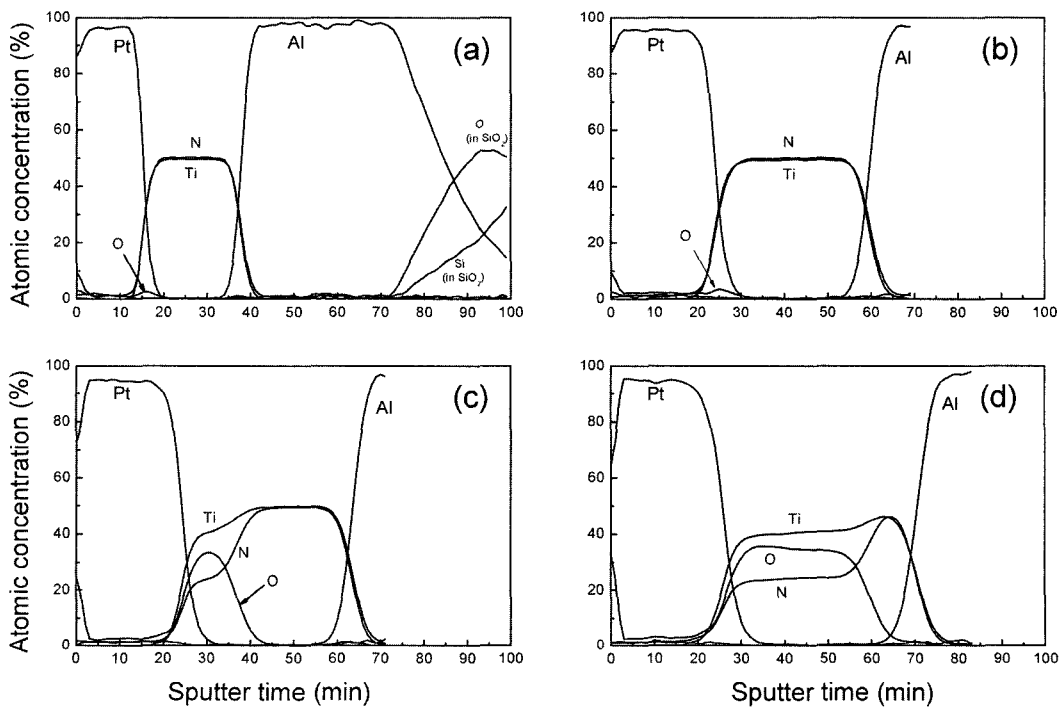


Fig. 9. AES depth profiles analysed in Pt/TiN/Al film stacks annealed at various temperatures: (a) as-deposited, (b) 300°C/30 min and (c) 400°C/30 min, (d) 500°C/30 min.

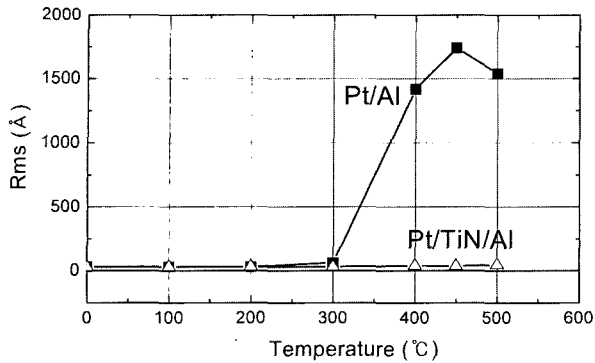
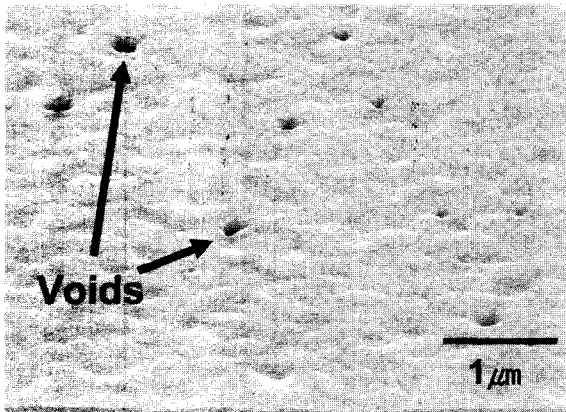
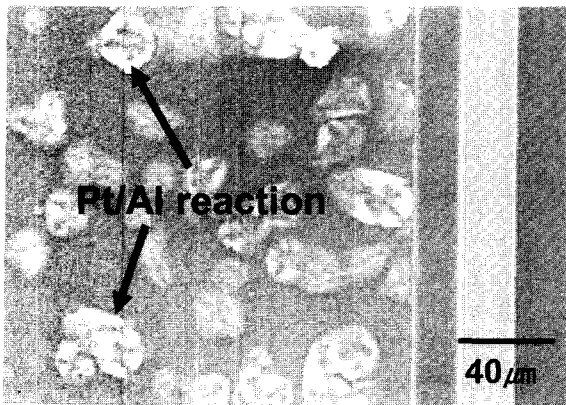


Fig. 11. AFM analyses on Pt surface of both the Pt/Al and Pt/TiN/Al film stacks annealed at various temperatures.



(a)



(b)

Fig. 12. Surface morphology observed on Pt electrode during integration: (a) before depositing the TiN CCB layer and (b) after metalization with annealing at 350°C/30 min/N<sub>2</sub>.

험 결과보다 열등함을 보여주는 것이다. 이러한 차이의 근본 원인을 파악하기 위하여, 실제 소자 제작 공정 단계들을 진행하면서 미세구조의 변화를 면밀히 관찰하였다. 이러한 미세구조 관찰 결과, Pt 전극 표면에 소자 제작 공정을 진행함에 따라 생성되는 결함(void)이 존재함

을 확인할 수 있었다. Fig. 12(a)는 실제 FeRAM 소자 제작 공정 중에서 관찰한 void 사진인데, CCB TiN 박막을 증착하기 직전 단계의 Pt 전극 표면 SEM 분석 결과이다. Fig. 12(b)는 이러한 Pt 전극 구조 위에 1차 금속 배선 공정을 수행하고, 후속 열처리를 350°C로 비교적 낮게 진행한 후에 관찰한 미세 구조 사진이다. Pt/Al 상호 확산 반응이 심하게 일어나지 않는 초기 반응 진행 상황을 고찰하기 위하여 고의적으로 낮은 열공정(350°C)을 인가하였다. 이러한 초기 반응 상황을 관찰해보면, Pt 전극 표면에 존재하는 void가 Pt/Al 상호 확산 반응의 시작점으로 작용하고 있음을 알 수 있다.

소자 제작 과정 중에서 금속 배선 공정 이전에 수행되는 높은 열처리 공정 및 SBT 강유전체 막의 큰 표면 거칠기 등이 Pt 전극 표면에 결함을 발생시키는 원인을 제공하는 것으로 판단된다.<sup>12,13)</sup> 이러한 결함이 발생하는 경우에는 TiN 층의 균일한 증착이 어려워지므로, 하부의 굴곡에 의해서 TiN이 얇게 증착된 부분에서는 충분한 확산 방지막 특성을 보이지 못하는 것으로 해석된다. 따라서 FeRAM 소자 제작 과정에서 발생하는 Pt/Al 상호 확산을 방지하기 위해서는, 강유전체 커패시터 제작 시의 열공정을 최대한 낮추고, 강유전체 막의 표면 거칠기를 낮추기 위한 실험들이 선행되어야 할 것으로 판단된다.

#### 4. 결 론

FeRAM 소자 제작 중에 발생하는 Pt/Al 상호 반응 거동 및 원인을 분석하기 위하여 Pt/Al 및 Pt/TiN/Al 적층에서의 모델링 실험을 분석하여 다음과 같은 결론을 얻었다.

1. Pt/Al 적층을 500°C까지 100°C 간격으로 열처리한 결과, Pt/Al 상호 반응은 300°C 정도부터 시작되었으며, 400°C 이상의 열공정 후에는 Pt과 Al이 완전히 섞여서 Al<sub>2</sub>Pt, 금속간 화합물을 형성하였다.

2. Pt/TiN/Al 적층을 500°C까지 100°C 간격으로 열처리한 결과, 500°C 열공정 후에도 Pt/Al 상호 반응은 발생하지 않았다. Pt과 Al 층 사이에 TiN(1000Å)을 삽입한 경우, 상호 확산을 완전히 방지할 수 있었다.

3. 그런데, 실제 소자 제작 과정에서는 TiN(1000Å)을 두 층 사이에 삽입하여도 Pt/Al 확산 반응에 의한 소자 구조 파괴 현상이 관찰되었다. 이러한 실제 소자 제작 공정 중에 발생하는 Pt/Al 반응은, 소자 제작 공정 중에 유발되는 Pt 전극 표면의 결함(void) 부분에서 시작됨을 확인할 수 있었다.

4. 따라서 소자 제작 공정 중에 발생하는 Pt/Al 반응을 억제하기 위해서는 전극 표면에 생성되는 void 발생을 방지하는 것이 가장 중요함을 알 수 있었다. 즉, FeRAM 소자 제작에서 TiN 확산 방지막을 적용하여 Pt/

Al 반응을 방지하고자 하는 경우에는, 금속 배선 공정 이전에 수행되는 강유전체 커패시터 공정들의 열처리 온도를 가능한 낮추어, Pt 전극 위의 void 발생을 억제하는 것이 가장 중요할 것으로 판단된다.

### 감사의 글

본 연구는 충주대학교 2004년도 학술연구조성비의 지원으로 수행되었으며 이에 감사를 드립니다.

### 참 고 문 헌

1. S. Y. Kweon, N. K. Kim, E. S. Choi, S. J. Yeom, J. S. Roh and Y. J. Park, *Jpn. J. Appl. Phys. Part 1*, **41**, 7327 (2002).
2. B. Yang, Y. M. Kang, S. S. Lee, K. H. Noh, S. W. Lee, N. K. Kim, S. Y. Kweon, S. J. Yeom and Y. J. Park, *IEEE Electron Device Lett.*, **23**, 743 (2002).
3. S. H. Oh, S. K. Hong, K. H. Noh, S. Y. Kweon, N. K. Kim, Y. H. Yang, J. G. Kim, J. Y. Seong, I. W. Jang, S. H. Park, K. H. Bang, K. N. Lee, H. J. Jung, J. H. Son, S. Lee, E. S. Choi, H. J. Sun, S. J. Yeom, K. D. Ban, J. W. Park, G. D. Park, S. Y. Song, J. H. Shin, S. I. Lee and Y. J. Park, *IEEE International Electron Device Meeting 2003 (IEDM 2003)*, December 8-10, (2003) Washington, D. C., USA,
4. W. W. Jung, S. K. Choi, S. Y. Kweon and S. J. Yeom, *Appl. Phys. Lett.*, **83**, 2160 (2003).
5. H. J. Sun, E. S. Choi, T. K. Lee, T. E. Hong, J. M. Yang, S. Y. Kweon, N. K. Kim, S. J. Yeom, J. S. Roh, H. C. Sohn and J. W. Kim, *Jpn. J. Appl. Phys. Part 1*, **43**, 2651 (2004).
6. Chin-An Chang, *J. Appl. Physics*, **52**, 4620 (1987).
7. Chin-An Chang, *J. Appl. Physics*, **61**, 1864 (1987).
8. E. G. Colgan, *J. Appl. Physics*, **62**, 1224 (1987).
9. S. Y. Kweon, S. J. Yeom, S. K. Lee, Y. S. Yu, D. S. Pyun and C. T. Kim, *Integrated Ferroelectrics*, **31**, 251 (2000).
10. P. Gas, J. Labar, G. Clugnet, A. Kovacs, C. Bergman and P. Barna, *J. Appl. Physics*, **90**, 3899 (2001).
11. J. Labor and P. Gas, *J. Appl. Physics*, **90**, 6545 (2001).
12. S. Y. Kweon, S. J. Yeom, H. J. Sun, N. K. Kim, Y. S. Yu and S. K. Lee, *Integrated Ferroelectrics*, **25**, 299 (1999).
13. W. S. Yang, S. J. Yeom, N. K. Kim, S. Y. Kweon and J. S. Roh, *Jpn. J. Appl. Phys. Part 1*, **39**, 5465 (2000).