

## 코발트/니켈 합금박막으로부터 형성된 복합실리사이드

송오성<sup>†</sup> · 정성희 · 김득중  
서울시립대학교 신소재공학과

## Characterization of Composite Silicide Obtained from NiCo-Alloy Films

Ohsung Song<sup>†</sup>, Seonghwee Cheong and Dugjoong Kim

Department of Materials Science and Engineering, The University of Seoul,  
90 Chennong-dong, Tongdaemun-gu, 130-743, Seoul

(2004년 10월 14일 받음, 2004년 11월 23일 최종수정본 받음)

**Abstract** NiCo silicide films have been fabricated from 300Å-thick  $Ni_{1-x}Co_x$  ( $x=0.1\sim 0.9$ ) on Si-substrates by varying RTA(rapid thermal annealing) temperatures from 700°C to 1100°C for 40 sec. Sheet resistance, cross-sectional microstructure, and chemical composition evolution were measured by a four point probe, a transmission electron microscope(TEM), and an Auger depth profilometer, respectively. For silicides of the all composition and temperatures except for 80% of the Ni composition, we observed small sheet resistance of sub-7  $\Omega/sq.$ , which was stable even at 1100°C. We report that our newly proposed NiCo silicides may obtain sub 50 nm-thick films by tuning the nickel composition and silicidation temperature. New NiCo silicides from NiCo-alloys may be more appropriate for sub-0.1  $\mu m$  CMOS process, compared to conventional single phase or stacked composite silicides.

**Key words** silicide, alloy, cobalt, nickel, composite silicide.

### 1. 서 론

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합된 중간상으로서, 상보형 금속산화막 전계실리콘(CMOS) 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에만 선택적으로 적용하여, 실리콘과의 저저항 오믹콘택을 유지시키고 상부 금속 배선층과 실리콘과의 확산방지막으로서의 역할을 담당한다. 이러한 목적을 위해서 마스크 공정없이 요구되는 위치에 선택적으로 실리사이드를 생성시키는 살리사이드(salicide: self aligned silicide)공정으로 구현된다.

살리사이드 공정은 일단 기판전체에 절연층을 성막하고 이방성 식각으로 게이트 양측면에 스페이서를 형성시키고, 다시 금속층을 기판전체에 성막하여 열처리를 진행하여 드러난 실리콘으로 이루어진 게이트 상부와 소오스, 드레인 상부에만 금속과 반응이 일어나도록 함으로써 실리사이드를 원하는 곳에 생성시키고 실리사이드가 필요 없는 스페이서 표면의 미반응 금속층은 산으로 제거하여 최종적으로 마스크 없이 실리사이드를 선택적으로 만드는 공정이다.<sup>1-3)</sup> 마스크가 필요 없어서 경제성이

우수하고 소자의 접촉저항을 작게할 수 있으므로 살리사이드공정을 기반으로 한 50 nm 정도 두께의 저저항 실리사이드는 향후 최소선폭 0.1  $\mu m$ 급 이하의 소자에까지 채용될 전망이다.<sup>4)</sup>

소자의 발달에 따른 집적도 증가에 따라 최소선폭이 0.1  $\mu m$  이하의 소자에 채용되는 실리사이드는 가능하면 기존공정을 활용하여 호환성 있는 공정으로 50 nm 정도로 얇게 만들 수 있고, 10  $\Omega/sq.$  이하의 면저항을 유지하여야 하며, 가능하면 후속 열처리공정에서도 저저항을 유지하여 하부의 활성화영역의 도펀트와 반응을 하지 않는 안정성이 요구된다. 또한 완성된 실리사이드는 기존의 콘택에치 공정에서도 충분한 선택비가 있어서 게이트 상부와 소오스, 드레인 간의 단차에 대해서 metal contact 을 실시할 때 오버에치가 여유가 있어야 한다.

이러한 요구조건을 만족하기 위해 이미 기존에는 TiSi, CoSi, NiSi가 이미 채용되고 있다. 이미 개발되어 양산화 된 TiSi는 0.25  $\mu m$  이하의 선폭에서는 저저항을 위한 TiSi로의 상변화가 일어나지 않는 선폭의존성의 한계가 있고,<sup>5,6)</sup> CoSi는 실리사이드와 부피변화가 3.3 정도로 상대적으로 크며 실리콘에 자연산화막이 있는 경우 실리사이드 반응이 지연되는 공정상 단점이 있다.<sup>7-9)</sup>

그리고, 비교적 최근에 많이 채용되는 NiSi는 니켈과

<sup>†</sup>E-Mail : songos@uos.ac.kr

실리콘이 1:1로 반응하므로 부피변화가 적어서 얇게 만드는데 유리하지만 실리사이드화 온도가 700°C가 넘으면 고저항의 NiSi로 상변화를 일으키므로 고온의 후속열처리 공정이 있는 경우 극히 불리한 특성을 가진다.<sup>10)</sup>

기존의 단상 실리사이드를 쓰는 문제점을 해결하기 위해 상기의 실리사이드를 복합하여 삼상 실리사이드로 해결하려는 노력이 진행되었다. 기존의 실리콘기판에 Co/Ti/Si 구조 또는 Ti/Co/Si 구조의 박막적층을 형성시킨 후 열처리하여 실리사이드를 구현하는 Co/Ti 실리사이드가 많이 연구되었다.

정과 송은 Co/Ti, Ti/Co 구조로부터 복합실리사이드를 제조한 결과 주로 저저항의 CoSi가 형성되지만 상부에 제거가 어려운 CoTiSi<sub>x</sub> 중간상이 형성되는 문제를 보고하였고,<sup>11)</sup> 김과 백도 CoTiSi의 중간상이 형성되어 오히려 안정한 물질 확산 방지층으로의 역할을 한다고 보고한 바 있다.<sup>12)</sup> 그러나 궁극적으로 안정적인 실리사이드 공정을 위해서는 이러한 Co/Ti 복합실리사이드에서 생성되는 CoTiSi 중간상을 제거하여야 하는데, 이를 위하여 과도한 습식 후 처리공정이 요구되는 단점이 남아있다.

최근 Song등은 Co/Ni 또는 Ni/Co 적층박막으로부터 형성되는 Co/Ni 복합형 실리사이드에 대해 보고한 바 있다.<sup>13)</sup> Co/Ni/Si 구조로부터 형성된 실리사이드는 CoNiSi<sub>x</sub>의 삼원계 실리사이드와 NiSi가 복합되어 생성되며 급속 열처리시의 실리사이드와 공정에서는 1100°C까지도 안정할 수 있음을 보이고 있으나 실리사이드화 온도가 증가함에 따라 NiSi상의 우선성장이 발생하여 부분적으로 두께가 두꺼워지는 현상을 보고하였다. 한편 이미 형성된 복합형 실리사이드는 800°C까지 30분 이상의 열처리에 도 안정할 수 있음을 보이고 있다. 즉 CoNi 복합형 실리사이드에서는 900°C까지 고저항 NiSi로의 상변화를 억제함으로써 기존 NiSi가 보다 고온안정성이 확보됨을 의미한다.<sup>13)</sup>

또한 Ni/Co/Si 적층구조로부터 형성된 실리사이드에서는 적층순서만 바뀌었음에도 불구하고 매우 얇은 CoNiSi<sub>x</sub> 단상 삼원계 실리사이드가 형성되며, 이 실리사이드는 급속가열 실리사이드화 온도가 1100°C까지 되더라도 5 Ω/sq.이하의 저저항을 유지할 수 있으며 900°C에서 30분 이상 가열하여도 NiSi의 성장없이 고온안정성을 가짐을 보고하였다.<sup>13)</sup>

따라서 적층형 복합실리사이드에서는 Ni 원자의 이동속도가 Co 원자의 확산속도보다 빨라서 적층 순서에 관계없이 Ni이 먼저 반응하는 것으로 보이며 이를 잘 조절한다면 전술한 0.1 μm급 CMOS에 탑재 가능한 요구조건을 만족하는 실리사이드 물성을 확보할 가능성이 크다.

이러한 배경에서 본 연구는 Co/Ni를 적층구조가 아닌 합금층으로부터 시작하여 복합실리사이드를 형성시키는 경

우에 면저항 변화와 기존의 적층형 복합실리사이드에 비해 최종 형성된 두께나 균일성 측면에서 우수한 점이 있는지 확인하여 보았다. 본 연구에서는 Ni<sub>1-x</sub>Co<sub>x</sub>(x=0.1~0.9) 범위의 소오스로부터 열증착법으로 30 nm의 합금층을 실리콘기판에 형성시킨 후 실리사이드 공정을 변화시키며 합금조성이 변화함에 따라 최종적인 복합 실리사이드의 물성변화를 확인하여 보았다.

## 2. 실험 방법

코발트 칩과 니켈 와이어를 이용하여 열증착을 위한 NiCo의 합금을 제조하였다. 먼저 Co칩의 무게를 10<sup>-4</sup>까지 측정되는 전자저울을 이용하여 측정한 후 무게비에 맞춰서 Ni 와이어를 절단하여 weight percent를 Ni-10%/Co-90%에서 Ni-90%/Co-10%까지 10% 단위로 변화시킨 9가지의 시료를 준비하였다.

준비된 금속시료들은 열처리 전에 금속 표면의 불순물을 제거하기 위해 HNO<sub>3</sub>:DI water를 50:50으로 섞은 용액에서 실온에서 각각 1분간 세척하였다.

합금소오스를 제조하기 위해 확산펌프를 이용하여 10<sup>-5</sup> torr의 진공도를 유지하는 진공퍼니스에 Al<sub>2</sub>O<sub>3</sub> 보우트를 사용하여 열처리를 진행하였다. 열처리는 Ni과 Co는 1495°C에서 전융고용체로 존재하므로 1600°C까지 분당 20°C 씩 올려 모두 녹인 후 노냉시켰다.<sup>14)</sup>

완성된 합금시료들은 표면장력 때문에 구형을 유지하였으며 이들을 텅스텐 발열체에 넣어 열증착을 실시하였다. 열증착 직전에 실리콘기판은 자연산화막을 제거하고 장입하여 추후 실리사이드 반응이 용이하도록 조치하였다.

제작된 Ni/Co 합금을 이용한 시편은 조성의 확인을 위해 주사전자현미경에 장착된 EDS(energy dispersive spectrum)를 이용하여 원하는 조성 분포로 제작되었는지 확인해보았다. 측정시 배율은 ×170로 하여 비교적 넓은 범위를 1.5~2.0 kbps의 acquisition rate를 유지하며 시편의 정성분석과 더불어 정량분석을 하였다. 이를 근거로 증착된 Ni/Co 합금을 칭량비와 근사하게 구성하였음을 확인하고 칭량비를 조성비로 사용하였다.

Fig. 1에 기술된 바와 같이, 직경 4-inch P-type (100) 실리콘기판 전면에 조성별로 열증착된 시편들을 동일한 40초 조건으로 실리사이드화 처리를 위해서 패속열처리(rapid thermal annealing: RTA)을 실시하였다. 이때 RTA 온도를 700, 850, 900, 1100°C로 각각 변화시켜 실리사이드층을 형성시켰다.

완성된 실리사이드들의 전기저항 변화를 확인하기 위해서 사점전기저항측정기를 이용하여 상하좌우 중심(TCBRL)위치에서 120°C 황산에서 10분간 세정한 이후의 면저항값을 측정하였다. 완성된 시편들의 미세구조를 확인하기 위해 수직단면 투과전자현미경을 이용하여 완

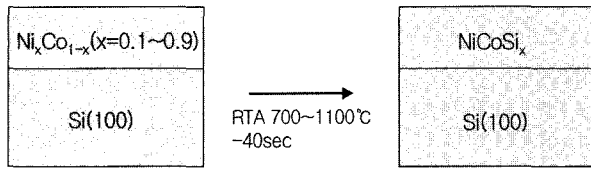


Fig. 1. Schematic illustration of composite silicides from NiCo-alloys.

성된 시편의 두께를 확인하였다.

투과전자현미경 촬영을 위한 시편은 일반적인 전자현미경 시편준비법으로 진행하고 최종적으로 PIPS(precision ion polishing system)를 이용하여 촬영부 두께가 100 nm 이하가 되도록 준비하였다. 측정된 이미지를 이미지분석 프로그램(IMT)을 활용하여 각층의 두께를 정밀하게 측정하였다. 한편 실리사이드층을 SADP(selected aperture diffraction pattern)을 촬영하고 이로부터 구성상(phase)을 확인하고자 하였다.

AES(Auger electron spectroscopy)를 써서 표면부로부터 스퍼터링 속도를  $\text{SiO}_2$ 를 기준으로  $158 \text{ \AA}/\text{min}$ 으로 유지시키면서 두께별로 주요성분(Ni, Co, Si)을 분석하여 각 온도에서 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

### 3. 결과 및 고찰

#### 3.1 면저항의 변화

Fig. 2에는 전기적 물성변화의 대표적인 면저항을, 실리사이드 처리후 크리닝이 완료된 상태에서의 면저항의 변화를 각 박막의 합금조성과 실리사이드 온도에 따라 나타내었다. 합금조성에 따라 증착 후  $7\sim 12 \Omega/\text{sq}$ . 정도의 면저항이 실리사이드반응에 따라 급격히 면저항이 낮아지는 것을 알 수 있다.

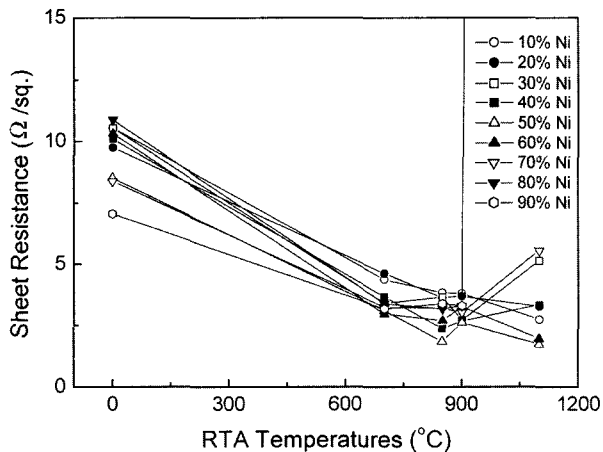


Fig. 2. Sheet resistance changes with varying compositions and rapid annealing temperatures.

SIA Roadmap<sup>4)</sup>에 의하면 향후  $0.1 \mu\text{m}$  이하의 소자 적용을 위한실리사이드는  $5 \Omega/\text{sq}$ . 정도의 면저항이 요구되고 있는데, 본 결과물은 합금을 쓸 경우 Ni 80% 이상인 경우를 제외하고 대부분의 공정조건에서  $1100^\circ\text{C}$ 까지 안정할 수 있음을 의미한다. 그리고, Ni의 양이 50% 정도 이상으로 많을 경우는 과도한 잉여 Ni이 고온에서 고저항의  $\text{NiSi}_2$  상으로 천이되어 전체적인 면저항을 높이는 현상이 발생하는 것으로 판단된다.

특히 Ni의 조성이 40, 50, 60% 정도의 NiCo가 1:1 정도 조성에서 전체 RTA 공정 온도구간에서 안정한 저저항 복합실리사이드가 생성됨을 알 수 있었다. 이러한 결과는 이미  $\text{Si}(100)/15 \text{ nm-Ni}/15 \text{ nm-Co}$ 와  $\text{Si}(100)/15 \text{ nm-Co}/15 \text{ nm-Ni}$  구조의 적층형박막으로부터 완성된 복합실리사이드로  $1100^\circ\text{C}$ 까지 고온안정성을 확보하였다는 송오성 등의 보고<sup>13)</sup>와 일치하며 이러한 적층형박막으로부터의 실리사이드화 과정이 내부적으로는 합금화과정을 거쳐서 빠른시간에 복합실리사이드로 생성되어 고저항  $\text{NiSi}_2$ 의 생성을 억제하기 위해서는 Ni의 조성이 70% 이하로 제어되어야 함을 의미한다.

합금형 급속박막으로부터 형성된 실리사이드는 상대적으로 적층형급속박막으로부터 형성하는 공정보다 나노급 두께 제어를 한번만 하면 되므로 경제성과 시간을 고려할 때 공정적인 측면에서 유리한점이 있다.

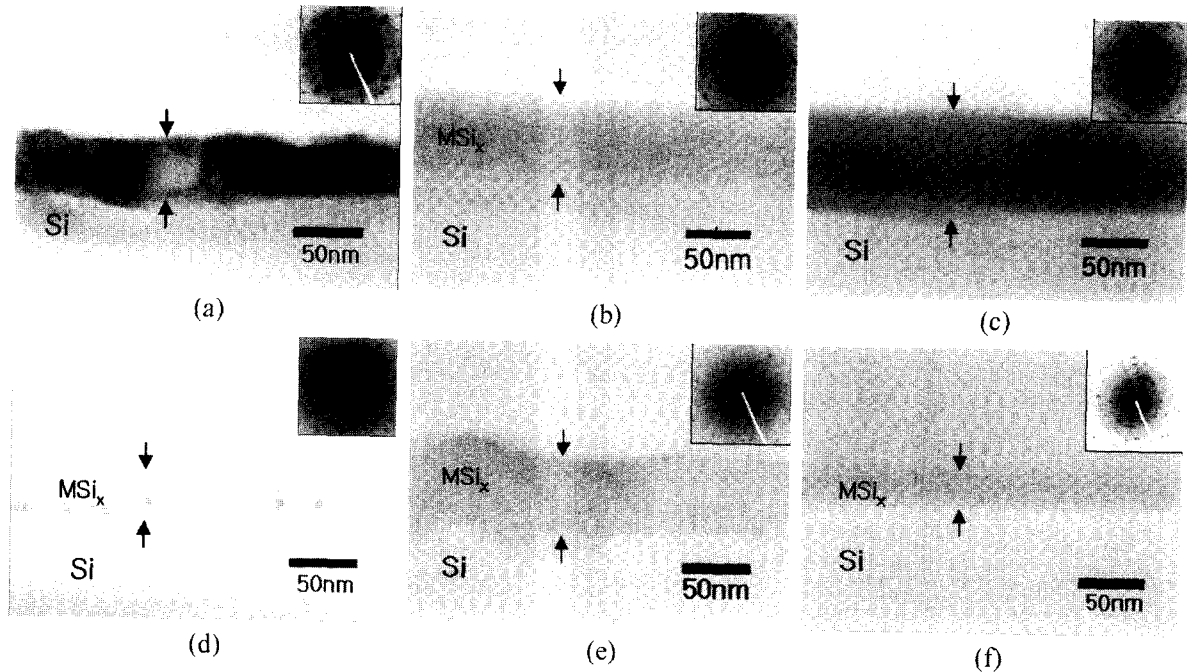
또한 합금형박막으로 형성된 복합실리사이드는 기존의 순급속으로부터 형성되는 실리사이드가 Ni의 경우  $\text{NiSi}_2$ 의 천이 때문에 후속공정을  $750^\circ\text{C}$  이하에서 처리해야 했던 단점에 비해  $1100^\circ\text{C}$  이상까지 후속공정이 가능할 수 있음을 보이고 있어서  $\text{CoSi}_2$ ,  $\text{NiSi}$ 와 같은 전기적물성을 만족시키면서도 고온 후속공정이 가능하므로 기존 실리사이드 재료와 같은 정도의  $\text{sub-}0.1 \mu\text{m}$ 를 이용한 CMOS 양산공정에 용이하게 채용 가능함을 보이고 있다.

#### 3.2 합금조성별 미세구조의 변화.

소자의 미세화에 따라 실리사이드층의 두께도 중요하다. SIA Roadmap의 예측에 의하면  $\text{sub-}0.1 \mu\text{m}$  소자의 경우 50 nm 정도 이하 두께의 실리사이드 채용이 예상되므로 제안된 합금박막으로부터 제안된 복합실리사이드의 두께와 평탄도, 실리사이드의 상의 확인도 중요하다.<sup>4,15)</sup>

Fig. 3에는 (a)-(c)에는  $700^\circ\text{C}$ -40 sec RTA처리후의 Ni의 조성이 10, 50, 90%의 실리사이드를 보이고 있고 (d)-(f)에는  $1100^\circ\text{C}$ 에서의 동일조성의 실리사이드에 대한 수직단면 TEM이미지를 각각 나타내었다. 특히 각 이미지의 우상단에는 이때의 SADP(selected and diffraction pattern)을 촬영하여 같이 표현하였다.

SADP 이미지는 각 상의 회절패턴을 나타내므로 비교적 순수한 조성인 (a)와 (c)의 회절패턴은 이미 알려진  $\text{NiSi}$ 와  $\text{CoSi}_2$ 의 패턴과 거의 동일하다고 할 수 있다.

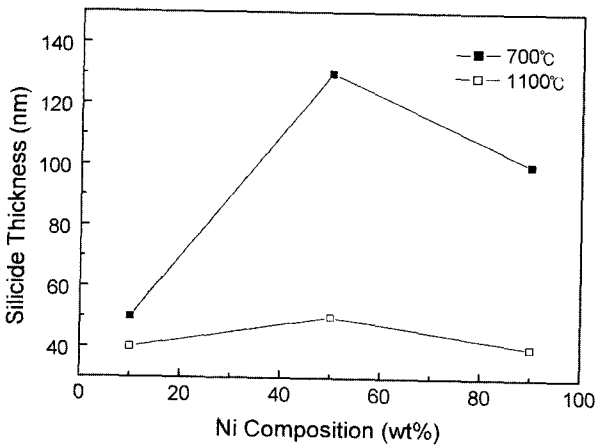


**Fig. 3.** Cross-sectional TEM images of silicide layers from composition of (a) 10%Ni-90%Co(RTA 700°C), (b) 50%Ni-50%Co(RTA 700°C), (c) 90%Ni-10%Co(RTA 700°C), (d) 10%Ni-90%Co(RTA 1100°C), (e) 50%Ni-50%Co(RTA 1100°C), and (f) 90%Ni-10%Co(RTA 1100°C) insets indicate SADPs.

(b)의 50%Ni-50%Co와 비교하면 이들이 NiSi와 CoSi의 패턴의 혼합으로 추정할 수 있었으며 특히 NiSi가 혼합상의 하나로 존재하면서도 1100°C까지 고저항 NiSi<sub>2</sub>로 변화하지 않을 수 있다는 사실을 확인하였다.

반면 1100°C에서 고온에서 제조된(e)의 경우에는 NiSi와 CoSi<sub>2</sub>의 혼합이 아닌 새로운 CoNiSi<sub>x</sub> 상으로 추정되었으며 기존의 이원계 실리사이드에 비해 삼원계실리사이드가 1100°C에서도 NiSi<sub>2</sub> 패턴이 발견되지 않아 저저항을 보일 수 있음을 알 수 있었다.

한편 Fig. 4에는 Fig. 3에서 추출한 실리사이드상의 두



**Fig. 4.** Silicide thickness with nickel composition at the temperatures of 700°C and 1100°C.

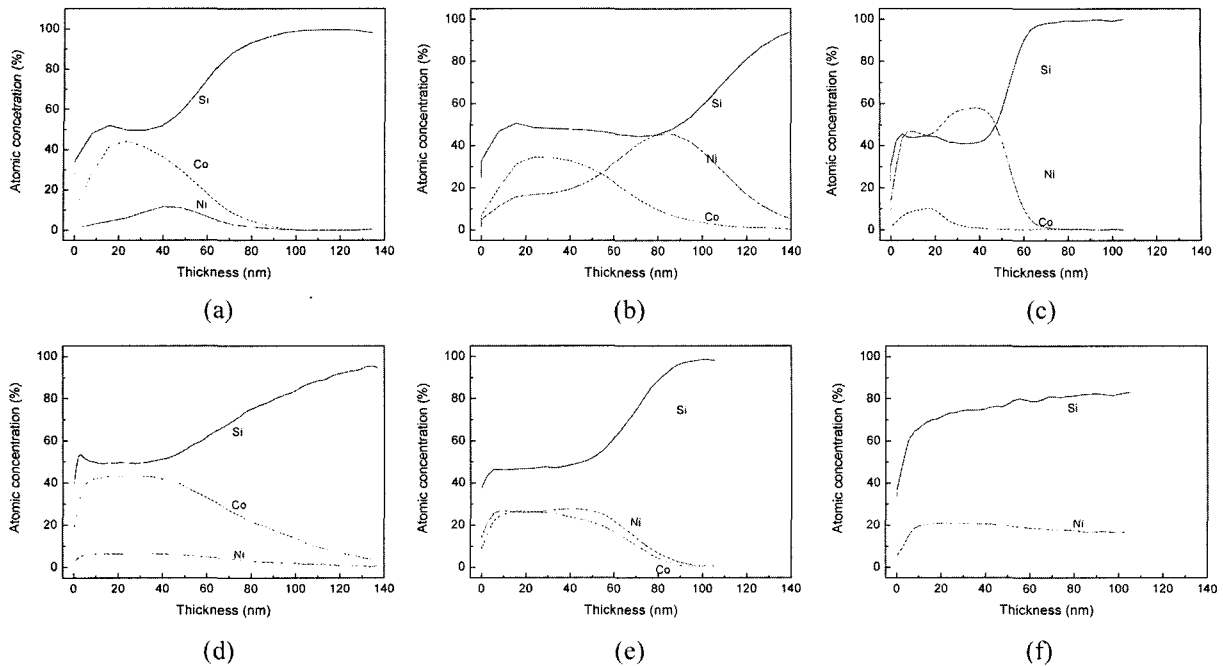
께를 표시하였다. 정성적으로 RTA온도가 고온일수록 두께가 얇으며, 일반적으로 RTA온도가 고온일수록 안정한 MSi<sub>2</sub>형 실리사이드가 생성되어 상대적인 두께가 더 두꺼울 것이라고 예상과는 달리 오히려 얇아졌는데 이는 Ni의 확산계수가 Co보다 더 커서 오히려 고온상에서 부피 팽창의 상대분율이 커서 나왔다는 현상이라고 추측되었다.

Ni의 조성에 따라, 저 Ni 함유시에는 CoSi<sub>2</sub>의 부피 팽창을 Ni이 효과적으로 방지하여 얇을 수 있으며 고 Ni 실리사이드에서는 상대적으로 실리콘과 1:1로 반응하는 NiSi 분율이 많아서 두께가 얇아질 수 있는 특성이 있었다. 따라서 CoNi 합금박막으로부터 형성된 실리사이드를 기존의 단상실리사이드에 비해서 조성과 온도를 조절함으로써 목표하는 두께를 달성하는 것이 가능하였다.

### 3.3 합금조성별 화학조성의 변화

Fig. 5에는 표면부로부터 700°C의 시편에 대해 실리사이드를 제거하면서 Co, Ni, Si의 조성을 확인한 결과를 나타내었다. 조성과 온도에 관계없이 스퍼터링 속도에 따른 두께오차를 무시하면 실험범위의 실리사이드는 모두 표면부에 가까울수록 Co가 많고 그 하부에 Ni이 위치함을 알 수 있다.

이는 완전히 전용고용된 NiCo 합금박막으로부터 실리콘과 반응하는데 있어 Ni의 상대 확산속도가 Co보다 빨라서 항상 더 많이 내부로 침투함을 의미하며, 특히 Ni이 10% 정도로 소량 첨부된 (a), (d)와 같은 경우에는



**Fig. 5.** Auger depth profiling data of silicide layers from composition of (a) 10%Ni-90%Co(RTA 700°C), (b) 50%Ni-50%Co(RTA 700°C), (c) 90%Ni-10%Co(RTA 700°C), (d) 10%Ni-90%Co(RTA 1100°C), (e) 50%Ni-50%Co(RTA 1100°C), and (f) 90%Ni-10%Co(RTA 1100°C).

이런 효과가 적은 반면 고온에서는 쉽게 전체두께에 균일하게 분포함을 알 수 있다.

이러한 결과로부터 Ni에 대한 Co의 함금은 기존의 단상실리사이드에 비해 NiSi의 빠른 생성을 Co로써 효과적으로 제어하고 이를 고려하여 균일성분의 실리사이드, 더 얇은 두께의 실리사이드 제조가 가능함을 알 수 있다.

#### 4. 결 론

30 nm 두께의  $Ni_{1-x}Co_x$  ( $x=10\sim90\%$ ) 합금박막으로부터 700°C~1100°C-40초 패속열처리를 통하여 여러 가지 복합실리사이드를 제조하였다. 완성된 실리사이드에서 80% 이상의 Ni조성을 제외하고 모두 sub-0.1  $\mu m$ 급에 적합한 저저항 면저항을 보였다. 두께도 조성과 RTA온도를 조절하여 50 nm 이하로 만드는 것이 가능하였고, 오제이 두께 분석 결과 Ni의 상대확산속도가 크므로 Ni 함량과 RTA온도로서 목표 두께의 제어가 가능하였다. 40~60% Ni의 조성범위에서 기존 NiSi,  $CoSi_2$  보다 고온에서 안정하고 얇은 두께의 저저항 복합실리사이드가 가능하였다.

#### 감사의 글

본 연구는 한국과학재단의 특정기초연구사업(과제번호 R01-2004-000-10028-0)지원으로 수행되었습니다. 이에 감사드립니다.

#### 참 고 문 헌

1. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, Eddie Er and S. Redkar, *Appl. Phys. Lett.*, **78**(20), 3091 (2001).
2. J. Prokop, C. E. Zybilla and S. Veprek, *Thin Solid Films*, **359**, 39 (2000).
3. C. Detavernier, R. L. Van Meirhaeghe, F. Cardon, K. Maex, H. Bender and S. Zhu, *J. Appl. Phys.*, **88**(1), 133 (2000).
4. Semiconductor Industry Association(SIA), the International technology roadmap for semiconductors, (2001).
5. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Lett.*, **21**(4), 155 (2000).
6. H. Fang, M. C. Oztu, E.G. Seebauer, and D. E. Batchelor, *J. Electrochem. Soc.*, **146**(11), 4240 (1999).
7. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**(2), 262 (1991).
8. R. T. Tung, *MRS Symp. Proc.*, **427**, 481 (1996).
9. M. L. A. Dass, D. B. Fraser and C. S. Wei, *Appl. Phys. Lett.*, **58**(12), 1308 (1991).
10. S. P. Muraka, *J. Electrochem. Soc.*, **129**, 293 (1982).
11. S. H. Cheong and O. S. Song, *Korean J. Mater. Res.*, **13**(2), 88 (2003).
12. G. B. Kim and H. K. Baik, *Appl. Phys. Lett.*, **69**, 3498 (1996).
13. Y. S. Jung, S. H. Cheong and O. S. Song, *Korean J. Mater. Res.*, **14**(6), 389 (2004).
14. S. Nagasaki and M. Hirabayashi, *Binary phase diagrams*, Tokyo, Agne Technology Center, p. 111 (2001).
15. P. B. Zantye, A. Kuman and A. K. Sikder, *Mater. Sci. Eng.*, **R45**, 89 (2004).