

## 특집 : 수동소자 기술현황

# Passive integration용 세라믹/고분자 하이브리드 소재기술

김 병 국, 박 재 관

(KIST 재료연구부 책임연구원)

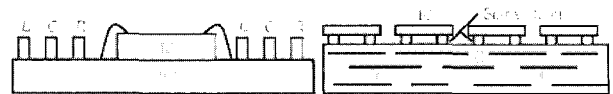
## 1. 기술 개요

현대 과학기술과 산업은 극한적 발전을 거듭하고 있으며 정보통신, 자동차, 정밀제어 분야가 그 중 가장 핵심적 분야라 할 수 있다. 이러한 기술 분야에서는 정보량의 급증, 정보의 고속화, 정보감지 및 반응의 실시간화, 이동형 및 맞춤형 서비스 등의 흐름이 강조되는 추세이다. 이에 따라 시스템적으로는 주파수 대역의 증가, 다기능화 등의 경향이 강조되고 있으며, 부품 및 소재 분야에서는 초소형화, 고기능화, 복합기능화 등이 매우 강조되고 있다. 이러한 극한적 시스템 발전에 대응하기 위해서, IT/BT/NT의 융합개념, 금속/세라믹/폴리머 등 관련 소재의 시너지화, 하이브리드화 등 종래의 개념과 한계를 뛰어넘는 새로운 패러다임의 기술에 대한 중요성이 부각되고 있다.

이러한 차원에서 다양한 전자기 기능성을 갖는 세라믹 소재와 우수한 가공성을 갖는 고분자와의 하이브리드화를 통해 탁월한 시너지 효과를 볼 수 있는 여러 기술 분야가 제시되고 있다. 이 중에서도 passive integration용 세라믹/고분자 하이브리드 복합기능 소재기술은 향후 5~10년 사이에 한계에 부딪히게 될 것으로 예상되는 세라믹 전자기 수동부품 산업의 기술적 돌파구를 제공해 줄 수 있는 기술로 예상되고 있다. passive integration이란 그림 1에 나타낸 바와 같이 캐패시터 (capacitor, C), 저항 (resistor, R), 인덕터 (inductor, L) 등의 개별 세라믹 수동소자 (passive)들을 고분자 매트릭스의 다층 인쇄 회로 기판 (printed circuit(wiring) board - PCB(PWB))에 내장시키는 기술로서 부품의 소형화, 복합화를 위한 매우 중요한 기술로 대두되

고 있다. 이러한 기술은 표 1에 정리한 바와 같이 향후 핵심적인 정보통신산업 분야에서 절실히 요구되고 있어 그 경제·산업적 필요성이 지대하다.

정보통신용 회로 및 세트를 구현하기 위해서는 필수적으로 수동소자들이 필요하게 되는데, 현재까지는 전자기 기능성 세라믹스 기술에 기반을 둔 다양한 개별 수동소자들을 모듈 혹은 기판 상에 SMD 형태로 표면 실장하여 제품을 제조하여 왔다. 그러나 이러한 제조 방식은 기본적으로 보드면적의 증가, 제조비용 증가 그리고 기생성분의 도입을 유발하게 되고, 결국 시스템의 성능을 저하시키는 결과를 초래하게 된다. L/C/R 수동소자 개별부품을 기판내부에 내장시킬 경우, 리드 (lead)가 없어지고 다른 IC 칩들과 수동소자 사이의 배선 길이가 짧아짐으로써 기생성분들이 제거되어 노이즈가 감소하여 전기적 성능이 제고되며, 조립 단가의 감소, 패키징 효율 증가, 저전력 손실, 부피 및 무게 감소 등의 효과가 기대된다. 수동소자 내장 방법으로, 세라믹 기판을 사용하는 저온동시소성 (LTCC, Low Temperature Cofired Ceramics) 기술로 대변되는 MCM-C (Multi Chip Module-Ceramic) 기술이나 박막증착이 기본인 MCM-D (Deposited) 기술이 사용되어 왔다. 그러나 고온의 열처리 공정과 고비용 박막공정을 거쳐야 하는 문제점이 있다.



(a) 수동소자복합 다층 기판

(b) 개념도

그림 1 개별부품실장 개념

표 1 set 업체의 mother board에 부품내장 PCB의 채용 요구 시기

Products	Embedded passive			
	C	R	L	Filter
Wearable products	2005년	2007년	2009년	2007년
Cellular phone, PDA	2004~10	2004~10	2005~10	2005~10
Digital video camera	2005	2005	2005	2005
Note PC	2004~10	2004~10	2006~10	2005~10
Car navigation	2008	2008	2010	2008
Engine automotive	2010	2006~10	2010	2010
Digital TV set	2006~08	2006~08	2006~10	2006~08

\* 출처: JISSO/PROTEC Forum Japan 2003 : Interconnect Technology Information

수동소자가 고분자 재질의 PCB 내부에 직접 내장되면, 300℃ 이하의 저온에서 소성공정 없이 다기능 고집적의 기판 혹은 모듈을 제조할 수 있는 큰 장점이 있다. 이러한 기술을 가능하게 하는 것이 세라믹/고분자 하이브리드 소재 기술이다. PCB 내장 수동부품 중에서 버스 속도가 100 MHz 이상으로 빨라지면서 개수가 급격히 늘어나는 SMD 저항이 가장 먼저 내장되기 시작했다. (embedded R) 또한 decoupling 캐패시터의 내장 필요성이 커짐에 따라 내장형 캐패시터 (embedded C)에 대한 연구가 활발히 수행되었다. embedded C용 소재로는 고유전을 고분자를 사용하는 것이 가장 바람직하나, PCB와의 공정 부합성을 갖는 고분자 소재들의 유전율은 한계가 있으므로 고유전을 세라믹 분말이 필러로 첨가된 하이브리드 소재가 사용된다.

현재 세라믹/고분자 하이브리드로 구성된 embedded C용 소재의 유전율은 10~100, 캐패시턴스는 4~25 nF/cm<sup>2</sup> 정도이나, 실제 제품화 된 것은 유전율 20 수준 정도이다. 내장형 인덕터 (embedded L)의 경우 현재 PCB 기판상에 전극을 회전시켜 원하는 인덕턴스를 얻는 설계에 의해 구현되고 있다. 회전된 전극 위에 자성체 코어를 사용할 경우, 인덕턴스가 증가하고 자기실드 효과에 의해 노이즈를 억제시킬 수 있는 복합기능을 얻을 수 있으나 공진주파수 (SRF)가 급격히 떨어져 사용주파수가 낮아지게 된다. 따라서 고주파 영역에서는 회로 배선 코일만으로 구성된 인덕터를 내장하며, 사용주파수가 수십 MHz로 낮고 큰 인덕턴스 값을 요구하는 전원회로 (필터 및 트랜스포머)에서 페라이트/고분자 하이브리드 코어를 사용한 인덕터가 PCB나 폴리이미드 기판에 내장되기 시작하고 있다.

본고에서는 이러한 세라믹/고분자 하이브리드 기술에 의한 수동소자 집적화 소재 및 공정 기술 전반에 대한 기술동향을 업체동향을 중심으로 소개하고 향후 기술발전 방향에 대해 전망하고자 한다.

## 2. 국내외 연구개발 동향

세라믹 분말과 고분자와의 복합체 후막기술을 활용한 내장형 수동소자 (embedded passives) 기술은 기판 및 모듈의 크기를 축소, 저가격, 크로스토크 (cross talk) 및 노이즈 방지를 통한 초고주파 대응성 등 많은 장점들이 있다. 이에 따라, 최근 수년간 PCB 및 패키징 관련 연구소, 대학, 메이커 등에서 매우 중요한 차세대 기술로 인식되어 활발한 연구가 진행되고 있다. (표 2)

L, C, R 기능을 내장한 형태의 embedded passive는 개념적으로 많은 진전을 보이고 있으나, 실제 하이브리드 라미네이트 형태로 구현하였을 경우 전기적 특성, 용량 편차, 기본 PCB와의 공정 부합성 등 여러 문제들이 노출되고 있다. 특히, 현 단계의 embedded passive 기술은 시장이 요구하는 다양한 용량을 제공하지 못하고 있으며 용량의 편차 (tolerance)가 아직 개별 소자에 미치지 못하고 있다. 이는 다양한 용량의 범위가 넓고, 물리적 정확하게 신뢰성이 있고, 또한 적절한 가격으로 구현할 수 있는 소재가 뒷받침되지 못한 것에 주로 기인하며, 향후 embedded passive의 기술적 산업적 진보를 위해서는 원천 소재 기술개발에 노력이 집중되어야 할 것으로 예상된다.

세계적으로 PCB 및 패키징 관련 업계와 연구기관을 중심으로 embedded passive 기술에 대한 연구개발이 활발히 이뤄지고 있으며 특히 미국에서는 NEMI (National Electronic Manufacturing Initiative)를 중심으로 재료·장비업체, PCB 메이커, 엔드유저 등이 컨소시엄을 형성하여 개발을 진행하고 있다. 대기업 연구소의 경우 IBM, Motorola, Intel 등 MCM 반도체 패키징 분야에서 선진기술을 보유하고 있는 기업에서 향후 더욱 발전된 형태로서 embedded passive에 대해 연구하고 있다. 대학의 경우는 Georgia

표 2 내장형 수동소자와 종래 기술과의 비교 (NEMI Roadmap, 2003)

	Discretes	Arrays Networks	IPDs	Embedded Passives
Cost	Good	Better	Better	Better
Size	Good	Better	Better	Best
Performance	Good	Good	Better	Best
Reliability	Good	Better	Better	Good
Flexibility	Best	Better	Better	Good
Time to Market	Best	Better	Good	Fair
Availability	Best	Better	Better	Fair
Values	Best	Better	Good	Good
Tolerances	Best	Better	Better	Good

Institute of Technology의 Packaging Research Center, Penn State Univ.의 Material Research Institute를 중심으로 활발한 연구가 이루어지고 있다.

## 2.1 embedded C

Embedded C 분야에서 대학 및 연구소를 중심으로 활발한 시도가 이루어지고 있다. Georgia Tech에서는 PMN-

표 3 embedded C 기술 현황

### Review of Integral Capacitor Technology

Industry/Institution	Materials	Approach	Highest $\epsilon_r$ Achieved	Highest C Achieved (nF/cm <sup>2</sup> )
Cornell University	Polymer-ceramic	Colloidal dispersion	40	
EPL Industries	Nanocomposites	Surface treatment		25
3M Corporation		Roll to roll process		10
Georgia Institute of Technology		Dispersion control	135	22
IBM		Conventional mixing	47	
Chalmers University of Tech, Sweden	Polymer BaTiO <sub>3</sub> -Carbon	Conventional mixing	1960	
Ormet Corporation		Dry film-cast coating	40	4
Institute for surface chemistry, Sweden	Nanocomposites	Dispersion optimization		
Matsushita Electric Works	Polyphenyleneoxide-TiO <sub>2</sub>	Lacquered film-gravure coat	12	
Advanced Technology Materials	BST	MOCVD		3000
Massachusetts Inst. of Tech.	High k polymers	Electroactive polymers	500,000	
Pennsylvania State Univ	PVDF and copolymers	Radiation cross-linking	100	
German Plastic Institute		Chemical modification	11	
Shizuoka University	Cyanopolymers	Polar functionality	23	
Sandia National Laboratories	PZT and PLZT	Sol-gel	400	
University of Delhi, India	BaTiO <sub>3</sub>		370	
Princeton University	Hydrothermal BT	Organo-metallic precursors		
Hitachi Res. Lab., Hitachi Ltd., Japan	Ta <sub>2</sub> O <sub>5</sub>	Sol-gel; Photo Irradiation	28	
Electr.&Automation (Tech.Univ.Russia)	PZT, SrBiTa Oxide films	Sol-gel		7000-9000
Nanyang Tech. University, Singapore	Ba-Ti-B Class Ceramic	Sol-gel, thick film printing	1000	
AVX Corporation	PbZT	Sol-gel		2500
Queens Univ. of Belfast, UK	Bi, PMN, PZN-BT	Pulsed Laser Deposition	1000	
Osaka University, Japan	Sr-Bi-Ta Oxide thin film			
Singapore Inst. of Microelectronics	SiN <sub>x</sub>	PECVD	33	
AT&T Bell Labs				40
University of Arkansas	Ta <sub>2</sub> O <sub>5</sub>	Anodization	22	50-180
GE, Sheldahl, ASU, RPI		DC Magnetron Sputtering	44	200
Motorola	Ta <sub>2</sub> O <sub>5</sub>	RF Sputter deposition		500
ULVAC Japan Ltd	SrBi, Ta <sub>2</sub> O <sub>5</sub>	RF Magnetron Sputtering		
Fujitsu	BaZr <sub>2</sub> TiO <sub>7</sub>	Sputter	146	
GE	Diamond like carbon			25
DuPont	Glass ceramics	MCM-D		
Murata Mfg. Co. Ltd., Japan	BT	Hydrolysis	1560	
Intarsia	Al <sub>2</sub> O <sub>3</sub>	MCM-D		50
NCHP				50
Georgia Institute of Technology	PbTiO <sub>3</sub> , Pb <sub>0.9</sub> La <sub>0.1</sub> TiO <sub>3</sub> , TiO <sub>2</sub>	MOCVD	500,000	400
			38	100

PT/BaTiO<sub>3</sub> 분말을 이용한 에폭시/세라믹 나노복합체 구현을 통해 유전상수 100, 유전손실 0.04, 정전용량 22 nF/cm<sup>2</sup>을 달성한 바 있다. (USP 6,544,651) 한편 동 기관에서, 매우 높은 유전율을 가지는 금속 박편 (silver flake)를 상대적으로 낮은 분율로 고분자와 혼합하여 비교적 유전 손실이 적고 (0.04%) 높은 유전율(2000 이상)을 가지는 복합재를 구현한 사례도 있다. Cornell대학에서는 에폭시/BaTiO<sub>3</sub> composite 구현을 통해 유전상수 40을 구현한 바 있다.

표 3은 각 해외 연구기관별로 연구한 바 있는 embedded C의 조성, 접근방법, 얻어진 유전특성 등이다.

Embedded C 기술은 미국 산미나와 비아시스템스, 일본의 이비덴과 CMK 등 일부 선진국 기업들을 중심으로 치열한 연구개발이 이루어지고 있으나 공정호환성 등 여러 가지 문제로 인해 아직 본격 상용화되지는 못하고 있다. Embedded C의 경우는 에폭시 매트릭스에 세라믹 유전체 필러를 최대 50 vol%까지 분산시킴으로서 유전율 3.5~50 범위의 페이스트 혹은 라미네이트가 구현 가능한 것으로 알려져 있다. 이러한 embedded C의 열적 특성, 주파수 응답 특성, 및 기계적 특성 등을 개선하는 연구들이 진행되고 있다. 현재 가장 대표적인 재료는 산미나 (Sanmina)의 상품명 'ZBC2000' 으로 동박 전극 사이로 라미네이트된 시트(sheet) 상태의 유리강화 에폭시(glass reinforced epoxy)로 구성돼 있다. 따라서 다층회로기판의 한 층을 커패시터 재료로 대체가 가능하며 기존의 PCB 제작공정인 회로형성 공정을 그대로 사용할 수 있는 이점이 있으나 커패시턴스가 낮다는 단점이 있다. 프린팅 방법을 이용해 커패시터를 형성할 수 있는 페이스트 (paste) 재료도 있으나 현재 사용되고 있지는 않다. 페이스트 재료는 공정은 간단하나 이것 또한 커패시턴스가 낮다. 고용량의 커패시턴스를 구현하기 위해 바륨 타이타네이트와 유리 분말이 시도되고 있으며, 스크린 인쇄법을 이용할 수 있는 세라믹 페이스트 재료도 개발 중이다. (표 4)

### 2.2 Embedded R

일반적으로 프린트 배선 기판에 실장되는 부품 중에 가장 많이 사용되는 부품이 저항이며 PCB 위에 탑재되는 부품 중에 반수 이상을 차지하고 있다. 최근에 IT 발달과 더불어 수요가 급팽창하고 있는 휴대전화 등의 모바일 기기는 저항체의 탑재 부품의 숫자도 많으며 향후에 고밀도화 경향을 지니고 있다. 이러한 고밀도화 부품 실장의 해결책의 하나로서 저항체 부품의 다층 기판과 빌드업 기판의 코어재 회로에 저항체 기능을 하는 박막을 형성하는 기술이 여러 측면에서 검토되고 있는 상황에 있으며 미국을 비롯한 일부 업체에서 저항체 내장형 고밀도 프린트 기판용으로서 개발을 하여 시제품을 제공을 하고 있다.

외국의 경우 프린트 배선상에 인쇄 방법으로 수지계 저항 페이스트를 사용하여 저항체를 형성하는 공정은 기판위에 부품을 실장하는 공정에서 저항의 부품 삽입 갯수와 납땜을 제거함으로써 비용 절감과 함께 특성면에서 신뢰성을 향상시키는 등 부품 실장의 비용의 방안으로 1980년대 중반이후 실용화가 시도되고 있는 상황이다. 크게 후막페이스트, 소성 페이스트 및 도금 및 박막 기술에 의한 방안으로 분류할 수 있는데 이 중에 카본을 활용한 폴리머 저항 페이스트 기술로는 1~10M $\Omega$ /□ 대역의 저항소재를 개발을 목표로 하고 있으며, 소성용 저항체로는 저저항에는 LaB<sub>6</sub>, 고정항체로는 SnO<sub>2</sub>의 조성이 활용되고 있으며 도금 기술로는 Ni 계 금속을 이용한 저저항체 성형 기술이 활용되고 있다. 일본의 경우에 Asahi Chemical 사에서는 카본을 이용하여 15~100M $\Omega$ /□ 용 재료를 개발하고 있으며, 미국의 DuPont에서는 900℃에서 소성되는 재료를 활용하여 100~500M $\Omega$ /□ 저항체 구현 기술을 활용하여 연구 개발을 추진하고 있다.

### 2.3 Embedded L

Embedded L에서 자성체 코어를 적용한 연구사례는 많지 않으나 NiZn 페라이트를 폴리이미드에 약 70 vol% 충전시킨 투자율 25 정도의 자성체 세라믹/고분자 하이브리드 소재

표 4 Embedded C용 재료와 특성

공정 구분	라미네이트		강유전체 필러 + 라미네이트		저온경화후막	고온소성후막
	Sanmina	Dupont	Dupont	Polygrate		
Maker	Sanmina	Dupont	Dupont	Polygrate	Vantico	Dupont
상품명	BC2000	Interra HK4	Interra HK10	MCAP	Probelec	Interra EP310
유전율	4.2	3.5	10	40	26	>2000
유전손실(%)	1.5	1.2	1.0	-	1	1.5-2.5
재료구성	FR4	Polyimide	Polyimide + BT	FR4 + BT	Epoxy + BT	BT

(Georgia Tech) 및 MnZn 페라이트를 약 80 vol% 충전시킨 포화자화 3900 Gauss 정도의 플렉서블 기관용 자성체 세라믹/고분자 하이브리드 소재 (Cal Tech)를 embedded L에 적용한 사례가 보고된 바 있다.

#### 2.4 국내 기술 현황

일부 대학 및 연구소를 중심으로 기관용 고분자 조성인 PTFE, 폴리이미드, 에폭시 등에 대한 기본적인 연구역량이 구축되어 있으나, 세라믹 필러와의 분산, 혼합 등 하이브리드화에 관련된 연구역량은 매우 부족한 상태에 있다. KAIST에서 유전상수 90 정도의 B-stage 상태 ECF (Embedded Capacitor Film)을 개발한 사례가 있다. 국내에서는 대덕전자, LG 전자부품, 삼성전기, 이수페타시스 등의 일부 선도 PCB 업체를 중심으로 embedded passive 개발을 추진 중이나 아직 전략수립 단계의 수준이며, 특히 원천소재 기술부분에서의 기술개발은 매우 열악한 실정이다. 삼성전기의 경우 2003년에 인쇄회로기판(PCB) 내부회로간 신호 전달 매개체로 기존 구리(Cu) 대신 광섬유를 사용, 최대 10Gbps 속도로 대용량 데이터를 전송할 수 있는 광도파로 내장형 PCB를 구현한 사례가 있다. 이러한 형태의 PCB에서는 최대 1000Gbps 수준의 고속대용량 데이터 처리가 가능해 첨단 우주항공 및 통신시스템, 자동차, 홈오트메이션, 모바일 기기 등에 확대 사용이 가능한 차세대 기관으로 주목된다.

### 3. 세라믹/고분자 하이브리드화 핵심 요소 기술

#### 3.1 Passive integration용 세라믹/고분자 하이브리드 소재 합성기술

세라믹 유전체·자성체/고분자 하이브리드 소재의 물성은 세라믹 분말의 입도, 조성 등에 큰 영향을 받는다. 유전체로는 BT (BaTiO<sub>3</sub>), PMN-PT 등의 강유전체와 ST (SrTiO<sub>3</sub>) 상유전체, 자성체로는 MnZn, NiZn, 육방정 페라이트 등이 있다. embedded C의 경우 단위 면적당 용량을 극대화하기 위해서는 두께가 얇아야 하므로 50~1000 nm 영역에서 세라

믹 분말의 입도를 수월하게 조절할 수 있는 기술의 확보가 필요하다. 소재설계 면에서는 전산모사에 의한 세라믹 분말의 유전상수 예측 및 multimodal 충전율에 따른 복합체의 유전 특성 예측 기술이 필요하다.

한편, 고기능성 고분자 소재기술분야를 살펴보면 세라믹/고분자 하이브리드화에 사용되는 대표적 고분자는 상대적으로 저가인 에폭시계이며 일부 폴리이미드를 사용하기도 한다. 에폭시계 시스템은 PWB와의 공정 부합성, 열팽창계수 적합성, 저온 경화성, 고온 안정성, 저흡수율, 구리, 충전질연물 및 기관과의 접착성, 고 pH 무전해도금 공정에 대한 내식성, 우수한 기계 특성 등 많은 장점을 갖고 있다. 또한 대면적 제조기술을 통하여 저가화에 유리하며 환경친화적 수성 조성물 제조법의 가능성도 있다. embedded C용 소재의 유전율을 올리기 위해서는 고분자 자체의 유전율이 중요한 역할을 담당하므로 고분자 구조와 유전율간의 상관관계 규명, 에폭시 개질, 시안화 셀룰로오스계 및 아크릴 공중합체 합성 등을 통한 고유전율 고분자 제조기술과 함께 이들과 세라믹 분말과의 적합성에 대한 연구가 필요하다.

#### 3.2 세라믹/고분자 하이브리드 이종소재 계면제어 및 고충전 기술

세라믹/고분자 계면을 제어하고 고분산 고충전을 달성하는 기술이 또한 매우 중요하다. 하이브리드화 되는 세라믹 입자가 미세화 됨에 따라 표면효과에 의해 입자 응집체가 형성된다. 이러한 입자 응집체 상태로 고분자에 복합화되는 경우, 유연학적 성질, 기계적 성질 및 유전특성의 저감을 초래하므로, 이들 응집체를 표면처리기술 및 각종 신규 복합화 방법을 통하여 고분자 내에 개별적 일차입자로 분산시키고 안정화시키는 것이 매우 중요하다.

종래 습식 입자 표면처리기술은 입자 표면에서의 화학개질, 중합반응 및 침전방법을 기초로 하며, 근년 입자 표면 나노공학이라고 불리는 초미립자 표면 개질을 위한 신규 방법들이 나노구조화 기능재료 제조의 핵심 기술로 자리 잡고 있다. 특히 용액 자기조립 원리를 바탕으로 하는 연구는 미립자의 표

표 5 embedded R용 재료와 특성

Maker	Asahi Chemical	DuPont	Electra Polymers	Omega Technology	Gould Electronic	Mac Dermid
Type	Thick Film Carbon	Thick Film SnO2	후막 Carbon	Thin Film Ni-P	박막 Ni/Cr	박막 Ni-P
Sheet Resistance (Ω/□)	15~100k	100~500k	10~1M	25~100	-	25~250k
비고	인쇄 저온경화	인쇄 고온경화	인쇄 경질 판용	시트재료	금속 합금	금속도금

면에 제어된 다기능성 나노구조화 코팅을 제공하는 매우 효과적인 방법으로, 콜로이드 분산 안정성 확보, 입자 표면에 각종 기능성 부여 및 특수 복합입자의 합성 등을 가능하게 해 준다.

최근 이종입자로 이루어진 복합입자 제조 및 입자의 표면제어를 통한 기능화를 위한 기계화학적 결합을 바탕으로 하는 건식 코팅법은 host 및 guest 입자의 비율 및 크기 제어를 통해서 다양한 표면제어가 가능하여 큰 기대를 모으고 있다. 즉 나노분말의 혼성·변성 기술에 있어 용제를 사용한 습식에서 환경친화적 건식으로 기술경향이 변하고 있는데 혁신적인 디자인의 고성능 혼합기(Hybridizer, Mechanofusion, Magnetically Assisted Impaction Mixing, Micros, Triboactivator)와 초임계유체를 이용한 RESS(Rapid Expansion of Supercritical Suspensions)법 등의 다양한 건식 복합화 연구가 활발히 이루어지고 있다. 이들 고성능 혼합기들은 micro-shear, high-intensity impact, 정전기 인력 등의 메커니즘을 통하여 나노분말의 2차 응집체에서 일차 입자들 간의 결합력보다 큰 힘을 발생시킴으로써 2차 응집구조를 파괴하고 개별 나노입자를 다른 상속에 분산시키는 역할을 한다.


액상 복합화의 경우 고기능 세라믹/고분자 하이브리드에 적합한 고분자는 무기공·고충전 달성을 위한 저점도, 고주파 영역에서 안정된 고유전율·저손실 특성 달성을 위한 분자구조, MCM-L 공정에 부합되는 저경화온도, 성형상태에서의 우수한 취급성 유지를 위한 기계적 강인성 등이 우선적으로 요구된다. 초임계유체공정 및 기계화학적결합을 통한 건식 복합화의 경우에는 고분자계의 저점도 요건 대신 고분자 일차 입자의 미세화가 세라믹 나노입자와의 나노복합화에 중요하며 복합입자설계 및 이를 이용한 특수 제막공정을 통하여 고분자 내에서의 세라믹 입자배열의 조작으로 '1-3' 구조를 유도함으로써 저충전함량에서 고유전율화를 도모할 수 있다는 가능성도 있다.

#### 4. 향후 전망

내장형 수동소자 기술 개발은 세라믹/고분자 하이브리드 후막 중심의 커패시터, 인덕터, 저항체 방식으로 전개될 것이 확실시되며 이를 전자/통신 산업의 컴퓨터, 휴대폰, 휴대가전제품 등의 제품군에 적용하기 위해서는 원천소재 기술, 하이브리드화 공정 기술, 설계 기술, 측정 기술 등의 개발이 절실히 필요하다. 내장형 수동소자부품기술은 광범위한 전자/통신 산업의 제품 제조 공정 기술에 영향을 미칠 것으로 판단된다. 향후 5년 동안 관련분야 시장은 재료 및 부품의 형태로서 최소한 3000억원을 넘을 것으로 추정된다. 또한 PCB 기판, 휴대폰, 컴퓨터 시장의 활용까지 고려한다면 그 규모는

수 조원을 상회할 것이다. 범국가적인 차원에서 이에 대한 연구개발 및 투자가 절실히 요구된다.

세라믹/고분자 복합소재를 이용한 MCM-L 기술과 내장소자 기술, 후막 리소그래피 기술 등을 접목시킨 모듈 제조기술은 다양한 분야의 기술이 복합적으로 요구되는 고난이도 분야라고 할 수 있으며 향후 해결해야할 기술적 과제들이 다수 있다.

현재 세라믹/고분자 하이브리드로 구성된 embedded C용 소재의 유전율은 10~100, 캐패시턴스는 4~25 nF/cm<sup>2</sup> 정도이나, 실제 제품화 된 것은 유전율 20 수준에 불과하다. embedded C용 소재의 유전율을 높이기 위해서는 고유전율 세라믹 유전체 분말 및 고유전율 고분자 소재 선정, 고충전, 유전체 분말의 형상 및 구조 제어 등의 기술이 필요하다. 내장형 인덕터 (embedded L)의 경우 PCB 기판에 단순히 전극을 회전시켜 원하는 인덕턴스를 얻는 설계에 의해 구현된다. 회전된 전극 위에 자성체 코어를 사용할 경우, 인덕턴스가 증가하고 자기실드 효과에 의해 노이즈를 억제시킬 수 있는 복합기능을 얻을 수 있으나 공진주파수 (SRF)가 급격히 떨어져 사용주파수가 낮아지게 된다. 따라서 고주파 영역에서는 회로 배선 코일만으로 구성된 인덕터를 내장하며, 사용주파수가 수십 MHz로 낮고 큰 인덕턴스 값을 요구하는 전원회로 (필터 및 트랜스포머)에서 페라이트/고분자 하이브리드 코어를 사용한 인덕터가 PCB나 폴리이미드 기판에 내장되기 시작했다. 이를 위하여 페라이트 분말을 고분자 매트릭스에 고충전시켜 하이브리드 코어의 투자율 및 포화자화를 높이는 연구가 필요하다. 

### 〈 저 자 소 개 〉

#### 김병국



1986년 서울대 공대 무기재료공학과 졸업. 1988년 동 대학원 무기재료공학과 졸업. 1993년 동 대학원 무기재료공학과 졸업. 1990년 ~ 1995년 (財)神奈川科學技術アカデミー 연구원. 1995년 ~ 1996년 Penn State University, Post-Doc. 1996년 ~ 현재 KIST 재료연구부 책임연구원.

#### 박재관



1982년 서울대 공대 요업공학과 졸업. 1984년 동 대학원 무기재료공학과 졸업(석사). 1995년 Alfred University(공박). 1996년 ~ 현재 KIST 재료연구부 책임연구원. 2002년 ~ 현재 KIST 복합기능세라믹연구센터 센터장.