

The Fabrication Processes for the Planarization of Sacrificial Layers over Hollow Structures

尹容燮[†] · 裴紀德^{*} · 崔鎒^{**} · 全燦鳳^{*} · 盧光春^{***}

(Yong-Seop Yoon · Ki-Deok Bae · Hyung Choi · Chan-Bong Jun · Kwang-Choon Ro)

Abstract - Two fabrication approaches are proposed to planarize the sacrificial layer over hollow structures. One is the photoresist filling method that makes use of photolithography, thermal curing and plasma ashing. The other is the lamination method that is applying pressure and temperature to the organic film over the hollow structures. The fabrication results are compared with those of CMP process. Trenches and cavities with various dimensions have been made for the proposed process. Upon measuring the planarization levels, they are dependent on planarization methods and the geometrical size of hollow structures. The photoresist filling method is so strongly dependent on the width and depth of trenches that we have problems to use it for large dimensional trenches. To the contrary, the flatness of sacrificial layer over the trenches was found to be almost independent of trench dimensions for the lamination method. A CMP process shows the most excellent results, but the fabrication is complicated and the access to it is not so easy. It is important to choose the proper planarization method by considering the required flatness levels, materials to be planarized, and connection between the planarization step and the previous or the following process of it.

Key Words : 평탄화, 희생층, Lamination, CMP

1. 서 론

최근 들어 MEMS 를 이용한 마이크로 구조물의 제작이 무선 통신, 바이오, 디스플레이 및 데이터 스토리지 등의 여러 분야에서 활발히 이루어지고 있는데, 응용에서 요구하는 복잡하고, 고유한 기능들을 효과적으로 충족시키기 위하여 구조물의 형상은 단층에서 복층으로 변화되고 있고, 그 제작 방법은 표면미세가공과 몸체미세가공 기술의 혼용의 형태로 많이 시도되고 있다[1-2]. 이러한 구조적인 변화는 복잡하고 어려운 공정들을 유발시키는데 그 중 하나가 희생층의 평탄화(planarization) 공정으로, 이를 해결하기 위하여 다양한 공정 방법이 이용되고 있다. 최근에는 반도체 공정에서 웨이퍼 레벨의 광역 평탄화를 실현시키기 위하여 활발히 이용되고 있는 CMP(Chemical Mechanical Polishing) 공정을 MEMS 구조물의 제작에 적용하는 경우도 상당히 증가하고 있다[3-4]. 그러나 그 평탄화의 대상은 폴리 실리콘이나 절연막 같은 경도가 큰 재질에 한정되어 있고, MEMS 공정을 이용한 구조물 제작시 주로 희생층으로 사용되는 포토리지스트나 폴리이미드처럼 경도가 낮은 재질의 경우에는, 전용

슬러리가 없다는 점 그리고 CMP 공정 중의 슬러리 연마제에 의한 스크래치 발생 등의 문제가 상존하기 때문에 그 적용이 쉽지는 않은 상황이다[5]. 따라서 본 논문에서는 포토리지스트 도포, 사진식각, 열처리 및 애싱(ashing) 공정을 이용한 일련의 과정과 폴리이미드계 필름의 라미네이션(lamination) 공정을 이용하여 평탄화를 수행하는 방법들을 제안하고 그 결과를 나타내었다. 또한 새롭게 제안된 방법들과 CMP 공정과의 비교를 통하여 각각의 특징 및 그에 따른 응용성에 대해서도 설명하고자 하였다.

2. 본 론

일반적으로 MEMS 공정을 이용하여 입체적인 구조물을 제작하는 경우, 표면미세가공 기술, 몸체미세가공 기술의 혼용에 의한 방법을 이용하는데 본 논문에서는 트렌치가 존재하는 기판상에 희생층을 이용하여 구조물을 제작할 때의 희생층 평탄화 공정에 대한 연구를 수행하였다.

2.1 평탄화 제작 공정

2.1.1 PR filling, curing & ashing

ICP 를 이용한 실리콘 식각 공정으로부터 트렌치를 형성하였는데(그림 1, a), 트렌치의 사이즈는 폭과 깊이를 각각 두 종류로 달리하여 제작하였다. 트렌치가 형성된 웨이퍼 상에 포토리지스트를 도포하면 트렌치의 영향으로 인하여

[†] 교신저자, 非會員 : 三星綜合技術院 Nano Fabrication Center
E-mail : yongsim@samsung.com

^{*} 正會員 : 三星綜合技術院 Nano Fabrication Center

^{**} 正會員 : 三星綜合技術院 Nano Fabrication Center 理博

^{***} 正會員 : 三星綜合技術院 Nano Fabrication Center
센터장, 연구위원(상무), 工博

接受日字 : 2004年 7月 5日

最終完了 : 2004年 9月 17日

포토리지스트의 프로파일은 트렌치부에서 아래로 들어가게 되는데(그림 1, b), 이 때 희생층이 트렌치를 오우버 플로우(overflow)할 수 있도록 포토리지스트의 종류 및 도포 조건을 적절하게 선정해야 한다. 트렌치의 폭과 깊이가 넓고 깊을수록 PR 은 후막용을 사용하고, 도포 속도는 감소시켜야 한다. 본 실험에서는 사용된 포토리지스트는 AZ 4620 이었고, 도포 속도는 1000 rpm 으로 하였다. 사진식각공정을 이용하여 그림 1 (c) 의 형태로 패턴을 형성하였고, 후속 공정의 안정성 증가 및 재형성(reflow)에 의한 프로파일의 변화를 유도하기 위하여 열처리 공정을 수행하였는데, 120 도에서 220 도까지 온도를 단계적으로 증가시켰다(그림 1, d). 등방적인 애싱 과정을 통하여 h' 의 최종적인 높이가 약 1 μm 정도가 될 때까지 진행하였고(그림 1, e), 최종적으로 제작 구조물의 설계 기준에 적합한 희생층 높이와 적절한 평탄도가 확보될 수 있도록 포토리지스트를 도포하여 평탄화를 이룬다. 이 때 후속 공정의 안정성 확보를 위하여 재차 열처리를 수행한다. 이 방법은 쉽게 적용할 수 있는 공정으로 구성되어 있으나, 평탄화의 정도가 트렌치의 사이즈에 크게 의존하고 트렌치의 폭과 깊이가 클 경우에는 공정 적용이 어렵다는 문제점이 존재한다.

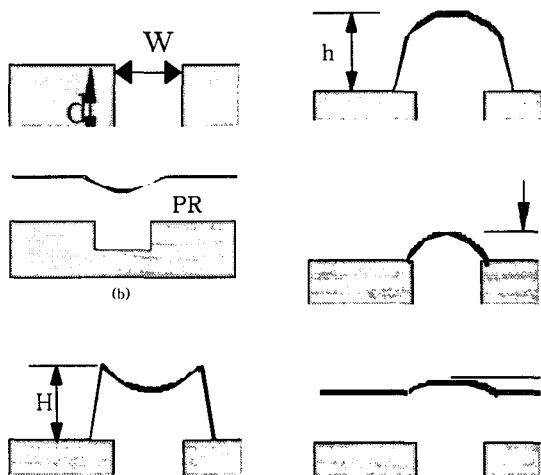


그림 1 PR filling, 열처리 및 애싱을 이용한 평탄화 공정
Fig. 1 PR filling, curing & ashing process

2.1.2 Film lamination method

그림 2에 전체적인 공정 흐름도를 보여주고 있다. 트렌치 또는 공동(cavity)이 형성된 웨이퍼 상에 필름 형태의 폴리이미드를 덮고 일정 온도(90 °C)와 압력(2.8 MPa)을 가하여 필름 층을 형성하였다(그림 2, b). 필름(두께 25 μm , 품명 ORDYL PR125)은 감광성으로서 라미네이션 공정 후에 전면 노광을 실시하였다. 트렌치부 이외의 부분에서 필름과 실리콘이 접착이 되며 그 접착 강도는 라미네이션 압력과 온도 등에 의하여 달라진다. 이 때 트렌치부에서 필름은 가해진 압력에 의하여 일정 정도 처짐이 발생하는데, 이는 트렌치부의 면적, 필름의 두께와 기계적인 물성, 그리고 압력 등에 의하여 영향을 받는다. 필름의 두께 조절 및 후속 공

정의 진행에 의하여 영향을 받지 않도록 하기 위해 열처리를 220 도에서 30 분 동안 수행하였다(그림 2, c). 이 때 필름의 프로파일을 측정하여 평탄도의 수준을 확인한 후, 설계 기준에 부합되면 공정을 끝내고, 그렇지 않을 경우, 포토리지스트를 다시 도포하여 평탄도의 수준을 증가시킨다(그림 2, d) 이와 같은 필름 라미네이션 방법은 공정이 매우 간단하며 필름 자체를 구조물로서도 활용할 수 있기 때문에 여러 어플리케이션에 이용되고 있다.[6-7]

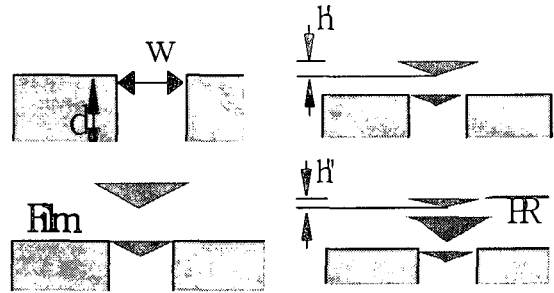


그림 2 필름 라미네이션을 이용한 평탄화 공정
Fig. 2 Film lamination process

2.1.3 CMP method

CMP 공정은 반도체의 고성능화, 고집적화에 따른 다층 배선 구조화 과정을 용이하게 하기 위하여 절연막과 금속막을 평탄화 하는 과정으로 반도체 공정에서 이용되고 있는데, 최근에는 MEMS 및 렌즈 등의 광 부품 제작에 적용되고 있다. 본 연구에서는 앞에서 제시한 두 방법과 CMP 에 의한 평탄도 수준을 비교해 보기 위하여 CMP 공정을 수행하였다. 공동이 형성된 실리콘 옥사이드 웨이퍼에 폴리 실리콘을 증착하여(8 μm) 공동 위로 오우버 플로우 시킨 후 CMP 공정을 적용하여 트렌치 부의 폴리 실리콘을 평탄하게 하였다. 공동 폭은 각각 200 μm , 300 μm , 400 μm 이고 깊이는 3 μm 이었고 평탄화 공정 이전의 폴리 실리콘의 초기 처짐량(H, dishing) 은 3 μm 이었다.

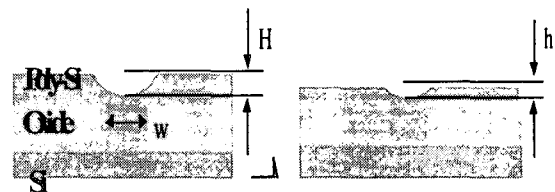


그림 3 CMP 에 의한 평탄화 공정
Fig. 3 CMP process

2.2 평탄화 제작 공정 결과

포토리지스트를 이용한 평탄화 공정은 트렌치의 폭과 깊이가 각각 30 μm , 50 μm 인 경우에 대해 수행하였다. 위에서 서술한 공정 단계에서의 측정 결과를 표 1 에 나타내었는데 트렌치의 폭과 깊이가 50 μm 일 경우에는 포토리지스

트의 도포, 사진식각공정 및 열처리 과정을 통하여 트렌치를 채우기 어려웠기 때문에 그림 1 에 제안된 평탄화 공정을 수행할 수 없었다. 표 1 에 측정 결과를 나타내었는데 플라즈마를 이용한 애싱 단계에서 공정이 균일하지 않아 h' 의 값은 심한 산포를 보이고 있다. 희생층을 도포하고, 다시 열처리를 수행한 후, 희생층의 평탄도(h'')를 측정하는데 h'' 도 h' 의 값 및 열처리 공정의 영향으로 제어가 용이하지 않음을 알 수 있다. 그러나 애싱 공정의 균일도가 확보되면 h', h'' 의 값은 작아질 것으로 예상된다.

표 1 PR filling 방법에 의한 트렌치부에서의 최대 처짐량
Table 1 The P-V values over trenches for PR filling method

unit : μm

	Trench A (w; 30, d; 30)	Trench B (w; 50, d; 50)
H/h	12/10	N/A
h'	1 ~ 1.5	N/A
h''	-0.5 ~ 0.5	N/A

필름 라미네이션 공정의 경우에 필름 접착 후, 트렌치부의 프로파일을 표면 측정기를 이용하여 측정하였으며 부착된 필름 위에 PR 을 도포한 상태(열처리 이후)에서의 트렌치부의 처짐량(h'')도 측정하였다. 본 실험에서는 AZ 4330 을 사용하였다. 각 경우에 대한 처짐량의 측정 결과를 표 2 에 나타내었는데, 트렌치의 폭과 깊이에 관계없이 평탄도가 우수함을 보이고 있고, 공동 폭이 상당히 증가하면 평탄도의 수준이 트렌치의 경우에 비하여 다소 나빠짐을 확인할 수 있다

표 2 필름 라미네이션에 의한 트렌치부에서의 최대 처짐량
Table 2 The P-V values over trenches or a cavity for lamination method

unit : μm

	Trench A (w; 30)		Trench B (w; 50)		Cavity (200 x 200) d; 25
	d; 30	d; 50	d; 30	d; 50	
Film	0.1 ~ 0.2	0.1 ~ 0.2	0.5 ~ 0.6	0.5 ~ 0.6	0.6 ~ 0.8
Film + PR	< 0.1	< 0.1	0.1 ~ 0.2	0.1 ~ 0.2	0.3 ~ 0.4

열처리된 희생층 위에 알루미늄을 증착하여 구조물을 형성하였다. SEM 사진의 모습이 그림 4에 나타나 있는데 그림 4 (a)는 트렌치 폭이 50 μm 이고, 깊이가 50 μm 일 때 실리콘 웨이퍼에 희생층(필름+포토리소스트, 두께; 15 μm) 과 그 뒷면에 증착된 알루미늄 단면의 모습을 보여 주고 있으며 그림 4 (b)는 공동 위에 접착된 필름과 알루미늄 구조물의 모습이다. 측정된 필름의 두께는 대략 20 μm 정도였으며 이는 열처리 과정에서 필름이 수축된 결과이며 열처리 온도와 시간을 증가시키면 필름의 두께는 더욱 감소된다. 필름의 열처리 온도를 320 도까지 증가시키면 필름의 두께는 7~8 μm 로 감소됨을 확인할 수 있었다. 그림 4 (c)는 애

싱 공정을 이용하여, 희생층으로 사용했던 필름을 제거하여 제작된 구조물의 모습을 보여주고 있다. 그림 4 (d) 는 200 μm 크기의 정방형 동공에서 필름 부착 후, 열처리 된 상태에서의 표면 프로파일을 보여주고 있다. 필름 라미네이션 방법은 공정이 매우 간단하며, 트렌치 및 공동의 폭에 심한 의존 없이 양호한 평탄도를 보여주고 있다. 그러나 이 방법은 필름의 상태가 온도에 의한 영향을 많이 받기 때문에, 고온에 의한 후속 공정이 어렵고, 따라서 구조물을 제작하기 위한 공정의 자유도가 떨어지는 단점이 있다.

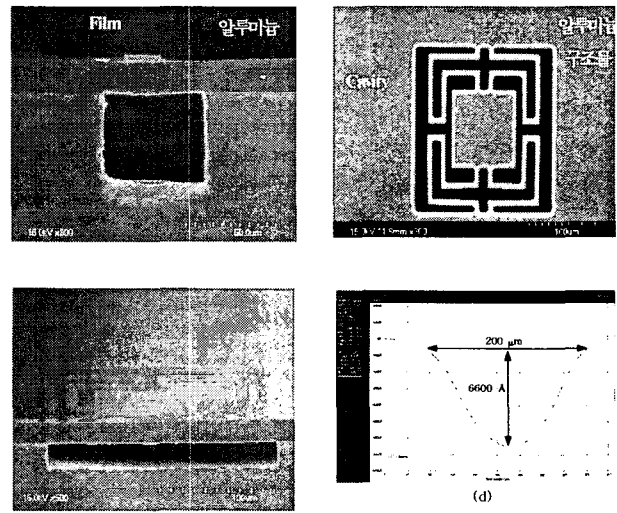


그림 4 필름 라미네이션에 의해 제작된 구조물의 모습 및 표면 프로파일 측정도
Fig. 4 Structures fabricated by the lamination method and surface profile over the cavity

CMP 공정에서는 폴리 실리콘 전용 슬러리를 이용하였고, 웨이퍼 헤드와 플레이트(platen)의 회전속도는 각각 20, 40 rpm, 그리고 웨이퍼에 가해지는 하중은 약 55 kPa 이었다. 평탄도의 측정 결과를 표 3 에 나타내었으며 그림 5 에 공동 폭이 300 μm 일 때, 단면의 SEM 사진 모습이 나타나 있다. 트렌치 부 이외에서의 폴리 실리콘 두께는 약 2.7 μm 으로 측정되었다. CMP 공정에 의한 평탄도는 위의 두 제시된 공정에 비하여 매우 우수함을 알 수 있으며, 동일 사이즈를 갖는 공동에서의 웨이퍼 위치에 따른 편차도 상대적으로 작다. 그러나 CMP 장비에 대한 공정 접근성이 쉽지 않고 PR 또는 폴리이미드와 같은 경도가 작은 재질에 대해서는 공정 적용이 힘들다는 등의 문제점이 있다.

표 3 CMP 에 의한 공동부에서의 최대 처짐량
Table 3 The dishing over cavities in CMP method

unit : μm

	Cavity A (200 x 200)	Cavity B (300 x 300)	Cavity C (400 x 400)
Dishing(h)	0.1 ~ 0.15	0.15 ~ 0.2	0.15 ~ 0.25

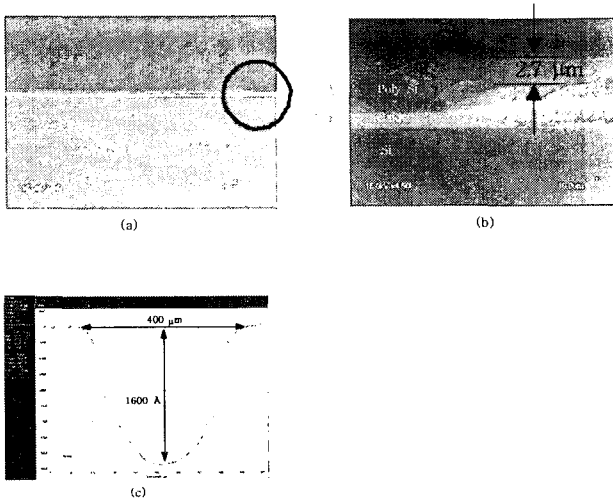


그림 5 CMP 공정에 의한 공동부의 모습 및 표면 프로파일 측정도

Fig. 5 The SEM views of a planarized surface by CMP process and the surface profile over a cavity

표 4에 전술한 세 가지 평탄화 공정방법들에 대한 특징들을 요약하여 나타내었다. 공정의 난이도 및 수준, 적용성을 고려할 때, 필름 라미네이션 방법이 가장 효율적이라고 생각된다. 그러나 평탄화 공정 이후에 열처리 온도보다 높은 고온의 공정이 요구된다면, 이 방법을 적용하는 것은 곤란하며 CMP의 사용이 불가피하다. CMP 공정은 가장 우수한 평탄도를 보여주나, 공정 특성을 고려할 때 희생층 두께를 조절하는 것은 간단하지가 않다. 또한 포토, 열처리 및 애싱 공정을 통하여 포토리지스트를 평탄화하는 경우에는 공정의 단계가 많고, 적용 범위가 제한적이지만 희생층의 두께 조절이 가장 쉬운 방법으로 판단된다.

표 4 평탄화 공정 방법들에 대한 특징 비교

Table 4 The characteristics of the planarization methods

	평탄화 수준	평탄화 물질	공정 난이도	형상 의존성
Photo, curing & ashing	나쁨	감광성 유기물	보통	큼
Film lamination	중음	유기막 필름	쉬움	거의 없음
CMP	훌륭함	Poly-Si 옥사이드	어려움	거의 없음

3. 결 론

본 논문에서는 트렌치가 존재하는 기판상에서 희생층을 이용하여 구조물을 제작할 경우에 희생층을 평탄화시키는 두 가지 방법을 제안하였고 이들 결과를 반도체 공정에서 주로 이용되지만, MEMS 에서도 그 적용이 증가되고 있는 CMP 공정에 의한 평탄도 결과와 비교함으로써, MEMS 구조물의 제작에서 평탄화 공정을 이용할 경우의 공정 가이드 라인을 제시하고자 하였다. 구조물 제작을 위하여 평탄화 공정을 선정할 경우에는 평탄화의 대상이 될 수 있는 희생층의 재질과 그 형상, 전 후 공정과의 연계 관계, 그리고 평탄화 단계에서 요구되는 공정 수준 및 역할 등을 종합하여 적절한 방법을 선택하는 것이 중요하다고 판단된다.

참 고 문 헌

- [1] Y. S. Yoon, K. D. Bae, J. H. Kim, H. Choi, and B. C. Koh, "A low voltage actuated micromirror with an extra vertical electrode 90° rotation," J. Micromech. Microeng. 13, pp. 922-926, 2003
- [2] J. A. Yeh, H. Jiang, and N. C. Tien, "Integrated polysilicon and DRIE bulk silicon micromachining for an electrostatic torsional actuator," J. MEMS. Vol. 8. No. 4, pp. 456-465, Dec. 1999.
- [3] J. J. Sniegowski, M. S. Rodgers, "Multi-layer enhancement to polysilicon surface micromachining technology," Electron Devices Meeting, Techniquial Digest, pp 903-906, Dec. 1997.
- [4] A. Yasseen, S. Smith, M. Mehregany, and F. Merat, "Diffraction grating scanners using polysilicon micromotors," Proceedings, IEEE MEMS. Workshop, pp 175-180, 1995.
- [5] J. M. Steigerwald, S. P. Murarka, and R. J. Gutmann, "Chemical mechanical planarization of microelectronics materials," John Wiley Sons, INC
- [6] A. Kuoni, R. Holzherr, M. Boillat, and N. F. Rooij, "Polyimide membrane with ZnO piezoelectric thin film pressure transducers as a differential pressure liquid flow sensor," J. Micromech. Microeng. 13, pp. s103-s107, 2003.
- [7] M. Madou and J. Florkey, "From batch to continuous manufacturing of biomedical devices", Chem. Rev. Vol. 100, No. 7, pp. 2679-2692, 2000.

저 자 소 개



윤 용 섭 (尹 容 燮)

1967년 7월 15일생. 1990년 서울대 기계설계학과 졸업. 1992년 포항공과대학원 기계공학과 석사. 1992년~2001년 삼성전자 중앙연구소 책임연구원. 2001년~현재 삼성종합기술원 Nano Fabrication Center 전문연구원. 주 관심 분야는 마이크로 구조물 설계 및 제작

E-mail : yongsim@samsung.com



배 기 덕 (裴 紀 德)

1972년 6월 3일생. 1998년 고려대 기계공학과 졸업. 1998년~2000년 대우전자 TMA 연구소 연구원. 2000년~2001년 삼성전자 중앙연구소 연구원. 2001년~현재 삼성종합기술원 Nano Fabrication Center 전문연구원. 주 관심 분야는 디스플레이, 광 스위치, 잉크젯 헤드 설계 제작

E-mail : kdbae@samsung.com



최 형 (崔 鎰)

1961년 10월 24일생. 1984년 연세대 물리학과 학사, 1991년 동 대학원 물리학과 박사. 1991년~2001년 삼성전자 중앙연구소 수석연구원. 2001년~현재 삼성종합기술원 Nano Fabrication Center 전문연구원. 주 관심 분야는 미세 구조물 제작 및 평가

E-mail : hchoi@samsung.com



전 찬 봉 (全 燦 鳳)

1957년 5월 8일생. 1981년 한양대 재료공학과 졸업. 1983년 동 대학원 재료공학과 석사. 1984년~1998년 삼성전자 반도체. 1999년~2000년 삼성전자 중앙연구소 수석연구원. 2001년~현재 삼성종합기술원 Nano Fabrication Center 전문 연구원. 주 관심분야는 Linear IC, MOS, MEMS 공정설계

E-mail : cbjun@samsung.com



노 광 춘 (盧 光 春)

1952년 5월 17일생. 1979년 연세대 기계공학과 졸업. 1981년 동 대학원 기계공학과 석사. 1986년 동 대학원 기계공학과 박사. 1995년~2001년 삼성종합기술원 Storage Lab. 2001년~2002년 삼성종합기술원 6 시그마 센터장(상무), 연구위원. 2002년~2004 MEMS Lab. 연구위원. 2004년 7월~현재 Nano Fabricatio Center 센터장, 연구위원.

E-mail : kcro@samsung.com