

논문 2004-41SD-12-12

# 테스트 데이터와 전력소비 단축을 위한 저비용 SOC 테스트 기법

## (Low Cost SOC(System-On-a-Chip) Testing Method for Reduction of Test Data and Power Dissipation)

허 용 민\*, 인 치 호\*\*

(Yongmin Hur and Chi-ho Lin)

### 요 약

본 논문은 SOC의 테스트 데이터 압축과 전력소비를 단축시키기 위한 효율적인 스캔 테스트 방법을 제안한다. 제안된 테스트 방법은 deterministic 테스트 데이터와 그 출력응답을 분석하여 출력응답의 일부분이 차기에 입력될 테스트 데이터로 재사용될 수 있는지를 결정한다. 실험결과, 비압축된 deterministic 입력 테스트 데이터와 그 응답 간에 높은 유사도가 있음을 알 수 있다. 제안된 테스트 방법은 ISCAS'89 벤치마크 회로를 대상으로 소요되는 클럭 시간을 기준으로 평균 29.4%의 전력소비 단축과 69.7%의 테스트 데이터 압축을 가져온다.

### Abstract

This paper proposes an efficient scan testing method for compression of test input data and reduction of test power for SOC. The proposed method determines whether some parts of a test response can be reused as a part of next input test data on the analysis of deterministic test data and its response. Our experimental results show that benchmark circuits have a high similarity between un-compacted deterministic input test data and its response. The proposed testing method achieves the average of 29.4% reduction of power dissipation based on the number of test clock and 69.7% reduction of test data for ISCAS'89 benchmark circuits.

**Keywords:** scan testing, compression, test power, test data, SOC

## I. 서 론

지난 20여 년간 컴퓨터, 무선 통신, 네트워크 장비, 휴대용 전자 기기 등의 급속한 확산과 함께 반도체 산업은 크게 성장하였다. 최근 몇 년간 아날로그 회로, DSP(Digital Signal Processing), 프로세서 및 메모리를 하나의 칩에 집적한 다양한 SOC 제품이 출시되고 있으며, 앞으로도 더욱 저렴한 가격으로 더 많은 기능을 갖는 SOC 제품에 대한 욕구가 더욱 증대될 것이다. 이러한 반도체 제품을 테스트하는 기술은 아직까지 고가의

외부 테스트 장비에 의존하고 있으나, 회로의 복잡도 및 성능이 증가함에 따라 외부 테스트 장비가 갖는 한계는 더욱 확대되고 있다. 따라서 기존 테스트 장비와 맞물려 테스트 용이도(testability)를 고려한 향상된 테스트기법과 그 비용을 줄이기 위한 많은 연구가 진행되어 오고 있다.

스캔(scan) 기반 구조에서 사용되는 테스트 방법은 스캔 아키텍처에 따른 풀스캔(full scan)구조와 파셜스캔(partial scan)방법으로 나누어 질 수 있다. 일반적으로 대규모의 집적 회로를 테스트하기 위해선 많은 량의 테스트 벡터를 요구하게 되며 이를 테스트 입력 핀에 인가하여 그 결과를 출력 핀에서 확인함으로써 대상회로의 결함 유무를 알 수 있다. 그러나 이러한 입력 테스트 벡터의 인가와 시프트(shift), 결과를 확인하는데 소요되는 테스트 비용은 상당한 것이어서 테스트 시간과 메모리 공간, 그리고 테스트 장비간의 채널 밴드폭

\* 정회원, 동서울대학 컴퓨터시스템과  
(Department of Computer System Engineering,  
Dong Seoul College)

\*\* 평생회원, 세명대학교 컴퓨터학과  
(Department of Computer Science, Semyung  
University)

접수일자: 2004년9월17일, 수정완료일: 2004년12월6일

(channel bandwidth)을 줄이는 것이 중요한 요소라 할 수 있다.

현재까지 연구된 손실 없는(lossless) 압축테스트 방법으로 Burrow-Wheeler 변환방법과 수정된 run-length 인코딩방법을 사용한 Yamaguchi<sup>[1]</sup>의 방법을 시작으로 허프만 코드를 이용한 Jas<sup>[2][10][16]</sup>의 방법이 발표되었다. 또한, 최근에는 Golomb 코딩 방식을 이용한 Chandra<sup>[3][4]</sup>의 논문과 FDR(frequency-directed run length)이라 불리는 variable-to-variable length 기법을 이용한 테스트 벡터의 압축방법이 Chandra<sup>[5]</sup>에 의해 안 되어 상당한 압축율과 저전력 효과를 가져 왔다. 그리고 내부 프로세서를 이용한 matrix based compression 방법으로 Bala<sup>[6]</sup>와 El-maleh<sup>[7]</sup>의 방법이 제안되었으며, 소프트웨어적으로 테스트 벡터를 압축하여 상당한 압축율을 이루었다. 그리고 Ozugr<sup>[8]</sup>의 논문은 사용되지 않는 스캔셀들을 구분하여 ATPG (Automatic Test Pattern Generator)를 수정하여 테스트 벡터를 생성시킴으로써 테스트벡터의 압축과 테스트시 소용되는 전력을 크게 줄였다. 또한 이와 같이 ATPG 알고리즘을 수정하고 직병렬 혼성 스캔 구조의 효과적인 테스트를 수행하는 방법으로 일리노이 스캔<sup>[9]</sup> 방법 등이 제안되어 왔다. 또한, 하이브리드 BIST(Hybrid Built-In Self-test) 방법<sup>[11][13][15]</sup>에 기초한 테스트 방법 등이 제시되었으며, 클럭제어에 의한 전력소모 단축과 테스트 데이터 단축방법이 제안되었다.<sup>[14][17]</sup>

본 논문에서는 테스트 벡터를 효과적으로 압축시키기 위한 방법을 제안하고 더불어서 테스트 벡터의 인가에 소요되는 전력을 줄이는 방법을 함께 제안한다. 또한, 기존의 ATPG 소프트웨어를 그대로 사용할 수 있으며 스캔 셀 구조에 있어서는 부가 하드웨어로서 소수의 counter 와 mux가 부가되며 특히, 테스트 비용 절감의 고려 대상인 테스트 메모리 감소와, 테스트 시간 단축 그리고 전력 감소의 효과가 있도록 한다.

본 논문의 구조는 다음과 같다. II장에서는 전력소비를 이루는 인자와 스캔구조에서의 테스트 방법에 관하여 설명하고, 더불어 테스트 입출력 벡터간의 유사도를 소개하며, III장에서는 제안된 테스트 데이터 재정렬 방법과 맵핑(mapping)방법 그리고 스캔 아키텍처에 관하여 설명한다. IV장에서는 ISCAS'89 벤치마크회로의 실험결과와 비교 예를 제시하고 V장에서는 결론과 향후 개선점에 대하여 설명한다.

## II. 유사도와 통합벡터생성

### 1. 전력소비와 회로의 테스트 시간

스캔 구조의 테스트를 위해선 한 테스트 패턴이 회로에 인가되기 이전에 테스트 생성기가 모든 스캔 경로를 입력 패턴으로 채워야 하므로, 한 테스트 패턴의 길이는 내부 스캔 경로의 크기만큼 증가한다. 즉, 만약 내부 스캔 경로의 길이가 K라면 하나의 테스트 패턴을 내부 회로에 입력하기 위해서는 내부 스캔 경로를 1비트씩 차례로 채우는데 K 클럭이 필요하고, 대상회로(circuit under test)를 테스트 하는데 한 클럭이 필요하다. 따라서 테스트 대상 회로에 한 입력 패턴을 인가하기 위해서는 K+1만큼의 클럭이 요구되고 테스트 후 그 결과를 확인하기 위해 출력으로 시프트 하는데 K클럭이 필요하다. 그러므로 만약 n 개의 패턴과 m개로 이루어진 스캔 레지스터를 테스트하는데 소요되는 클럭수는  $(n \times m) + n + m$  이 필요하다. 여기서 테스트 벡터의 입력과 그 이전 응답의 시프팅이 동시에 일어난다고 가정하였으며 따라서 최종 테스트 입력에 따른 응답의 시프트 시간은 m 클럭만큼 소요된다.

### 2. 유사도계산과 통합벡터 생성

스캔 테스트에 있어 테스트 장비와 연동시 테스트 장비와 대상회로들간의 채널 밴드폭(channel bandwidth)이 전체 테스트 시간을 결정하는 중요한 요소가 되며 또한 테스트 장비 내부에 있는 메모리의 량 또한 전체 테스트 시간을 줄일 수 있는 인자가 된다. 기존에 제시된 대표적인 압축방법으로 가장 널리 연구되어온 허프만 방법과 run-length 방법 등이 있는데 이 두 가지 방법 역시 테스트 벡터의 압축에도 상당한 효과가 있음이 증명되었다.

기존의 연구에 알 수 있듯이 Golomb 코딩 방법을 이용한 방법에 있어서는 prefix 부분이 고정되어 있어 하드웨어 구현에 있어서는 간단한 반면, FDR<sup>[5]</sup> 즉, variable-to-variable run length 방법은 Golomb 방법보다 상당히 많은 량의 압축을 보이고 있는 반면 구현 하드웨어 적인 면에서는 전자의 방법보다 많은 부가 하드웨어를 요구하게 된다. 그러나 대표적인 위 두 가지 형태의 압축방법(허프만 방법 포함)모두 압축된 데이터를 대상회로로 인가시키기 위해선 디코딩을 해야 하는데 스캔 셀의 수에 맞추어 한 비트씩 스캔 셀로 입력시켜야 한다. 따라서 테스트 시간의 압축은 테스트 장비에서의 클럭속도와 대상회로에서 사용되는 시스템 클럭의

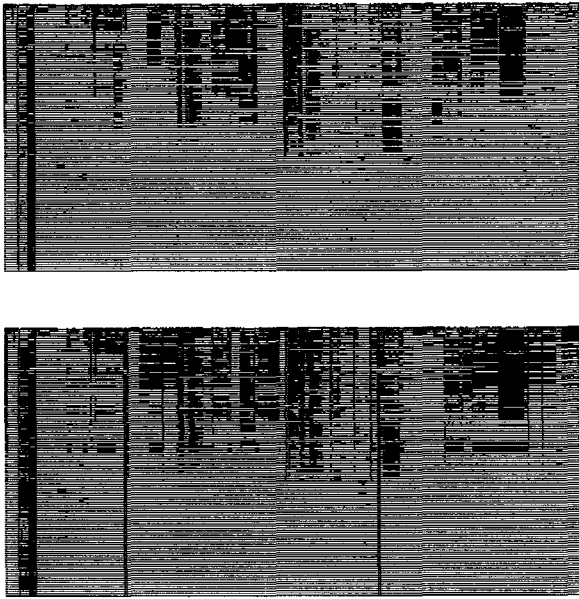


그림 1. s15850 회로의 입력패턴(위)과 그 응답(아래)  
Fig. 1. Input pattern(upper) and its response(lower) for s15850 circuit.

속도가 차이가 날 때 의미가 있게 된다.(일반적으로 테스트 장비의 속도는 실제 대상회로에서 사용되는 속도와는 느린 클럭을 사용) 그러나 그 차이가 나지 않는 동일한 클럭으로 동기화 시켰을 경우에 있어서는 테스트 시간의 단축은 가져오지 못하며 단지 테스트 대역폭의 증가와 메모리 감소의 비용은 가져 올 수 있다.

따라서 본 논문에서는 deterministic test vector의 입출력관계를 바탕으로 이러한 비효율적인 테스트 시간을 단축시키고 더불어 기존의 방법보다 개선된 압축 방법 알고리즘과 테스트시 문제가 될 수 있는 전력 소비를 줄이고자 한다. 그림 1은 ISCAS'89 벤치 마크회로의 deterministic test input vector 와 그에 따른 출력 벡터를 나타낸 그림으로 진한 색으로 표시된 부분은 1 또는 0의 데이터이며 흐리게 나타난 부분의 영역은 'x' 로 don't care 값이 된다. 가로축은 s15850회로의 스캔 셀에 해당되며 세로축은 인가되는 테스트 패턴이 된다. 그림에서 알 수 있듯이 입력 벡터의 연속적인 'x' 부분과 1(또는 0)부분이 압축의 효과를 기대할 수 있는 부분이 된다. 제시된 회로의 100% 고장 검출율을 보장하기 위해 Atlanta ATPG에서 생성된 비간결화된 테스트 큐브(un-compacted test cube)를 사용하였다.

입출력 테스트 벡터간의 유사도(similarity)를 정의하고 그 값을 도출함으로써 입출력 벡터를 동일한 방향으로 재정렬하여 압축하도록 한다. 그리고 압축할 수 있는 부분과 압축할 수 없는 부분을 구분하고, 테스트 벡

표 1. 회로의 스캔 입출력 벡터의 평균 이진값과 분산값  
(1셀당 평균이진 값(Mean)과 분산(variance))

Table 1. Average mean and variance for scan input/response vectors.

회로명	입력		출력	
	평균	분산	평균	분산
s5378	29.9	831.2	34.8	1296.8
s9234	35.1	1014.9	41.2	1371.6
s13207	14.7	942.0	18.2	814.5
s15850	17.6	332.9	23.1	425.5
s38417	19.9	337.6	19.0	320.2
s38584	20.2	411.3	21.0	489.4

표 2. ISCAS'89 벤치마크 회로의 스캔 입출력 벡터간의 평균 유사도

Table 2. Average similarity between scan input vectors and its responses for ISCAS'89 benchmark circuits.

회로명	스캔셀의 수	deterministic 입력 테스트 패턴수	입출력벡터간 의 평균유사도
s5378	214	119	72.0%
s9234	247	147	74.7%
s13207	700	239	94.2%
s15850	611	120	89.7%
s38417	1664	95	71.7%
s38584	1464	131	81.9%

터인가와 동시에 저장된 응답(response)을 시프트 하는데 필요한 스캔 셀과 필요로 하지 않는 부분을 구분하여 테스트함으로써 테스트 시간을 줄이게 된다.

표 1은 각 입출력 벡터의 셀 당 가지는 specified binary value(1 또는 0)의 평균(mean) 값을 나타내고 분산(variance) 값을 제시한 것으로 표에서 알 수 있듯이 입출력 모두 각각의 분산값이 평균값보다 상당히 큰 값으로 되어있어 전체 스캔 셀 영역에 걸쳐 국부적으로 집중 분포되어 있음을 알 수 있다. 예를 들어 s5378회로의 입력 테스트 벡터의 평균은 총 214개의 스캔셀(주입력+스캔셀)이 총 119개의 deterministic 테스트 패턴에 대하여 각각의 셀이 평균 29.9개만이 1 또는 0 값으로 명시(specified)되어 있고 나머지는 'x'로 되어 있다는 의미이며, 분산값은 이 값을 기준으로 구한 명시된 값들의 분포를 의미한다.

표 2는 각각의 ISCAS'89 회로의 유사도(similarity)를 측정하여 나타낸 값으로 그 유사도의 정의는 다음과 같은 수식으로 표현하였다.

$i$  번째 셀 유사도  $S_i$  는

$$S_i = 1 \quad \text{if } (InpuValue|_i = X \ \&\& \ OutputValue|_i = X) \\ || (InpuValue|_i = B \ \&\& \ OutputValue|_i = B) \\ = 0 \ \text{otherwise} \quad (1)$$

$$\text{평균유사도}(\%) = S \times 100 / \text{No. of patterns} \quad (2)$$

위 수식에서  $i$  번째 셀의 입력 테스트벡터와 그에 따른 출력 응답 벡터간의 유사도는 B(1 또는 0) (또는 'x')가 입력되어 다음 클럭에서 바로 자기 자신의 셀에 B 값(또는 'x')이 래치 되면 1이고 그 이외의 경우는 0으로 간주 한다. 따라서  $i$  번째 셀이 1이라는 의미는 입력과 출력이 동일 셀에서 인가되고 관측된다는 의미를 가진다. 물론 이 수치는 단순한 입출력간의 관계를 표시할 뿐이지 어떠한 입출력 함수에 대한 의미는 없다. 즉, deterministic test data 값이 입력되면 고장의 유무를 알 수 있는 이진값이 해당 셀에 반드시 관측되고 'x'값을 인가하였을 때 는 역시 고장검출율에 기여하지 못하는 'x'값이 출력된다는 의미이다. 각 패턴에 대한 유사도는 각 셀에 대한 합을 모두 구한 다음 이를 테스트 패턴 수로 나누게 된다.

위 표에서 알 수 있듯이 s5378의 경우 119개의 테스트 패턴에 대하여 평균 72%의 셀이 데이터의 입력과 출력에서 'x' 값에 대해서는 똑같이 'x'가 나오고, 이진값에 대해서는 역시 이진값으로 대응된다는 것을 알 수 있다. 따라서 이와 같은 유사도와 표 2의 분산값에 의해 다음과 같은 내용을 유추할 수 있다. 즉, 사용되는 deterministic test 패턴을 기반으로 이진값(B)으로 명시되는 부분과 'x' 값으로 명시되는 부분으로 구분하여 이를 열 순으로 재정렬(column reordering) 함으로써 테스트에 자주 사용되는 셀들의 집합으로 구분할 수 있다는 점이다.

상기 표에서 알 수 있듯이 모든 회로가 입력에서의 이진값을 갖게 되면 출력값 또한 바로 자기 자신의 셀에서 새로운 값으로 갱신 되어 나타날 확률이 높으며 deterministic 테스트 입력 벡터를 인가하였을 경우 출력값의 전파가 자신 또는 그 이웃한 셀들에 나타날 확률이 크다는 것을 의미한다. 따라서 이러한 이진 값을 가지게 되는 셀들을 같은 부류로 분리하여 재정렬 하게 되면 다음과 같은 통합벡터(unified vector)를 생성하게 된다.

$$\text{Unified Vector } C|_{ij} = \\ (\text{Input vector}|_{ij} \ \textcircled{U} \ \text{Out response vector}|_{ij}) \quad (3)$$

함수  $\textcircled{U}$ 는 다음과 같이 정의 된다.

$$\text{if } (\text{Input vector} = 'x' \ \&\& \ \text{output vector} = 'x') \\ \text{then } C|_{ij} = X; \\ \text{else } C|_{ij} = B;$$

B의 의미는 입출력의 어느 한쪽이라도 이진값(0 또는 1)을 갖고 있는 경우에 해당되며 'x'는 입출력 모두 unknown 값이 할당이 된 경우를 말한다.

다음 장에서 이를 토대로 재정렬과 이에 따른 분포도를 확인함으로써 압축과 테스트 시간의 단축에 기여하는 점에 대해 논의한다.

### III. 제안된 재정렬 알고리즘과 스캔 아키텍처

II 장에서 제안된 유사도를 근거로 입력 벡터와 출력 응답 벡터간의 통합(unified) 벡터를 생성한다. 생성된 통합 벡터는 다음의 알고리즘에 의해 다시 정렬된다. 이때 정렬알고리즘은 세로열에 미리 조사된 'x' 값의 다수에 따라 정렬되며 테스트 벡터 인가시 최소한의 입력 클럭으로 하나의 패턴에 필요한 테스트 벡터 값을 인가하기 위해 한쪽은 이진 데이터 값 즉, 0과 1의 이진 값을 모으고 다른 쪽은 'x' 값을 모아 정렬하게 되는데 그림 2에서 나타난 바와 같이 정렬하게 된다. 따라서 이와 같은 정렬의 형태는 테스트 시간의 단축을 가져오게 되는데 이를 위한 스캔 셀로 그림 3과 같이 중간에 멀티플렉스와 이를 제어하는 제어 입력이 필요하게 된

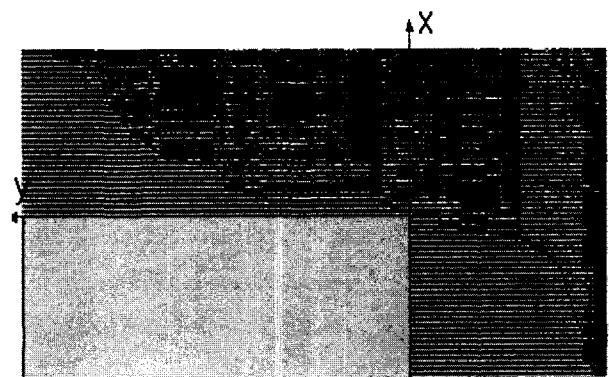


그림 2. 열 순으로 재정렬된 s15850 내부 사각형과 좌표 (x 축은 scan cell수, y 축은 패턴수)

Fig. 2. Inner rectangular and coordinates of column-reordered s15850(x: No. of scan cells, y: No. of test patterns).

다. 그리고 테스트시 적절한 시점에 사용될 카운터가 필요하다. 이 카운터는 스캔 테스트시 스캔 테스트의 끝을 알리는 카운터가 필요하게 됨으로 이를 이용하게 되며 그 다지 많은 수의 카운터용 게이트는 필요하지 않을 것이다.(합성시 그 수를 줄일 수 있음)

그림 3 에는 제안한 테스트 벡터의 인가와 그에 따른 출력 응답의 예가 제시 되어 있다. 그림에서 1개의 테스트 패턴을 인가하는데 소요되는 클럭수를 계산하여 보자. 입력 테스트 벡터가 처음 인가하게 되면 이때 필요한 테스트 입력 클럭은 5이고 시스템 클럭으로 회로에 인가하여 그 결과 값이 래치에 저장된다. 그리고 이를 출력 쪽으로 시프트할 때 필요한 클럭은 정상적인 기존의 full 스캔 구조에서는 출력에 소요되는 클럭수는 동일하게 5이므로 전체 스캔 테스트에 드는 시간은 11 클럭이 된다. 그러나 재정렬후 실제로 고장 활성화와 그 결과를 원하는 출력 쪽으로 전파하는데 기여하는 입력만을 표시한 셀을 고려하면, 이진 데이터 값이 들어간 래치만을 시프트하고역시 고장의 유무를 알 수 있는 결과가 들어있는 래치만을 끝 쪽으로 시프트하면 됨으로 이때 필요한 입력클럭은 2, 테스트하는데 클럭 1, 출력 쪽으로 시프트 하는데 소요되는 클럭 2 따라서 총 필요한 테스트인가와 결과에 따른 시간은 5 가 된다. 그러므로 제안된 방법에 따른 테스트 절약시간은 약 55%의 시간단축을 가져온다. 물론 이러한 가정은 앞 절에서 언급한 내용과 같이 이미 테스트 입력 벡터와 출력 벡터간의 재정렬로 인해 동일한 셀로 입력과 출력이 표시된다는 것을 “이미 인지하고 있다”는 것을 전제로 한다. 따라서 가장최대가 되는 시점에서 필요한 테스트만을 인가하고 추출하게 된다. 그림 2 내의 사각형 우측 모서리의 x좌표와 y 좌표간의 경계에서 그 면적이 최대가 되는 지점을 선정하여 그 다음 번 패턴부터 테스트를 수행하게 되는 것이다.

1. 제안된 재정렬 알고리즘

다음은 제안된 재정렬 알고리즘으로 의사 코드로써 (pseudo code) 나타내었다.

```

Generate Unified vector(Input, Output);
Column Ordering(Unified_vector);
/* by Hamming Distance between Column_vectors
of Unified vector. */
/* 2nd Column Ordering by the No. of 'x' of
Column_vector*/
for(j=0; j<No_of_scan_cell; j++)
    
```

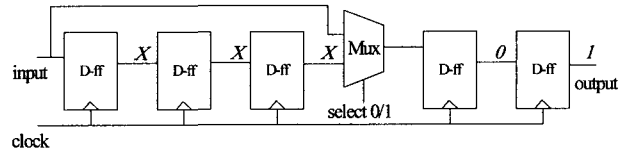


그림 3. 제안된 스캔 체인 구조  
Fig. 3. Proposed scan chain structure.

```

for(k=j+1; k<No_of_scan_cell; k++)
    if(No_of_x_in_column_vector[j]
        < No_of_x_in_column_vector[k] )
        exchange(Unified_vector);
    
```

2. 제안된 스캔 체인 구조

그림 3은 재정렬된 벡터를 효율적으로 테스트 시간을 단축시키기 위한 스캔 레지스터구조로서 나머지 셀로 끝까지 시프트하지 않고 중간에 그림 2의 x 좌표에 해당하는 셀로 도약(jump) 하는 기능을 갖게 된다.

그림 3에서 스캔 레지스터는 초기 통합 벡터를 재정렬 할 때 그 방향에 따라 멀티플렉서의 의미가 이동 가능하다. 그러므로 위와 같은 스캔 셀 구조를 적용하는 시점은 그림 2에서 'x'와 B의 접선에서 최대 면적이 되는 사각형의 y+1 좌표부터 가능하다. 따라서 초기 1번째 패턴이 인가되고 y 번째 까지는 정상적인 full 스캔 테스트를 수행하며, y+1 번째 테스트 패턴부터 끝까지 위에서 제시된 구조로써 필요한 지점까지의 테스트 입력과 출력을 수행하게 된다. 그러므로 전체 테스트 시간은 MxN 전체 면적에서 그림 2의 사각형 면적을 제외한 면적이 된다.

$$\begin{aligned}
 \text{테스트 시간(클럭수)} &= y \times N + (M-y) \times (N-x) \\
 &= MN - Mx + yx \\
 &= M(N-x) + yx \tag{4}
 \end{aligned}$$

(N : No. of scan cell, M : No. of test pattern)  
그러므로 테스트 단축비는,

$$\begin{aligned}
 \text{단축비}(\%) &= (1 - ((MN - Mx + yx) / MN)) \\
 &\quad \times 100 \\
 &= ((Mx - yx) / MN) \times 100 \tag{5}
 \end{aligned}$$

IV. 압축과 전력감소 방법

1. 압축(compression)

압축은 전형적인 run-length 알고리즘 방법으로 수행되며 Chandra<sup>[5]</sup> 논문과 최대의 압축효과를 얻기 위해서 FDR<sup>[6]</sup> 알고리즘을 이용한 방법을 사용한다. 그러나 FDR 알고리즘은 연속되는 숫자의 수가 증가할수록 더 붙어 그룹의 수가 다음과 같이 증가하게 되는데, 즉 0의 연속 숫자가 0(즉 1)과 1 일 때는 그 수로 처음 2를 할당하고 2, 3, 4, 5, 6 일 때는 5, 다음에는 8을 할당하여 압축을 하였지만 최적의 테스트 압축을 위한 숫자로는 적합하지 않다. 따라서 본 논문에서는 이를 개선한 혼합형(hybrid) 압축 알고리즘을 제시한다. 제시한 알고리즘은 연속되는 숫자가 0에서 3까지는 postfix와 prefix가 동일한 방식의 Golomb 방식을 사용하고 그 이후부터는 FDR 알고리즘을 사용하는 방식으로 압축하게 되는데 사용자는 이러한 방식이 아니라도 기존의 이미 알려진 압축방법을 사용할 수 있으며 제안된 테스트 벡터의 재정렬로 인해 이미 테스트 벡터의 압축효과를 갖고 있기 때문이다.

**V. 시뮬레이션 및 결과**

본 장에서는 ISCAS'89 회로를 대상으로 테스트 시간과 압축률 그리고 전력소비를 시뮬레이션 하였다.

입력 테스트 패턴은 Bala<sup>[6]</sup>, Jas<sup>[12]</sup> 논문 등에서 사용된 Atlanta ATPG를 사용해서 생성된 비간결화(uncompact) 테스트 패턴을 사용하였다.

표 3의 두 번째 열은 테스트 패턴과 스캔 셀의 곱으로 계산된 시간이며 단축된 시간은 그림 2의 사각형의 최대 면적이 된다. s5378은 원래의 테스트 시간 25466에서 20072의 시간으로 테스트가 가능함으로 단축된 시간은 약 21.2%를 가져 왔으며, 최대 단축은 회로 s13207 회로로 58.0%의 단축을 가져왔다. 사용된 벤치마크 회로의 평균 시간 단축율은 약 29.4%로 큰 감소를 가져 왔다.

표 4 는 제안된 테스트 벡터 압축과 기존의 방법을 비교한 것으로써 기존의 대표적인 알고리즘보다 향상된 압축효과를 나타냄을 입증하였다.

표 5 는 제안된 스캔 테스트 방법을 적용하여 만들어진 테스트 벡터의 scan 전력소비를 WTM (Weighted Transition Metrics)<sup>[18]</sup>방법으로 계산한 결과이다.

WTM의 식은 다음과 같다.

$$WTM | _j = (b_{i-1} \oplus b_i) \times (n - i) \tag{6}$$

표 3. 테스트 시간 감소

Table 3. Reduction of test time.

회로명	원래의 데이터	향상된 시간(clock)	단축율(%)
s5378	25466	20072	21.2
s9234	36300	29253	19.4
s13207	167300	70230	58.0
s15850	73320	46749	36.2
s38417	158080	129830	17.9
s38584	191784	146088	23.8

표 4. 기존 run-length 압축 방법과의 비교

Table 4. comparison between the existing run-length compression methods and proposed method.

회로명	원래의 데이터	논문[12]	논문[6]	제안된 방법
s5378	25466	43%	59%	61%
s9234	36300	41%	53%	60%
s13207	167300	84%	82%	89%
s15850	73320	63%	68%	76%
s38417	158080	35%	56%	61%
s38584	191784	48%	65%	71%

표 5. 평균 전력(average power) 감소

Table 5. Reduction of average power.

회로명	재정렬된 데이터의 단축전력 소비율
s5378	21%
s9234	36%
s13207	26%
s15850	18%
s38417	16%
s38584	11%

( $j = 1 : n - 1$ ,  $n$ 은 스캔 체인(scan chain)내의 스캔 셀 수,  $j = 1 : m$  입력벡터수,  $b$ 는 스캔 셀,  $\oplus$ 는 xor 연산자) 전장의 그림 2에서와 같이 인가되는 테스트 벡터의 정렬로 인해 scan\_in 되는 전력소비를 줄일 수 있다. 표 5는 각 회로에 대하여 WTM 수식에 근거한 각 회로의 평균(average power)전력소비를 비교한 것이다. s9234의 회로에서 가장 큰 단축율을 보였으며 평균 21.3% 감소효과를 가져왔다.

**VI. 결 론**

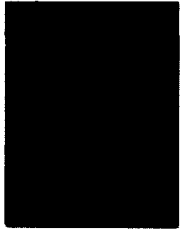
본 논문에서 제안된 테스트 방법은 상당한 테스트 시간과 전력소비를 단축시킬 수 있었다. 또한, 제안된 테스트 방법을 실현시키기 위한 효과적인 스캔 레지스터 아키텍처를 제안하였다. 실험결과로 고장검출율의 저하 없이 테스트 데이터와 전력소비의 단축율을 크게 향상

시켰으며, 전력소비 단축에 있어서는 최대 58.0% 단축과 함께 평균 29.4%의 전력소비 단축을 가져왔다. 테스트 데이터의 압축에 있어서는 평균 69.7%의 테스트 데이터 단축을 얻을 수 있었다. 제안된 스캔 테스트 아키텍처는 멀티플스캔(multiple scan) 아키텍처에 적용가능 하다.

## 참 고 문 헌

- [1] Yamaguchi, T., Tilgner, M., Ishida, M., and Ha, D. S., "An efficient method for compressing test data," *Proc., International Test Conference*, pp. 191-197, 1997.
- [2] Jas, A., Dasidar, J. G., and Touba, N. A., "Scan vector compression/decompression using statistical coding," *Proc. IEEE VLSI Test Symposium*, pp. 114-120, 1999.
- [3] Chandra, A., and Chakrabarty, K., "Test data compression for system-on-a-chip using Golomb codes," *Proc. IEEE VLSI Test Symposium*, pp. 113-120, 2000.
- [4] A. Chandra and K. Chakrabarty, "Combining low-power scan testing and test data compression for system-on-a-chip," *Proc. DAC*, pp. 166-169, 2001.
- [5] Chandra, A., and Chakrabarty, K., "Frequency-directed run-length codes with application to system-on-a-chip test data compression," *Proc. IEEE VLSI Test Symposium*, pp. 42-47, 2001.
- [6] Kedarnath J. Balakrishnan and Touba N, A., "Matrix-based test vector decompression using an embedded processor," *Proc. IEEE Symposium on Defect and Fault Tolerance*, pp. 138-146, 2002.
- [7] El-Maleh, A., Al-Zahir, S., and Khan, E., "A geometric primitives based compression scheme for testing system-on-a-chip," *Proc. IEEE VLSI Test Symposium*, pp. 54-59, 2001.
- [8] Ozgur Sinanolu and Alex Orailoglu, "A novel scan architecture for power-efficient, rapid Test," *Proc. ICCAD*, pp. 299-303, 2002.
- [9] I. Hamzaoglu and J. H. Patel, "Reducing test application time for full scan embedded cores," *29th Int. Symp. Fault-Tolerant Comp.*, pp. 260-267, June, 1999.
- [10] Rosinger, P., Gonciari, T., Al-Hashimi, B. and Nicolici, N., "Simultaneous reduction in volume of test data and power dissipation for systems-on-a-chip," *IEE Electronics Letters* 37(24): pp. 1434-1436, 2001.
- [11] D. Das and N. A. Touba, "Reducing test data volume using external/LBIST hybrid test pattern," *Proc. Int. Test Conf.*, pp. 115-122, 2000.
- [12] Jas, A., Dasidar, J. G., and Touba, N. A., "Using an embedded processor for efficient deterministic testing of system-on-a-chip," *Proc. IEEE Int. Conf. on Computer Design(ICCAD)*, pp. 418-423, 1999.
- [13] C. V. Krishna, A. Jas, and N. A. Touba, "Test vector encoding using partial LFSR reseeding," *Proc. Int. Test Conf.*, pp. 885-893, 2001.
- [14] P. Gonciari, I. Guiller, C. Landrault, S. Pravossou-dovitch, H. J. Wunderlich, "A modified clock scheme for a low power BIST test pattern generator," *Proc. VLSI Test Symp.*, pp. 302-311, 2001.
- [15] A. Jas., C. V. Krishna, and N. A. Touba, "Hybrid BIST based on weighted pseudo-random testing: a new test resource partitioning scheme," *Proc. VLSI Test Symp.*, pp. 114-120, 2001.
- [16] P. Gonciari, B. m. Al-Hashimi, and N. Nicolici, "Improving compression ratio, area overhead, and test application time for system-on-a-chip test data compression/decompression," *Proc. Design Automation Test Eur.*, pp. 604-611, 2002.
- [17] L. Whetsel, "Adapting scan architecture for low power operation," *Proc. Int. Test Conf.*, pp. 863-872, 2000.
- [18] R. Sankaralingam, R. R. Oruganti and N. A. Touba, "Static compaction techniques to control scan vector power dissipation," *Proc. VLSI Test Symposium*, pp.35-40, 2000.

저 자 소 개



허 용 민(정회원)  
 1987년 한양대학교 전자공학과  
 공학사  
 1989년 한양대학교 대학원  
 공학 석사  
 1996년 한양대학교 대학원  
 공학 박사  
 1996년~1999년 LG정보통신(주) 중앙연구소  
 이동통신연구단 선임연구원  
 2002년~2003년 Univ. of Texas at Austin  
 Visiting Researcher  
 1999년~현재 동서울대학 컴퓨터시스템과 조교수  
 <주관심분야: Design for testability, Low power  
 design, 이동통신시스템>



인 치 호(평생회원)  
 1985년 한양대학교 전자공학과 공  
 학사  
 1987년 한양대학교 대학원 공학  
 석사(VLSI CAD 전공)  
 1996년 한양대학교 대학원 공학  
 박사(VLSI CAD 전공)  
 1992년~현재 세명대학교 컴퓨터학과 부교수  
 <주관심분야: VLSI CAD, ASIC 설계, CAD 알고  
 리즘, RTOS 및 내장형 시스템>