

논문 2004-41SD-12-4

# 패키지된 바이폴라 트랜지스터의 등가회로 모델 파라미터 추출 (Equivalent Circuit Model Parameter Extraction for Packaged Bipolar Transistors)

이 성 현\*

(Seonghearn Lee)

## 요 약

본 논문에서는 package된 BJT의 RF 등가회로 모델을 optimization과정 없이 직접 추출하는 방법을 개발하였다. 먼저, open 과 short package 구조를 사용하여 plastic package의 기생성분을 측정된 S-파라미터로부터 정확히 제거하였다. 이와같이 package de-embedding된 S-파라미터로부터 package lead와 chip pad 사이의 bonding wire 인덕턴스와 chip pad 캐패시턴스를 직접 추출하는 간단한 방법을 구축하였다. 그 후에 내부 BJT소자의 소신호 모델변수들은 RF 등가회로로부터 유도된 Z나 Y-파라미터 방정식을 이용하여 결정하였다. 이 방법으로 모델화된 packaged BJT의 S-파라미터는 측정 데이터와 아주 잘 일치하였으며 이는 새로운 추출방법의 정확성을 증명한다.

## Abstract

In this paper, a direct method is developed to extract RF equivalent circuit of a packaged BJT without optimization. First, parasitic components of plastic package are removed from measured S-parameters using open and short package patterns. Using package de-embedded S-parameters, a direct and simple method is proposed to extract bonding wire inductance and chip pad capacitance between package lead and chip pad. The small-signal model parameters of internal BJT are next determined by Z and Y-parameter formula derived from RF equivalent circuit. The modeled S-parameters of packaged BJT agree well with measured ones, verifying the accuracy of this new extraction method.

**Keywords :** packaged bipolar transistors, BJT, parameter extraction, modeling, small-signal model

## I. 서 론

최근에 무선통신용 RF 회로시장의 급속한 팽창에 따라 plastic package된 바이폴라 접합 트랜지스터 (BJT)가 가격 경쟁력이 유리한 핵심 소자로서 크게 각광받고 있다. 이러한 RF BJT 회로들의 최적설계를 얻기 위해서는 정확한 등가회로 시뮬레이션을 수행하여야 한다<sup>[1]</sup>.

이러한 시뮬레이션의 신뢰도를 결정하는 요소는 package된 BJT의 정확한 모델 파라미터 추출이다<sup>[2]</sup>.

하지만, 큰 기생성분이 포함된 package에 의해 둘러

싸여 있기 때문에 내부 chip BJT의 등가회로 모델링은 매우 어려운 상황이다. 가장 쉽게 생각할 수 있는 방법은 chip BJT와 plastic package의 모델링을 별도로 수행하는 것이다. 이러한 예로서 GaAs chip HBT를 on wafer 패턴 측정으로 별도로 모델링 한 후, "open"과 "short" package 구조를 사용하여 plastic package 모델을 추출하는 방법이 발표되었다<sup>[2]</sup>. 하지만, 대부분 Si chip BJT가 n<sup>+</sup> Si 기판을 컬렉터로 사용하여 on wafer 측정이 불가능하므로<sup>[3]</sup>, chip BJT를 독립적으로 모델링할 수 없는 문제가 발생한다.

이러한 문제를 극복하기 위하여 on wafer RF 측정용 coplanar test board를 제작하여 내부 chip BJT의 RF 모델링을 수행한 연구가 발표되었다<sup>[3]</sup>. 하지만, 특별한 on wafer test board를 제작하여야 하며 coplanar test 패턴을 de-embedding하기 위한 별도의 calibration 패

\* 정희원, 한국외국어대학교 전자정보공학부  
(School of Electronics and Information Engineering,  
Hankuk University of Foreign Studies)  
※ 이 연구는 2004학년도 한국외국어대학교 교내 학술  
연구비의 지원에 의하여 이루어진 것임.  
접수일자: 2004년5월6일, 수정완료일: 2004년12월6일

터들이 필요하게 되므로 복잡하다. 또한, plastic package 자체의 등가모델을 구성하기 위하여 3차원 electromagnetic 시뮬레이션을 사용하였기 때문에 더 많은 모델링 노력이 필요하며 시뮬레이션 정확도에 의문에 생기게 된다.

따라서, 본 논문에서는 별도의 on wafer RF 측정 없이 package된 BJT로부터 직접 모델링을 수행하는 새로운 방법을 개발하였다. 먼저, "open"과 "short" package 구조를 사용하여 측정된 S-파라미터로부터 plastic package의 기생성분을 de-embedding한 후에, package lead와 chip pad 사이의 bonding wire 인덕턴스와 chip pad 캐패시턴스를 추출하고, BJT모델링을 수행하였다.

## II. 본 론

### 1. 패키지 De-embedding

일반적인 plastic package에서 package lead와 paddle 사이에는 캐패시턴스 성분들이 존재하므로 3개의 병렬 admittance 요소( $Y_{PBE}$ ,  $Y_{PBC}$ ,  $Y_{PCE}$ )들로 모델화 할 수 있다. 또한, 각각의 lead들은 인덕턴스 성분들이 존재하므로 3개의 직렬 impedance 요소( $Z_{LB}$ ,  $Z_{LE}$ ,  $Z_{LC}$ )들로 나타낼 수 있다. 따라서, plastic package는 그림 1의 블록선도로 등가화시킬 수 있다.

이러한 package 기생성분들이 소자의 S-파라미터에 큰 영향을 미치기 때문에, 정확한 S-파라미터를 측정하기 위해서는 이 성분을 제거하는 package de-embedding이 수행되어야한다.

따라서, 본 연구에서는 이러한 de-embedding을 수행하기 위해서 다음과 같은 특별한 테스트 패턴들을 사용하였다. 첫번째는 "open" 패턴으로 아무 것도 연결되지 않은 원래의 plastic package이다. "short" 패턴은 input과 output lead가 많은 수의 bonding wire로 paddle에 병렬 연결되어 서로 단락된 구조를 가지고 있다.

이러한 테스트 패턴들을 사용하여 다음과 같은 package de-embedding을 수행하였다.

(1) "open", "short" 패턴의 측정된 S-파라미터를 Z-파라미터로 변환한다.

(2) "open" 패턴의  $Z_o$  파라미터에서 "short" 패턴의  $Z_s$  파라미터를 뺀다.

$$[Z_{os}] = [Z_o] - [Z_s]$$

(3) 위의  $Z_{os}$  파라미터를  $Y_{os}$  파라미터로 변환한다.

(4) 소자의  $S_d$  파라미터를  $Z_d$  파라미터로 변환한다.

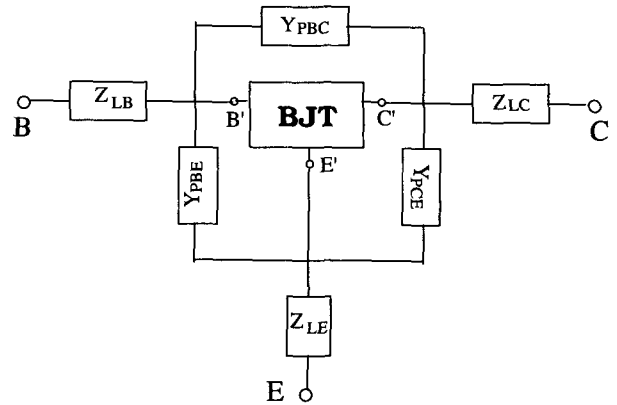


그림 1. Plastic package 패턴을 모델화한 등가 블록선도  
Fig. 1. Equivalent circuit block modeled for plastic package pattern.

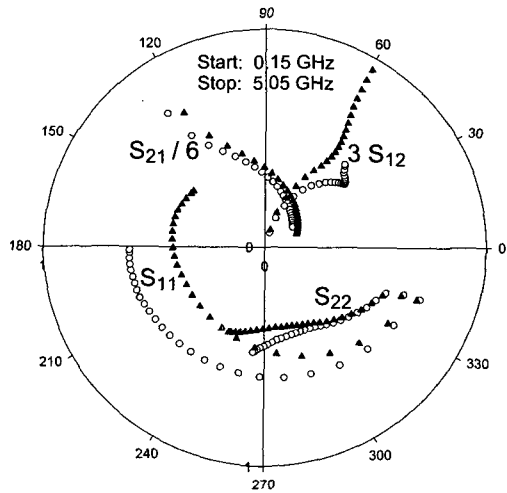


그림 2. De-embedding하기 전(▲)과 후(O)의 S-파라미터들을 5.05GHz까지 비교한 그래프. 이때 측정 bias는  $I_c = 7mA$ 와  $V_{ce} = 3V$ 이다

Fig. 2. Comparison between S-parameters before (▲) and after (O) de-embedding up to 5.05GHz. Measured bias is  $I_c = 7mA$  and  $V_{ce} = 3V$ .

(5) 위의  $Z_d$  파라미터에서  $Z_s$  파라미터를 뺀다.

$$[Z_{ds}] = [Z_d] - [Z_s]$$

(6) 위의  $Z_{ds}$  파라미터를  $Y_{ds}$  파라미터로 변환한다.

(7) De-embedding된  $Y_{dd}$ -파라미터는 소자의  $Y_{ds}$  파라미터로부터  $Y_{os}$  파라미터를 뺀으로써 구한다.

$$[Y_{dd}] = [Y_{ds}] - [Y_{os}]$$

위의 단계를 통해 얻어진 package de-embedded S-파라미터가 측정된 데이터와 그림 2에서 비교되었다. 이로부터 package 기생성분의 영향이 비교적 큰 것을 알 수 있으며, de-embedding의 중요성을 말해준다. 이

방법은 기존의 on wafer RF 측정<sup>[2],[3]</sup> 없이 package 소자의 RF 측정으로 직접 내부 BJT의 S-파라미터를 측정할 수 있으므로 훨씬 간단하고 정확하다.

2. Bonding Wire 인덕턴스 추출

본 연구에서 사용된 소자는 finger수가 8개인 에미터 (면적 8 x 24 x 0.8 μm)를 가진 Polysilicon emitter BJT이며, 차단주파수가 약 4 GHz정도 된다. 그림 3은 활성영역으로 bias된 BJT의 소신호 등가회로를 보여준다. 이 회로에서  $g_m$ 는 dynamic 에미터 컨덕턴스,  $C_n$ 는 에미터-베이스 확산 캐패시턴스 ( $C_{de}$ )와 접합 캐패시턴스( $C_{je}$ )의 합이고,  $g_o$ 는 출력컨덕턴스이다. 또한,  $r_{cc}$ 는 컬렉터 저항,  $r_{ee}$ 는 에미터 저항,  $g_{bx}$ 는 외부 베이스 컨덕턴스,  $g_b$ 는 내부 베이스 컨덕턴스이고,  $C_b$ 는 Si BJT소자에서 심각하게 발생하는 ac 전류집중효과를 고려한 것이다<sup>[4]</sup>. 또한,  $C_{bep}$ ,  $C_{bcp}$  와  $C_{cep}$ 은 chip pad 캐패시턴스이고,  $L_e$ ,  $L_b$  및  $L_c$ 은 bonding wire 인덕턴스이다.

일반적으로 chip BJT를 paddle에 mount시킨 후에 package lead와 chip pad 사이에 bonding wire를 연결하여 package된 BJT를 완성한다<sup>[2]</sup>. 따라서, 내부 chip BJT의 정확한 모델링을 수행하기 위해서는 bonding wire 인덕턴스를 먼저 독립적으로 추출하는 것이 중요하다. 이러한 인덕턴스의 추출을 위해서 기존에는 package된 BJT와 같은 길이의 bonding wire를 각 lead와 paddle에 연결한 여분의 “short” 테스트 패턴이 필요하다. 하지만, 정확한 측정을 위해서는 “short” 테스트 패턴이 정교해야 하므로 제작이 매우 힘들다.

따라서, 본 연구에서는 “short” 테스트 패턴 없이 간단히 구하기 위하여 실제 소자의 측정된 S-파라미터로

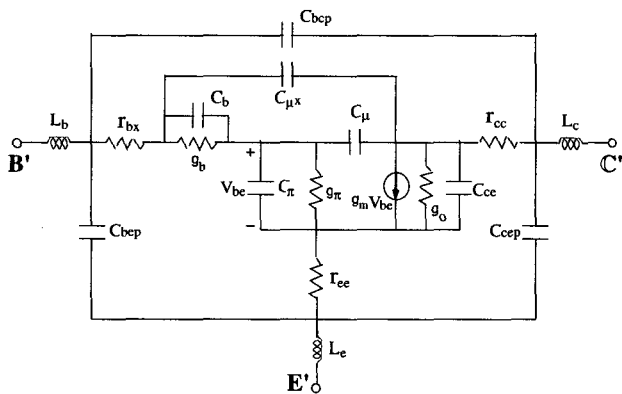


그림 3. 활성모드 바이어스 아래에 있는 BJT 소신호 등가회로 ( $g_m = g_{m0}e^{-j\omega\tau}$ )  
 Fig. 3. A small-signal equivalent circuit ( $g_m = g_{m0}e^{-j\omega\tau}$ ) for a BJT biased to the active mode.

부터 각 단자의 bonding wire 인덕턴스를 독립적으로 추출할 수 있는 방법을 새롭게 개발하였다.

포화영역으로 bias된 BJT는 베이스-에미터 및 베이스-컬렉터 접합영역이 모두 forward bias가 되므로, 베이스-컬렉터 확산 캐패시턴스와 접합 캐패시턴스의 합인  $C_{nc}$ 와 dynamic 컬렉터 컨덕턴스  $g_{nc}$ 가 존재한다. 따라서, 포화영역으로 bias된 BJT는 그림 4와 같이 간단한 수동회로로 구성 가능하다. 이때, 포화영역에서는  $C_{nb}$ 와  $C_{nc}$ 가 확산 캐패시턴스 성분으로 매우 크기 때문에  $C_{bep}$ ,  $C_{bcp}$ 들을 무시할 수 있다. 하지만,  $C_{cep}$ 는 모델 단순성을 위해  $C_{ce}$ 와 결합하여  $C_{cet}$ 로 합쳐졌다.

그림 4의 점선 box에 있는 intrinsic 회로의  $Y^i$ -파라미터는 다음 식으로 표현된다.

$$Y_{11}^i = (g_{nb} + g_{nc}) + j\omega(C_{nb} + C_{nc}) \quad (1)$$

$$Y_{12}^i = -g_{nc} - j\omega C_{nc} \quad (2)$$

$$Y_{21}^i = -g_{nc} - j\omega C_{nc} \quad (3)$$

$$Y_{22}^i = g_{nc} + j\omega(C_{nc} + C_{cet}) \quad (4)$$

위의  $Y^i$ -파라미터 항을  $Z^i$ -파라미터로 변환시킨 후에 직렬요소를 첨가하면 전체 등가회로는 다음과 같은 Z-파라미터로 묘사된다.

$$Z_{11} = r_{bb} + r_{ee} + j\omega(L_b + L_e) + \frac{g_m + j\omega(C_{nc} + C_{cet})}{D} \quad (5)$$

$$Z_{12} = Z_{21} = r_{ee} + j\omega L_e + \frac{g_{nc} + j\omega C_{nc}}{D} \quad (6)$$

$$Z_{22} = r_{cc} + r_{ee} + j\omega(L_c + L_e) + \frac{g_{nb} + g_{nc} + j\omega(C_{nb} + C_{nc})}{D} \quad (7)$$

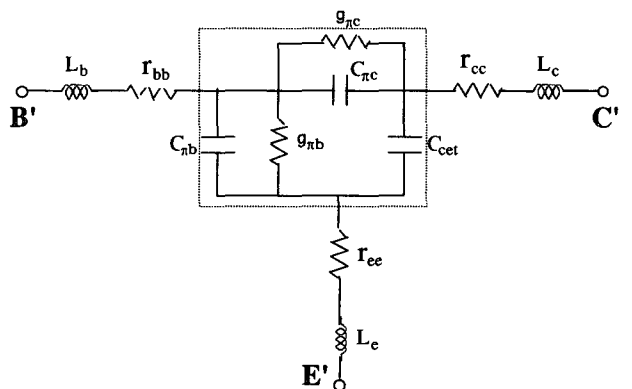


그림 4. 포화영역 bias에서 근사화된 소신호 BJT등가회로  
 Fig. 4. A small-signal BJT equivalent circuit simplified in the saturation mode.

여기에서  $D = Y_{11}^i Y_{22}^i - Y_{12}^i Y_{21}^i$

위의 Z-파라미터를 사용하여 유도된 방정식들은 다음과 같다.

$$\frac{1}{\omega} \text{Imag}(Z_{11} - Z_{12}) = L_b + \frac{b_0 - b_2 \omega^2}{d_0 + d_2 \omega^2 + d_4 \omega^4} \quad (8)$$

$$\frac{1}{\omega} \text{Imag}(Z_{12}) = L_e + \frac{e_0 - e_2 \omega^2}{d_0 + d_2 \omega^2 + d_4 \omega^4} \quad (9)$$

여기에서  $b_0, b_2, e_0, e_2, d_0, d_2,$  및  $d_4$ 는 intrinsic 파라미터만의 함수로서, 고정된 바이어스에서는 주파수에 무관한 상수이다.

매우 높은 고주파 영역(HF)에서, (8)과 (9)는 다음 식들로 근사화 된다.

$$(1/\omega) \text{Imag}(Z_{11} - Z_{12})_{\text{HF}} \approx L_b - (b_2/d_4) \omega^{-2} \quad (10)$$

$$(1/\omega) \text{Imag}(Z_{12})_{\text{HF}} \approx L_e - (e_2/d_4) \omega^{-2} \quad (11)$$

위의 (10)과 (11)식을 사용한다면 인덕턴스 값들을 복잡한 fitting방법 없이 간단히 결정할 수 있는 장점이 있다. 그림 5는 Z-파라미터 방정식의 고주파 영역 (낮은  $\omega^{-2}$ ) 데이터를 보여주고 있으며, 직선으로 extrapolation하여 얻어진 Y-절편 값으로부터  $L_e$ 와  $L_b$ 를 추출하였다. 이 그림은 측정데이터가 매우 선형적임을 보여주며 이는 추출방법의 정확도를 보여준다.

### 3. 패드와 접합 캐패시턴스 추출

일반적으로 BJT 단자와 package lead를 bonding

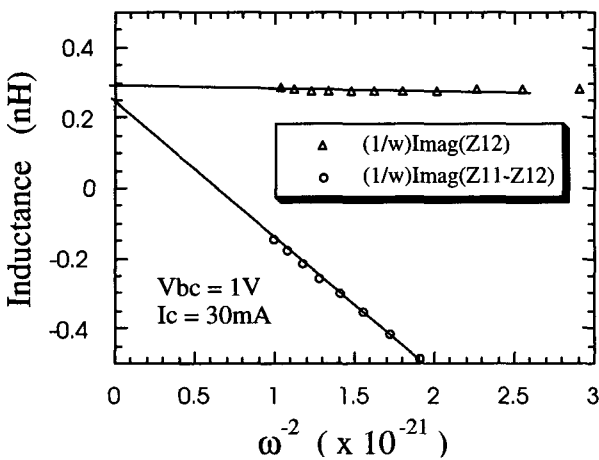


그림 5. 고주파영역의  $(1/\omega) \text{Imag}(Z_{11}-Z_{12})_{\text{HF}}$  및  $(1/\omega) \text{Imag}(Z_{12})_{\text{HF}}$ 을  $\omega^{-2}$ 의 함수로 그린 곡선

Fig. 5.  $(1/\omega) \text{Imag}(Z_{11}-Z_{12})_{\text{HF}}$  and  $(1/\omega) \text{Imag}(Z_{12})_{\text{HF}}$  at high frequencies as a function of  $\omega^{-2}$ .

wire로 연결하기 위해서는, BJT chip안의 바깥쪽에 큰 금속 pad를 layout하여야 한다. 하지만, 이러한 금속 chip pad에는 큰 캐패시턴스 성분이 포함되어 있기 때문에 정확한 chip BJT 모델링을 수행하기 위해서는 pad 캐패시턴스가 먼저 추출되어야 한다.

일반적으로 chip pad 캐패시턴스를 추출하기 위해서는 여분의 “open” pad 테스트 패턴이 필요하므로 매우 복잡하다<sup>[1]</sup>. 따라서, 본 연구에서는 별도의 “open” 테스트 패턴 없이 실제 측정된 S-파라미터로부터 각 chip pad 캐패시턴스들을 추출하는 방법을 다음과 같이 개발하였다.

차단 모드에서는 그림 3의  $C_{de}, r_{\pi}, g_m, g_o$  성분이 없으므로 저항과 캐패시턴스만으로 구성된 간단한 수동 회로로 구성된다<sup>[5]</sup>. 또한, 낮은 주파수영역에서 capacitance의 임피던스에 비해서 직렬로 연결된 저항성분과 인덕턴스들의 영향이 매우 적으므로 그림 3에서 무시되었다. 따라서 접합 캐패시턴스와 chip pad 캐패시턴스들은 저주파영역(LF)에서 다음과 같은 Y 파라미터 방정식으로 근사화 된다.

$$C_{bep} + C_{je} \approx (1/\omega) \text{Imag}(Y_{11} + Y_{12})_{\text{LF}} \quad (12)$$

$$C_{bcp} + C_{\mu x} + C_{\mu} \approx (1/\omega) \text{Imag}(-Y_{12})_{\text{LF}} \quad (13)$$

$$C_{cep} + C_{ce} \approx (1/\omega) \text{Imag}(Y_{22} + Y_{12})_{\text{LF}} \quad (14)$$

위의 식들에 포함된 접합 캐패시턴스들은 다음과 같이 전압중속 방정식들로 표현된다.

$$C_{je} = C_{JE}(1 - V_{be}/V_{JE})^{-M_{JE}} \quad (15)$$

$$C_{\mu x} + C_{\mu} = C_{JC}(1 + V_{cb}/V_{JC})^{-M_{JC}} \quad (16)$$

$$C_{ce} = C_{JS}(1 + V_{ce}/V_{JS})^{-M_{JS}} \quad (17)$$

여기에서  $C_{JE}, C_{JC}, C_{JS}$  들은 전압이 0 일 때의 값이고,  $V_{JE}, V_{JC}, V_{JS}$  들은 built-in 장벽 전압이며,  $M_{JE}, M_{JC}, M_{JS}$  들은 접합에서의 도핑 profile에 의한 캐패시턴스 gradient 요소들이다. 위의 전압중속성을 이용하여,  $C_{bep}, C_{bcp}$  와  $C_{cep}$ 은 측정된  $(1/\omega) \text{Imag}(Y_{11} + Y_{12})_{\text{LF}}, (-1/\omega) \text{Imag}(Y_{12})_{\text{LF}},$  및  $(1/\omega) \text{Imag}(Y_{22} + Y_{12})_{\text{LF}}$ 의 캐패시턴스 데이터들을 각각  $(1 - V_{be}/V_{JE})^{-M_{JE}}, (1 + V_{cb}/V_{JC})^{-M_{JC}}, (1 + V_{ce}/V_{JS})^{-M_{JS}}$ 의 함수로 그린 후에 Y-절편값으로 얻어졌다.

그림 6은  $(-1/\omega) \text{Imag}(Y_{12})_{\text{LF}}$ 을  $(V_{JC} + V_{cb})^{-M_{JC}}$ 의 함수로 그린 그래프로서 Y-절편값으로부터  $C_{bcp} = 0.26\text{pF}$ 가 얻어졌다.

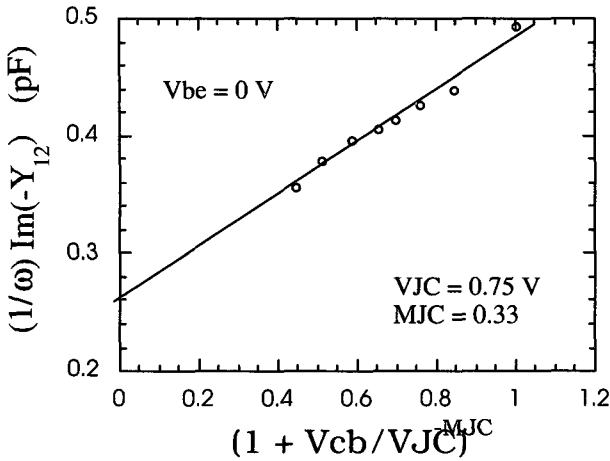


그림 6. Cutoff bias에서 측정된  $(-1/\omega)\text{Imag}(Y_{12})_{LF}$ 을  $(1+V_{cb}/V_{JC})^{-M_{JC}}$ 의 함수로 그린 그래프

Fig. 6. Measured  $(-1/\omega)\text{Imag}(Y_{12})_{LF}$  at cutoff bias versus  $(1+V_{cb}/V_{JC})^{-M_{JC}}$ .

4. BJT 모델 파라미터 추출

그림 3의  $C_{\mu}$ 를 결정하기 위하여 차단모드 등가회로로부터 유도된 다음의 추출방정식이 사용되었다<sup>[5]</sup>.

$$\frac{C_{\mu}}{C_{je}} = \frac{-\text{Real}(Y_2)}{\text{Real}(Y_1 + Y_2)} \quad (18)$$

이때  $C_{je}$ 는 이미 얻어진  $C_{bep}$ 를 식(12)에 대입하여 결정되었으며, Y-파라미터는 차단영역에서 de-embedded된 S-파라미터로부터 변환되었다. 식(18)로부터 추출된  $C_{\mu}$ 와 그림 6으로부터 얻어진  $C_{bcp}$ 를 식(13)에 대입함으로써  $C_{\mu x}$ 가 추출되었다.

베이스-컬렉터 junction에 역전압이 걸려 있는 active bias영역에서 컬렉터저항  $r_{cc}$ 의 추출이 매우 어렵기 때문에, 본 연구에서는 포화영역에서 측정된 S-파라미터를 사용하는 새로운 추출방법을 개발하였다. 포화영역의 등가회로로부터 이미 유도된 식 (5)-(7)을 사용하여 다음의  $Z^a$ -파라미터 방정식을 얻을 수 있다. 이때  $Z^a$ -파라미터는 de-embedding된 S-파라미터로부터 bonding wire 인덕턴스와 chip pad 캐패시턴스를 차례로 제거한 Z-파라미터이다.

$$\text{Real}(Z_{22}^a - Z_{21}^a) = r_{cc} + \frac{k_0 + k_2\omega^2}{d_0 + d_2\omega^2 + d_4\omega^4} \quad (19)$$

여기에서  $k_0$ ,  $k_2$ ,  $d_0$ ,  $d_2$ , 및  $d_4$ 는 그림4에 있는 intrinsic 파라미터만의 함수로서, 고정된 바이어스에서 주파수에 무관한 상수이다.

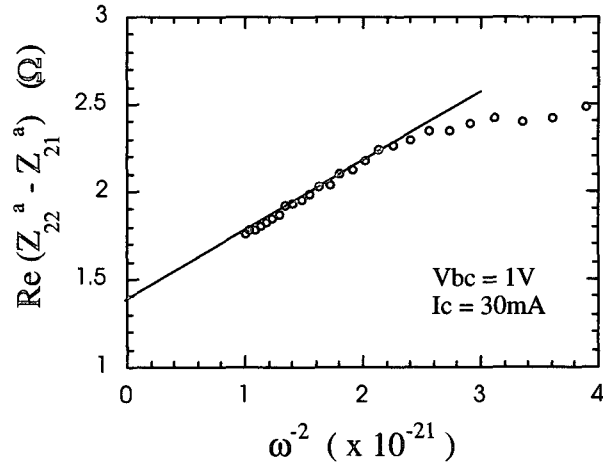


그림 7.  $\text{Real}(Z_{22a} - Z_{21a})_{HF}$ 를  $\omega^{-2}$ 의 함수로 그린 곡선

Fig. 7.  $\text{Real}(Z_{22a} - Z_{21a})_{HF}$  versus  $\omega^{-2}$ .

매우 높은 고주파 영역(HF)에서, (19)는 다음 식으로 근사화 된다.

$$\text{Real}(Z_{22}^a - Z_{21}^a)_{HF} \approx r_{cc} + (k_2/d_4)\omega^{-2} \quad (20)$$

따라서,  $\omega^{-2}$ 의 함수로 그린 식(20)의 고주파 영역 (낮은  $\omega^{-2}$ ) 데이터를 직선으로 extrapolation하여 얻어진 Y-절편 값으로부터 컬렉터저항 값을 직접 결정할 수 있다. 그림 7은 선형적인 측정데이터를 보여주며 이는 추출방법의 정확도를 보여준다.

그 외의 저항값들은 활성영역에서 측정된 S-파라미터를 사용하여 추출하였다. 먼저, 외부베이스저항은 고주파 영역에서 근사화된  $r_{bx} \approx \text{Real}(Z_{11}^a - Z_{12}^a)_{HF}$ 를 사용하여 구하였고<sup>[4]</sup>, 에미터저항은 저주파 영역에서 유도된  $r_{ee} \approx \text{Real}(Z_{12}^a)_{LF} - (kT/qI_c)$ 을 사용하여 추출되었다<sup>[1]</sup>. 내부 베이스 임피던스 성분인  $C_b$ 와  $g_b$ 는  $C_b = (1/\omega)\text{Imag}[1/(Z_{11}^b - Z_{12}^b)]$ 와  $g_b = \text{Real}[1/(Z_{11}^b - Z_{12}^b)]$ 의 식으로 추출하였으며, 이때  $Z^b$ -파라미터는  $Z^a$ -파라미터로부터 이미 추출된  $r_{bx}$ ,  $r_{cc}$ ,  $r_{ee}$ 와  $C_{\mu x}$ 를 차례로 제거한 것이다. 나머지 intrinsic 파라미터들은 그림 3으로부터 유도된 다음의 방정식들을 통해 추출되었다.

$$C_{\pi} = (1/\omega)\text{Imag}(Y_{11}^i + Y_{12}^i)$$

$$g_{\pi} = \text{Real}(Y_{11}^i + Y_{12}^i)$$

$$g_{m0} = |Y_{21}^i - Y_{12}^i|$$

$$g_o = \text{Real}(Y_{22}^i)$$

$$\tau = -(1/\omega)\text{phase}(Y_{21}^i - Y_{12}^i)$$

여기에서 내부  $Z^i$ -파라미터는  $Z^b$ -파라미터로부터  $C_b$ 와

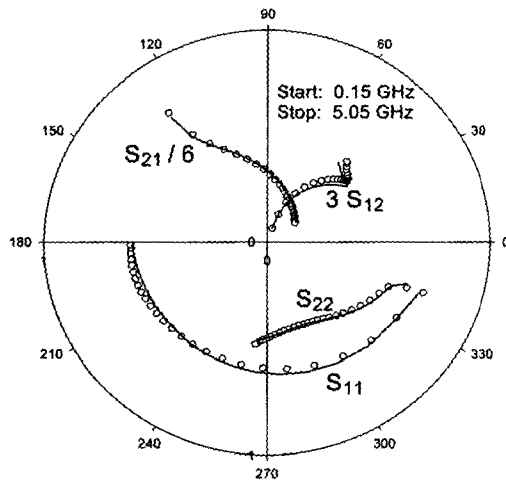


그림 8. 추출된 모델 S-파라미터 (—)와 측정된 값(O)들을 5.05GHz까지 비교한 Smith chart. 이때 측정 bias는  $I_c = 7\text{mA}$ 와  $V_{ce} = 3\text{V}$ 이다

Fig. 8. Comparison between modeled (—) and measured (O) S-parameters up to 5.05GHz. Measured bias is  $I_c = 7\text{mA}$  and  $V_{ce} = 3\text{V}$ .

$g_b$ 를 제거한 후에 얻어졌다.

지금까지 추출된 모델의 시뮬레이션된 S-파라미터는 그림 8에서 보는 것처럼 측정된 데이터들과 0.15에서 5.05GHz까지의 주파수에서 아주 좋은 일치성을 보였으며, 이는 새로운 추출방법의 정확성을 직접 보여준다.

### III. 결 론

패키지된 BJT의 등가회로 파라미터를 optimization 과정 없이 직접 추출하는 간단한 방법을 개발하였다. 먼저, "open"과 "short" package 구조를 사용한 de-embedding 방법으로 chip BJT의 S-파라미터를 정확히 측정하였다. 이로부터 얻어진 포화영역 bias의 de-embedded S-파라미터를 사용하여 bonding wire 인덕턴스와 컬렉터 저항을 추출하는 새로운 방법을 구축하였으며, 차단영역에서 측정된 de-embedded S-파라미터를 사용하여 chip pad 캐패시턴스와 접합 캐패시턴스들을 독립적으로 추출하였다. 그 외의 BJT 등가회로 파라미터들은 활성영역에서 측정된 de-embedded S-파라미터로부터 변환된 Z나 Y-파라미터 방정식을 이용하여 직접 추출되었다. 이러한 패키지 BJT모델 추출방법의 정확도는 chip BJT의 모델이 측정된 S-파라미터와 아주 잘 일치됨을 관찰함으로써 입증되었다.

### 참 고 문 헌

- [1] S. Lee, B. R. Ryum, and S. W. Kang, "A new parameter extraction technique for small-signal equivalent circuit of polysilicon emitter bipolar transistors," *IEEE Trans. Electron Device*, Vol. 41, pp. 233-238, Feb. 1994.
- [2] D.-W. Wu and G. N. Henderson, "Large-signal modeling and characterization of a plastic packaged HBT for use in wireless portable units," in *Proc. Electrical Performance of Electronic Packaging Meet.*, pp. 166-168, 1995.
- [3] M. Rittweger, A. Wien, K. Brenndorfer and I. Wolff, "Device modeling of plastic transfer molding packaged bipolar transistors by use of 3D EM simulations," in *Proc. 1997 Wireless Communications Conf.*, pp. 134-137, 1997.
- [4] H.-S. Rhee, S. Lee, and B. R. Kim, "DC and AC current crowding effects model analysis in bipolar junction transistors using a new extraction method," *Solid-State Electronics*, Vol. 38, no. 1, pp. 31-35, 1995.
- [5] S. Lee, "A Simple Method to Extract Intrinsic and Extrinsic Base-Collector Capacitances of Bipolar Transistors," *IEEE Trans. Electron Device*, Vol. 51, no. 4, pp. 647-650, April 2004.

### 저 자 소 개



이 성 현(정회원)

1985년 고려대학교 전자공학과 학사 졸업.

1989년 미국 University of Minnesota 전기공학과 석사 졸업.

1992년 미국 University of Minnesota 전기공학과 박사 졸업

1992년~1995년 한국전자통신연구원 선임연구원

1995년~현재 한국외국어대학교 전자정보공학부 교수

<주관심분야> CMOS 및 바이폴라 소자 모델링