

5GHz대역 OFDM 무선 LAN 모듈 설계 및 FPGA 구현

Design and FPGA Implementation of 5GHz OFDM Modem for Wireless LAN

문 대 철*, 홍 성 협*

Dai-Tchul Moon*, Seong-Hyub Hong*

요 약

본 논문은 IEEE 802.11a 무선 LAN 규격을 OFDM을 적용한 5GHz 기저 대역의 송·수신부 모듈을 설계하고 FPGA로 실현하였다. 고속 데이터 전송시 발생하는 심벌간 간섭(ISI)을 제거 하기 위하여 Normalized LMS 알고리즘을 적용한 단일탭 등화기를 사용하여 제거하였고, 또한 반송파 주파수 오프셋 알고리즘을 이용하여 채널간 간섭(ICI)을 제거하였다. 송·수신기간의 전송은 에러없이 정확히 전송되어짐을 시뮬레이션을 통하여 입증하였으며, 또한 타이밍 시뮬레이션 결과 최대 동작주파수는 20.3MHz로 IEEE 802.11a 무선 LAN 방식의 동작속도를 만족하였다. 그리고 설계시 DSP와 EMB(Embedded Memory Block)블록을 사용하여 레지스터의 수를 상당히 줄일수 있었다. 모듈 설계는 VHDL를 이용하여 설계하고 Altera사의 Stratix EP12K10K100 FPGA Chip을 사용하여 구현하였다.

ABSTRACT

This paper describe a design of 5GHz OFDM baseband chip for IEEE 802.11a wireless LAN. The proposed device is consists of transmitter and receiver within a single FPGA chip. We applied single tap equalizer that use Normalized LMS algorithm to remove ISI that happen at high speed data transmission. And also, we used carrier wave frequency offset algorithm that use training symbol to remove ICI. The simulation results show the correct transmission without errors the between transmitter and receiver. And we can remarkably reduce the number of register through the synthesized circuits by using DSP block and EMB(Embedded Memory Block). The target device for implementation of the synthesized circuits is Altera Stratix EP12K10K100 FPGA and design platform is VHDL.

Key words : OFDM, Normalized LMS, FPGA, ISI(inter symbol interference), EMB(Embedded Memory Block)

I. 서 론

WLAN(wireless local area network)은 무선 전송기술을 사용하여 기존의 유선과 WAN(wide area network)에 비해 사용자의 이동성, 휴대성 및 간편성 그리고 고속 데이터 전송의 장점을 가진다.

WLAN 표준으로 1992년 유럽에서 제정한 HiperLAN과 IEEE 802.11 표준이 있다. IEEE 802.11 표준은 1997년 6월 26일 IEEE 최종 draft가 승인된 이후,

MAC(media access control) layer를 공유하고 멀티미디어 서비스를 위해 다양한 데이터 전송률을 지원하는 특징으로 인해 최근에 많은 제품이 개발되고있다. IEEE 802.11a는 5GHz대역 OFDM(orthogonal frequency division multiplexing)을 적용하여 최대 54Mbps까지 다양한 데이터 전송률을 가진다.

WLAN 시스템에서 전송속도의 증가 및 구내에서 무선 단말장치를 차량에 탑재한 채 이동하는 경우에 다중 경로 채널에서 ISI(inter symbol interference)가 발생하여 주파수 선택성 페이딩 채널 환경이 된다. 주파수 페이딩 채널 환경에서는 데이터의 오류 발생, 통신의 단절 현상등 QoS(quality of service)를 보장할 수가 없어 심볼 오프셋 추정기법을 사용하여, ISI를 최소화시킨다. 본 논문에서는 단

*호서대학교 정보통신공학과

접수 일자 : 2004. 9. 23 수정 완료 : 2004. 10. 20

논문 번호 : 2004-3-1

일 탭 Normalized LMS(least mean square) 등화기를 사용하여 주파수 페이딩 현상을 제거하고 또한 반파 주파수 옵셋 알고리즘을 사용하여 채널간 간섭을 제거한다. IEEE 802.11a 규격의 OFDM 무선 LAN모뎀의 송·수신부의 구조를 VHASIC Hardware Description Language를 이용하여 설계하고, FPGA를 이용하여 구현 하였다. FPGA로 구현시 EMB 및 DSP block을 사용함으로써 많은 수의 플립플롭과 레지스터의 수를 현저히 줄였다. ModelSim 시뮬레이터를 사용하여 동작 상태를 검증하고 Synplify Pro로 합성하였다. FPGA 디바이스는 Altera의 Stratix 1S25를 사용하였다.

II. OFDM 모뎀 설계

1. 송신부 설계

본 논문에서는 IEEE 802.11a 규격에 맞게 모뎀을 설계하고 검증한다. 표1은 IEEE802.11a의 규격에 있는 주요 파라미터이다.

표 1 IEEE 802.11a 규격의 주요 파라미터
Table 1 IEEE 802.11a Standard Parameter

전송속도 [Mbps]	6,9,12,18,24,36,48,54
변조 방식	BPSK, QPSK, 16QAM, 64QAM
에러 정정 코드	K=7(64 states) convolutional code
부호율	1/2, 2/3, 3/4
부반송파 수	52
OFDM 심볼 구간	4.0us
보호 구간	0.8us
점유 신호 대역폭	16.6MHz

그림1은 본 논문에서 설계될 OFDM 모뎀 송신부 블록도이다. 모뎀의 송신부는 MAC(media access control)으로부터 받은 정보 데이터를 채널을 통해 전송하기 위해 OFDM 규격에 맞도록 신호를 변조하고, 그 내부 과정의 단계별 기능을 수행한다. 모뎀의 송신부에서 수행되는 과정을 살펴보면 부반송파 변조, Pilot 신호 및 가상 반송파 삽입, IFFT 수행을 위한 신호의 재배열, 보호구간의 삽입, 심볼 간의 천이를 완벽 하게 하는 기능 및 송수신 간의 동기화를 위한 훈련 심볼을 생성하는 기능을 수행한다.

Scrambler블록은 길이가 127인 프레임 동기화된 스크램블러를 설계하며, 전송시에 가상 랜덤 non-zero 상태로 초기화 되고 127-비트 단위의 반복적인 스크램블링 시퀀스를 생성하여 입력데이터와 XOR한 뒤, 데이터를 출력한다. Coding rate R=1/2, 2/3, 3/4 구축장이 7인 convolutional encoder 블록은 채널을 부호화 시킨다. 부

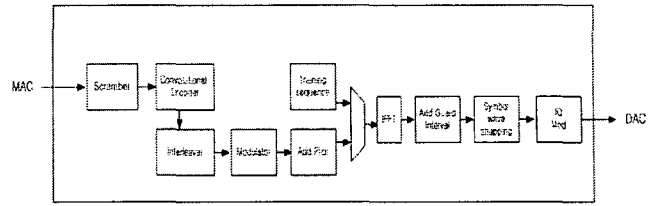


그림 1 OFDM 모뎀 송신부
Fig. 1 OFDM modem transmitter

호화된 데이터는 연속 다중 에러를 방지하기 위해 OFDM 심볼 비트 수만큼 블록 인터리버에 의해 인터리빙된다. 인터리빙은 두 단계로 진행이 되는데 첫번째 단계에서는 인접하는 비트가 서로 인접하지 않는 부 반송파에 실리는 것이며 두번째 단계에서는 매핑도에서 비트 위치를 바꾸어 주게 된다. 부호화 및 인터리빙된 신호는 modulation mapper블록에 의해 변조된다.

IFFT 블록은 채널 코딩된 신호들을 채널의 주파수 대역에 맞게 그 값들을 분할 시켜 그 값들을 평준화 시킨다. 하나의 OFDM 심볼은 48개의 데이터 부반송파와 4개의 pilot 부반송파로 구성되며, 4μs의 심볼주기(T_{SYM})로 전송된다. 심볼주기는 보호구간(T_{GI}) 0.8μs와 IFFT 주기(T_{FFT}) 3.2μs를 더한 값이고, 이 때의 부채널간의 간격 Δ_F(1/T_{FFT})은 0.3125MHz가 되며, 전송대역폭(64*Δ_F)은 64/(3.2*10⁻⁶)=20MHz가 된다. 총 52개의 부반송파는 IFFT로 입력되며, 64 point IFFT를 거쳐 OFDM 심볼이 형성되며, 입력과 출력의 데이터 위드의 길이는 8비트이다. 이것은 복소 데이터의 실수부와 허수부로 각각 8비트로 표현된다.

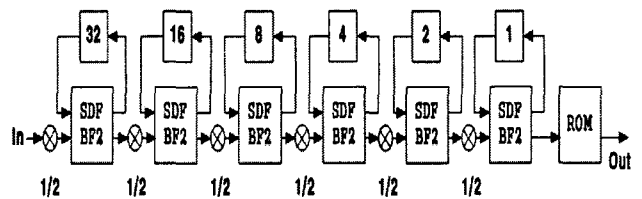


그림 2 IFFT 구성 블록도
Fig. 2 Block diagram of IFFT

본 논문에서는 Radix-2 SDF(single path delay feedback) FFT구조에 1/2를 곱하는 부분을 삽입하여 IFFT를 설계하였다. 그림2은 설계된 IFFT 구조 블록도이다.

Add GI은 IFFT를 거친 OFDM 심볼에 16개의 보호구간을 삽입한다. Symbol wave shaping 필터는 windowing 함수이며, 파라미터는 T=4.0μs이고 80개의 sample로 구성되며 이때 신호의 최소 샘플속도는 20MHz이다. 그림3은 Add GI & Symbol wave shaping의 내부 블록이다.

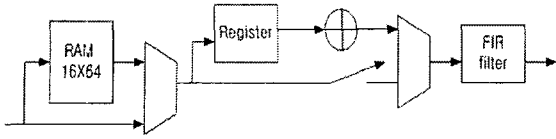


그림 3 Add GI & Symbol wave shaping 내부 블록
Fig. 3 Block diagram of Add GI & Symbol wave shaping

2. 수신부 설계

모뎀의 수신부는 송신부의 역과정이 일어나며 동기화 과정이 추가된다. 정해진 훈련심볼을 사용하여 주파수 오프셋 및 심볼 오프셋을 추정하는 과정이 선행되며, 그 뒤에 FFT를 통과하여 52개의 부분송파로 복원된다. 등화기를 통과하여 채널응답이 보상된 데이터는 비트열로 변환되어 비터비 복호기와 디스크램블러를 거쳐 최종 신호로 출력된다.

그림4는 본 논문에서 설계된 OFDM 모뎀의 수신부이다.

symbol 시간 동기 블록은 반송파 주파수 오프셋에 의해 부반송파간 직교성이 파괴되어 부채널간에 생기는 채널간 간섭(ICI)을 short training 심볼을 이용한 반송파 주파수 오프셋 알고리즘을 사용하여 제거한다. 이는 FFT에 정확한 데이터가 처리되도록 하기 위한 것이다. 첫 번째로 큰 상관 값을 갖는 순간을 심볼 동기로 추정함으로써 유용한 데이터의 시작 부분을 심볼 동기로 추정하게 된다.

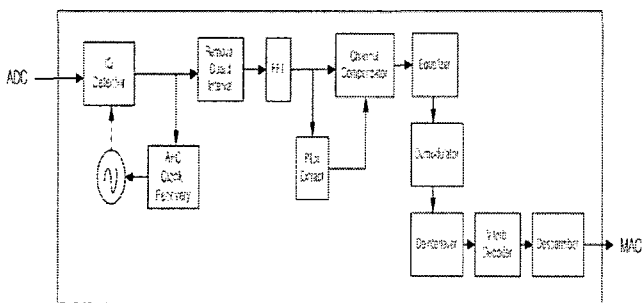


그림 4 OFDM 모뎀 수신부
Fig. 4 OFDM modem receiver

FFT 블록에서는 송신부 IFFT 블록에서 채널의 주파수 대역폭에 맞게 신호를 평균화 시켜서 보냈으므로 역기능을 수행한다. 본 논문에서 Radix-2 SDF(single delay feedback) FFT구조를 적용하였다. Radix-2 SDF FFT 구조는 pipeline 구조를 사용한 Radix-2 FFT 알고리즘 중에 가장 효율적이며, 모든 연산은 입력 데이터 속도와 같은 주 clock 주파수에 의해 동작된다. 그림5는 본 논문에서 설계된 FFT 구조를 보여준다. 1 stage부터 4

stage는 한 개의 복수 곱셈기가 사용되며, 5-6 stage는 -1과 1이 곱해지므로 곱셈기 대신 멀티플렉서를 사용하여, 게이트 수를 줄였다. 6 stage의 출력은 역비트 순서로 출력되므로 64x14 RAM을 사용하여 구현하였다.

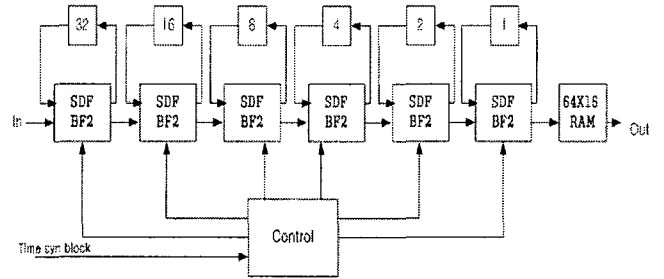


그림 5 FFT 구조
Fig. 5 FFT structure

그림6은 하나의 stage에 구성되는 버터플라이 구조이다.

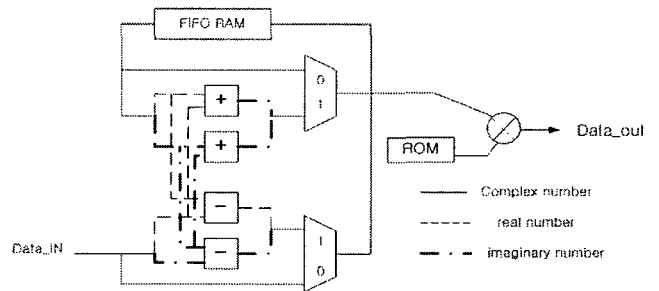


그림 6 버터플라이 구조
Fig. 6 Butterfly structure

Pilot 심볼의 삽입은 OFDM 변조 특성상 pilot 심볼이 위치한 주파수 대역 근처의 부반송파 신호들은 pilot 심볼과 상관성이 커서 페이딩 영향을 보상할 수 있지만 그렇지 못한 신호들은 보상 효과가 떨어지게 된다. 따라서 여러 주파수 대역에 pilot 심볼을 삽입함으로써 페이딩에 의한 전체 시스템의 성능을 개선할 수 있다. 한 프레임당 4개의 pilot 심볼이 삽입되고, 그 위치와 영향을 주는 심볼은 그림 7과 같다.

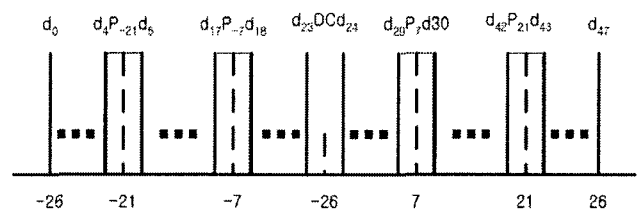


그림 7 Pilot 심볼의 위치
Fig. 7 Pilot symbol position

송신부에 입력된 데이터가 송신부 블록을 거쳐 OFDM 심볼로 출력되고, 이 출력된 심볼이 수신부에 입력되어, 송신부의 역기능을 수행하여, 송신부에 입력된 데이터 신호로 복원되는 것을 볼 수가 있다. 그림9의 시뮬레이션 결과 입력 vector에 대한 출력 vector를 비교한 결과 3.3×10^{-4} 의 오차가 발생하지만 거의 무시 할 수가 있다. 타이밍 시뮬레이션 결과 구현된 모델의 최대 동작 주파수는 20.3MHz이다. 또한 shift register 방식이 아닌 EMB 및 DSP block을 이용하여, 전체 시스템을 구현함으로써, 시프트 레지스터를 사용할 경우 약 44,900개의 시프트 레지스터가 필요하지만 EMB를 사용할 경우는 34,400개 정도가 소요되기 때문에 레지스터의 수를 23%정도 줄일수 있다. 표2는 구현된 기저대역 모델의 전체 디바이스 이용율이다.

표 2 디바이스 이용율
Table 2 Device Utilization

Device Summary	송신부	수신부
Logic cells	9,807	11,363
I/O pins	28	76
M512 RAM	0	9
Total memory bits	2,944	18,952
Filpflops	6,820	5,450
DSP block element	28	70

IV. 결론

본 논문에서는 IEEE 802.11a의 무선 LAN 규격의 OFDM방식을 적용한 기저대역 모델의 송·수신부의 구조를 표준 하드웨어 기술언어인 VHDL을 이용하여 설계하고 FPGA로 구현하였다. FPGA 디바이스는 Altera사의 Strtix EP1S25FC672를 이용하여 시뮬레이션 하였으며, FPGA 디바이스 내의 EMB 및 DSP block을 사용할 경우, 쉬프트 레지스터를 이용할 경우보다 플립플롭과 레지스터의 수를 약 23%를 줄일 수 있음을 확인 할 수 있었다. 타이밍 시뮬레이션 결과 최대 동작 주파수는 20.3MHz로 IEEE 802.11a 무선 LAN 방식의 동작 속도를 만족하였다. 고속의 데이터 전송시 발생하는 심벌간 간섭은 NLMS 알고리즘을 적용한 단일 탭 등화기를 사용하여 제거하였고, 또한 반송파 주파수 옵셋 알고리즘을 이용하여 채널간 간섭을 제거하였다.

본 논문에서 모델의 설계는 블록을 library화 하여 모듈 별 사용이 가능하도록 하는데 역점을 두었다.

[2] IEEE std 802.11a-1999, " Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications : " High Speed Physical Layer in the 5GHz Band", 1999

[3] R. Van Nee and R. Prasad " OFDM For Wireless Multimedia Communications", Artech House, 2000

[4] R.W.Chang, "Synthesis of band-limited orthogonal signals for multi-channel data transmission." Bell Sys., Tech. Jou. Vol. 45, pp.1775-1796, Dec., 1996

[5] 한경수, "OFDM 방식의 차세대 무선 LAN 시스템에 대한 성능 평가 및 분석", 공학박사 학위논문, 호서대학교 대학원, 2002, 8.

[6] O.Edfors, MSANDELL, J.J.Van de Beek, S.K.Wilson and P.O.Borjesson, "OFDM channel estimation by value decomposition", IEEE Trans. Comm. vol.46, no.7, pp.931-939, July,1999

[7] A.C.McCormick, "A Comparison of Convolutional and Walsh Coding in OFDM Wireless LAN Systems", IEEE Trans. Communication, pp.166-169, 2000

[8] Dong-Ho Song, Chang-Bok Joo, "A Symbol Synchronization Algorithm With an Adaptive Threshold Establishment Method For OFDM Systems", IEEE TC Vol. 40, pp.213-224, June, 2003

[9] Won-Chul Choi, "Design of an IFFT/FFT processor with manipulated coefficients based on the statistics distribution for OFDM", IEEE SD Vol. 40, pp.87-94, Dec, 2003



문 대 철(Dai - Tchul Moon)
1984년 3월~현재
호서대학교 정보통신공학과 교수
관심분야 : VLSI 신호처리, ASIC 설계,
이동 통신용Chip 설계, DSP응용



홍 성 협(Seong - Hyub Hong)
2002년 2월 호서대 정보통신공학과 졸업
2004년 3월 호서대학교 대학원 공학석사

주관심분야 : 디지털신호처리, DSP 응용, 이동 통신용 Chip 설계

참고 문헌

[1] Juha Heiskala and John Terry, " OFDM Wireless LANs : A Theoretical and Practical Guide", Sams, 2002