

PLD를 사용한 PDP용 구동실험장치의 개발

(Development of the Experimental Driving System with PLD for PDPs)

손현성* · 임찬호 · 염정덕

(Hyeon-Sung Son · Chan-Ho Lim · Jeong-Duk Ryeom)

요 약

플라즈마 디스플레이 패널의 구동실험을 용이하게 할 수 있는 구동실험장치를 개발하였다. 이 장치는 펄스의 타이밍을 컴퓨터상에서 설계하고 시뮬레이션 할 수 있고 이렇게 설계된 타이밍을 사용하여 PLD에 프로그래밍하고 고전압 FET 스위치들을 제어할 수가 있다. 이 장치는 기존의 로직 gate IC를 이용하여 하드웨어적으로 스위칭 로직을 구현하는 것 보다 펄스로직의 설계시간을 단축시킬 수 있으며 구동방식의 변경에 따른 펄스의 타이밍 변경도 용이하다. 이 구동장치를 가지고 상용화 되어있는 ADS 구동방식을 구현하여 3전극 AC PDP의 계조구현 실험을 하였다.

Abstract

We have developed a new experimental driving system in order to make an easier drive experiment of PDP. By using the system, we can design and simulate the timing of the pulse in computer environment. As a result of the designed timing, we are able to program at PLD (Programmable Logic Device) and control high-voltage FET switches. The new system can reduce the time of the pulse compared with the previous logic gate ICs that realizes switching logic through hardware. In addition, it is a much easier way of changing the timing of the pulse due to the change of the driving method. By using the developed driving system we experimented on two different things- First, the realization of ADS Driving Method that run commonly; Second, gray scale realization on the three electrodes AC PDP.

Key Words : plasma display panel, driving scheme, computer added design, logic design, ADS driving method

1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 대화면화가 용이하고 영상정보의 표현 방식이 디지털화되어 있는 유일한 디스플레이라 할

수 있다. 그러므로 PDP는 디지털 시대에 가장 알맞은 디스플레이임이 자명한 사실로 받아들여지고 있다[1]. PDP의 면방전 구조는 1990년 일본 후지쯔(Fujitsu)사에 의해 개발되었다[2]. 또한 동사는 ADS 구동기술을 개발하여 1992년 세계 최초로 21인치 VGA급 PDP를 상품화하였다[3]. 이후 3전극 면방전 구조와 ADS 구동기술은 거의 모든 PDP의 상품화에 적용되어 왔다[4]. 그러므로 우리가 PDP 분야에서 선진국 대비 우위의 경쟁력을 확보하게 위해서는 이 ADS 구동기술을 대체하는 신 구동기술

* 정회원 : 경주대학교 컴퓨터전자공학과 석사과정

Tel : 054-770-5290, Fax : 054-748-2895

E-mail : marine@kyongju.ac.kr

접수일자 : 2004년 4월 6일

1차심사 : 2004년 4월 9일

심사완료 : 2004년 5월 18일

의 개발이 절실히 필요하다.

이러한 구동기술을 연구, 개발하기 위해서는 구동 파형을 쉽게 설계하고 변경할 수 있어야 하며 본 연구에서는 PLD(Programmable Logic Device)를 사용하여 개인용 컴퓨터상에서 쉽게 파형을 설계, 시뮬레이션 하고 그 결과 생성된 펄스들로 고주파 펄스 출력을 얻을 수 있는 PDP용 구동실험 장치를 개발하였다.

2. PDP 화상구현 원리

디스플레이 소자에 동화상을 구현하기 위해서는 1초에 60개의 정지 화상을 연속적으로 보내야 한다. 그리고 각각의 정지 화상을 24[bit](적 8[bit], 녹 8[bit], 청 8[bit])로 표현하기 위해서는 각 화소를 256단계의 계조로 광량을 조절하여야 한다. 1개의 정지화상은 1TV field라고 한다. PDP상에서의 계조 표현은 각 field가 가지는 표시광의 방전횟수를 제어함으로써 나타낼 수 있다.

그림 1은 위에서 설명한 계조표현 방법의 원리이다. PDP에서는 계조 표현을 위해 하나의 field를 여러개의 sub-field(SF)로 나누어 놓았다. 예를 들어 8[bit] (256 단계)로 계조표현을 하기위해 8개의 SF로 나누면 각각의 SF는 SF1, SF2, SF3,.....SF8로 표시되고 각각의 sub-field가 가지는 방전유지시간의 비율은 $SF1=2^0(1)$, $SF2=2^1(2)$, $SF3=2^2(4)$, $SF4=2^3(8)$, $SF5=2^4(16)$, $SF6=2^5(32)$, $SF7=2^6(64)$, $SF8=2^7(128)$ 으로 설정된다. sub-field가 갖는 방전 횟수의 합이 각 화소가 갖는 휘도가 된다. 각각의 sub-field는 시간적으로 분리되어 있으나 1개의 field의 수행이 16.6[ms] 안에 이루어지므로 사람의 눈에는 각 sub-field의 빛의 양이 중첩되어 인식되어 총 256단계의 계조를 표현할 수 있다[5][6].

위에서 언급한 sub-field는 초기화(Reset) 과정, 어드레스(Address) 과정 및 표시방전 유지(Sustain) 과정의 3구간으로 구성된다. 현재 상용화가 되어 있는 PDP구동 방법은 어드레스 디스플레이 분리(ADS: address display separated)구동법이라고 하여 이 3 구간을 각각 시간적으로 분리하여 설치하여 각각의 방전을 독립적으로 제어해 준다.

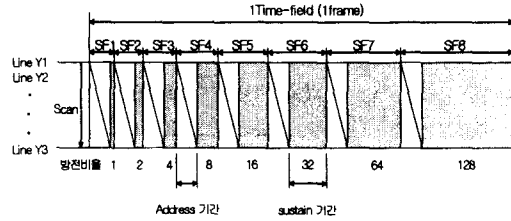


그림 1. PDP의 계조구현 원리도
Fig. 1. Gray scale realization scheme of PDP

그림 2는 ADS 구동법의 타이밍도이다. 초기화 과정에서 방전후의 잔류 벽 전하를 제거하여 패널 전면의 상태를 균일하게 만들어준다. 어드레스 과정에서는 화면 중 표시할 셀들을 순차적으로 방전시켜 벽전하를 생성시켜주고 표시방전 유지과정에서는 패널전면에 걸쳐 Sustain 펄스를 인가하여 벽전하가 생성된 셀들만 방전시켜 준다. 이 기간에는 각 계조 레벨에 상응하는 시간비율로 표시방전용 펄스들을 인가하여 표시방전을 지속시킨다.

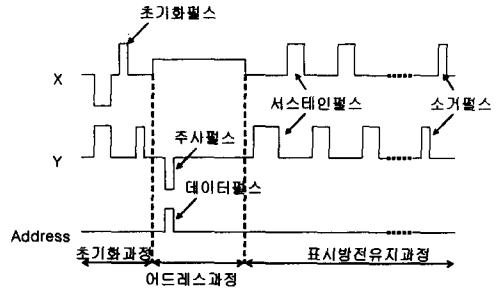


그림 2. ADS 구동방식의 타이밍도
Fig. 2. Timing chart of ADS Driving method

PDP 패널에 인가하는 고전압 펄스들을 제어하기 위해서는 펄스 타이밍을 발생시키는 로직회로를 제작하여야 한다. 기존의 PDP 구동실험장치들은 펄스 설계를 위해 범용의 로직 gate IC들을 사용하였다. 이러한 IC들을 사용하게 되면 간단한 펄스라 할지라도 수십개 이상의 로직 gate IC를 사용하여야만 한다. 그리고 펄스의 개수가 많아지거나 펄스의 타이밍등이 변하게 되면 이미 물리적으로 만들어진 로직 회로부를 해체하여 새로 제작하여야만 하였다. 이와 같은 기존의 방법은 실험을 위한 초기준비 시간이 많이 소요되며 각각의 범용 IC들을 물리적으로 접속

PLD를 사용한 PDP용 구동실험장치의 개발

하는 과정에서 많은 노이즈가 발생되어 펄스 품질을 저하시킨다. 그러나 PLD를 이용한 로직회로를 사용하게 되면 별도의 물리적인 작업 없이 컴퓨터상의 디지털 시스템 설계용 프로그램만을 이용하여 손쉽게 펄스를 변경하거나 추가시킬 수 있어 단시간 내에 실험환경 구현이 가능하며 신뢰성 또한 높다.

3. PDP 구동실험 장치

그림 3은 실험을 위해 제작된 PDP 구동실험 장치의 구성도이다. 이 실험 장치는 크게 퍼스널 컴퓨터와 PLD가 내장된 펄스 발생기, Address, X, Y, Scan을 위한 구동 드라이버, 그리고 펄스발생기와 드라이버들을 위한 전원부로 구성되어 있다. 퍼스널 컴퓨터에는 디지털 시스템 설계를 위한 S/W가 있어 이 S/W를 이용하여 각종 드라이버를 제어하는 구동 펄스의 타이밍을 설계, 시뮬레이션 할 수 있다. 이렇게 설계된 구동 펄스는 PC의 병렬포트를 통하여 펄스 발생기의 PLD에 프로그래밍 된다.

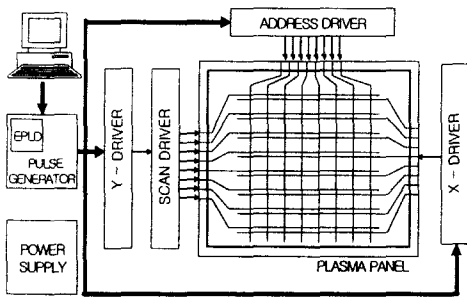


그림 3. PDP 구동실험 장치의 구성도
Fig. 3. Block diagram of PDP drive system

그림 4는 실제로 제작된 펄스발생기의 사진이다. 제작에 사용된 PLD는 ALTERA사의 FLEX 10k 100ARC-1이며 10만 게이트까지 생성이 가능하다. 초기실험을 위해서는 그다지 많은 게이트수를 요구하지 않지만 추후 6인치패널 전면이 게조 패턴을 구현하기 위해서는 용량이 10만 게이트 정도는 되어야 하므로 FLEX 10[k] 100ARC를 선정하였다. 여기에 멀티바이브레이터를 사용하여 PLD로부터 변환된 로직 신호의 펄스폭과 간격을 ns단위로 미세 조정할 수 있다.

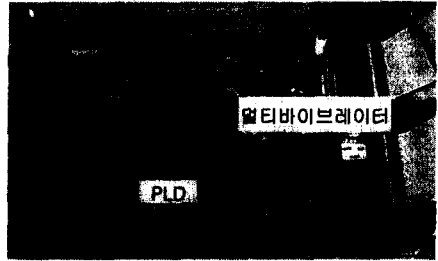


그림 4. PLD를 사용한 타이밍 펄스 발생부
Fig. 4. Timing pulse generator with PLD

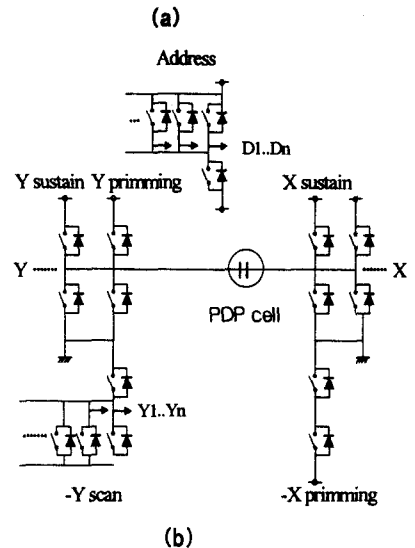
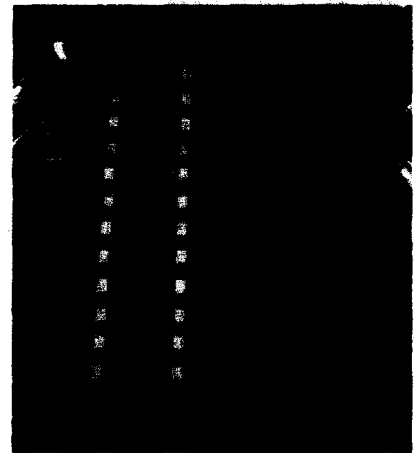


그림 5. 고전압 FET 스위칭회로 부
Fig. 5. Circuit of High-voltage FET switches

그림 5의 (a)는 PDP 구동실험장치의 고전압 FET

쌍으로 되어있는 구동 드라이버 회로부이다. X, Y 및 Address와 Scan 드라이버 부는 펄스발생부로부터 로직 신호를 전달받아 PDP를 구동하는데 필요한 고전압 펄스를 발생시키는 P형과 N형의 FET의 조합으로 구성된 다수의 FET 스위칭 회로부로 구성되어 있다. 그림 5의 (b)는 X 전극과 Y 전극 그리고 Address 전극에 필요한 고전압 펄스를 만드는 스위칭 회로이다.

전원부는 펄스발생부의 동작을 위한 1개의 DC 5[V] 전원과 FET를 제어하는 포터커플러 구동을 위한 다수의 DC 12[V] 전원, 그리고 PDP 구동을 위해 각 전극에 인가하는 고전압 펄스를 만드는 가변 DC 전원들로 구성 되어있다.

4. PDP 구동을 위한 타이밍 펄스의 설계

PDP 구동을 위한 타이밍 펄스의 설계는 디지털 시스템설계 프로그램을 사용하였다. 본 논문에서는 펄스타이밍의 손쉬운 설계를 위해 가장 기본이 되는 3가지 논리 블록들을 개발하였다. 각 논리 블록에는 별도의 입력을 설정할 수 있는 binary 스위치들이 있으며 이 스위치들의 입력제어와 함께 기본 논리 게이트들을 적절히 조합하면 생각할 수 있는 모든 펄스의 타이밍설계가 가능하다. 이 논리 블록들은 블록의 역할에 따라 Timing generator, Pulse generator, Window generator로 각각 이름을 붙였다. 그림 6은 Timing generator의 블록도(a)와 입력 값에 따른 펄스의 출력(b)을 나타내었다.

Timing generator는 펄스 설계의 가장 기본이 되는 블록으로 2개의 입력으로 16개의 출력을 발생시킨다. 입력중의 하나는 펄스발생기의 오실레이터의 clock 값이며 다른 하나의 입력은 펄스전체의 field를 결정해주는 reset 펄스로 모든 블록에 공통으로 입력되어진다. 16개의 출력은 각각 오실레이터 clock을 차례로 $2^1 \sim 2^{16}$ 배한 연속적인 펄스가 발생된다. 여기서 발생된 펄스를 기본 단위펄스로 이용할 수 있다. 이 실험에서는 10[MHz]의 오실레이터를 사용하였다. 그러므로 가장기본이 되는 단위펄스는 펄스 폭이 $100 * 2^1$ ns 가 된다.

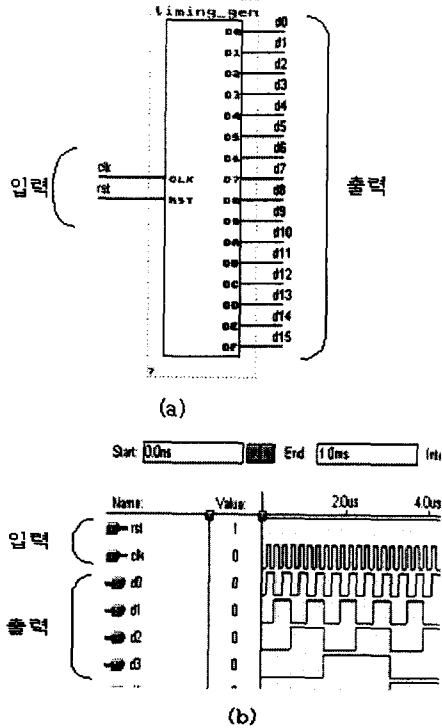


그림 6. Timing generator 블록(a)과 사물레이션 출력값(b)
Fig. 6. Timing generator block (a) and Results of Simulation(b)

그림 7의 상단은 Pulse generator 블록의 그림이다. Pulse generator는 입력된 펄스폭의 2배가 되는 펄스를 원하는 위치에 발생시킬 수 있다. 그림에서 볼 수 있듯이 2개의 펄스 입력단과 16개의 스위치, 그리고 1개의 출력 단이 있다. 그림 7의 하단은 Window generator의 블록이며 Window generator는 펄스폭이 넓은 펄스를 설계하는데 이용된다. 그림에서 볼 수 있듯이 2개의 펄스 입력단과 2개의 그룹으로 나뉜 입력 스위치단, 그리고 1개의 출력단이 있다.

펄스의 폭은 입력 펄스폭으로 제어할 수 있으며 펄스 위치의 조절은 16개의 스위치를 ON/OFF 하여 결정할 수 있다. 이 스위치의 입력 값은 발생시키고자 하는 타이밍상의 위치(시간)를 입력 펄스폭으로 나누어 그 값을 이진수로 변환하여 차례로 인가하면 된다.

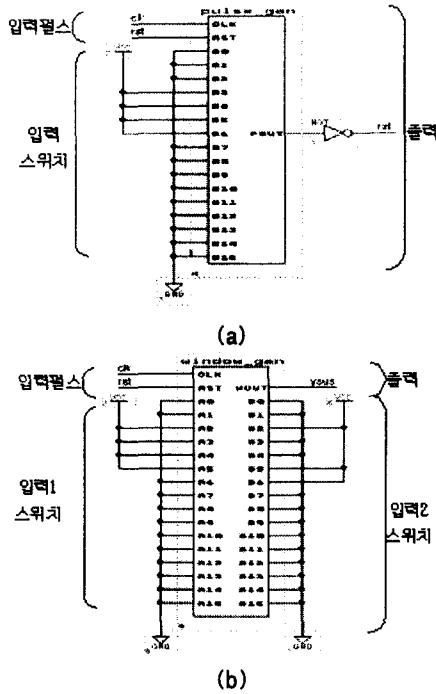


그림 7. Pulse generator(a)와 Window generator(b)의 블록도
 Fig. 7. Blocks of Pulse generator (a) and indow generator (b)

그림 8은 PC상에서 실제로 시뮬레이션한 출력 값을 그대로 캡춰한 그림이며 ③번 출력은 Pulse generator의 출력 값이다. Pulse generator는 주로 발생된 펄스의 주기를 만드는데 사용할 수 있다. 그림 6-2의 상단 입력 값을 "000000001111000"로 주면 출력펄스의 위치가 $200ns * 000000001111000_{(2)}$ (120) = $24us$ 인 것을 확인할 수 있다.

펄스의 제어는 2개의 독립된 스위치그룹들로 한다. 1개의 스위치 그룹은 16개의 스위치로 구성되며 하나의 스위치 그룹은 펄스가 상승되는 위치를 결정하며 다른 하나의 그룹은 펄스가 하강하는 위치를 결정한다. 스위치의 입력은 Pulse generator와 마찬가지로 타이밍상의 위치를 입력 펄스폭으로 나누어 그 값을 이진수로 변환시켜 각각 차례로 인가하면 된다. 그림 7의 하단을 보면 1입력 "00000000111100", 2입력 "000000001100100"을 인가한 것을 볼 수 있으며 $00000000111100_{(2)} \rightarrow 60$ ($200ns * 60 = 12us$), $000000001100_{(2)} \rightarrow 100$ ($200ns * 100 = 20us$)로

12us에서 상승하여 20us에서 하강한 것을 그림 8의 ②번 출력그림으로 확인할 수 있다. 위 출력 펄스들은 Pulse generator를 이용하여 rst(reset)펄스를 설계하였으며 그 펄스가 Window generator에서 만들어진 펄스의 주기가 된다.

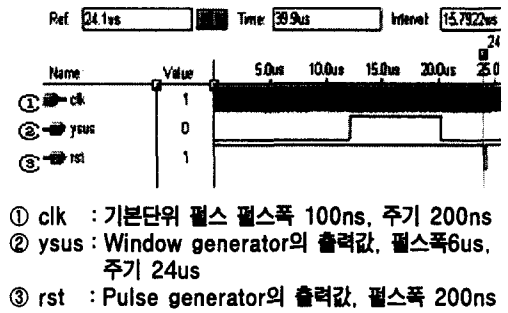


그림 8. Pulse generator와 Window generator의 블록의 시뮬레이션
 Fig. 8. Simulation result of Pulse generator and Window generator block.

그림 9는 PDP구동을 위해 실제로 사용된 sustain 펄스를 설계한 블록도이다. sus_unit 블록은 그림 7을 묶어 하나의 블록으로 만들었으며 이 블록에서 출력되는 ysus 펄스와 또 다른 Window generator에서 발생된 펄스를 AND 시켜 sustain 펄스를 설계하였다. 이 블록에서 설계된 펄스의 출력은 그림 10에서 볼 수 있다.

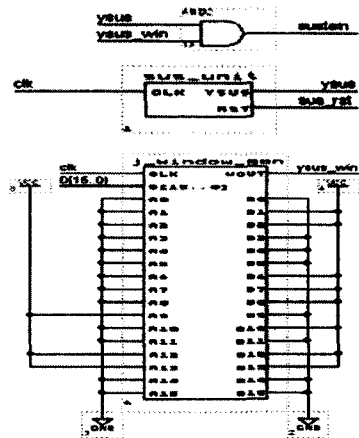
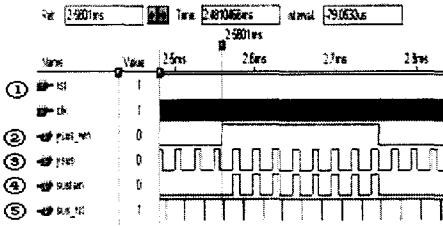


그림 9. sustain 펄스를 설계한 블록도
 Fig. 9. Block diagram of designed Sustain pulse



- ① rst : PDP구동시 time-field를 결정
- ② ysus_win : sustain 펄스의 개수를 결정
- ③ ysus : 발생된 기본단위의 sustain 펄스
- ④ sustain : 발생된 sustain 펄스
- ⑤ sus_rst : sustain 펄스의 기본주기 결정

그림 10. sustain 블록의 출력 시뮬레이션
Fig. 10. Simulation result of Sustain block

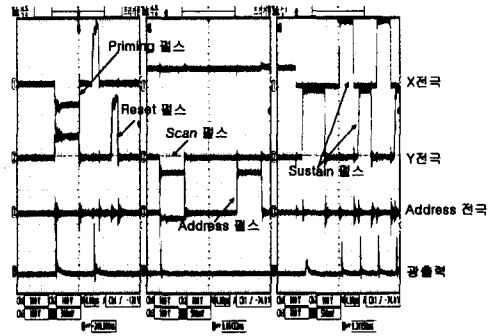
5. 3전극 AC PDP 제조구현 실험 및 결과

본 논문에서는 개발된 PDP의 구동 실험장치의 효율성을 검증하기 위해 상용화 되어있는 ADS 구동 방식을 구현하고 3전극 AC PDP에 제조구현 실험을 하였다. 실험에 사용된 PDP는 상용화된 3전극 교류면방전 PDP와 동일한 구조를 가지며 내부에는 Ne+4%Xe이 500[Torr]의 압력으로 봉입되어 있다. 이 실험에서는 1개의 field를 4개의 Sub-field로 나누고 32계조를 구현하였다. 각 Sub-field의 X와 Y의 sustain 펄스의 개수는 $2^2=4$, $2^3=8$, $2^4=16$, $2^5=32$ 로 각각 증가하였다.

그림 11은 각 방전에 의한 광출력을 오실로스코프 상에서 측정하여 구간별로 나열한 결과로 (a), (b), (c)는 각각 Priming과 Reset, address와 Scan펄스, Sustain방전등에 대한 광출력을 나타낸다.

그림 12는 위에서 실험한 제조표현을 PDP상에 실제로 구현한 사진이다. 그림에서 볼 수 있듯이 Y1과 Y2 line(가로)에 각각 4단계의 제조표현이 구현되었다. 그림 13은 본 연구에서 제작된 PDP 실험장치에서 발생시킬 수 있는 최소의 PDP 구동용 고전압 펄스이다. 최소의 펄스폭은 500ns까지 발생시킬 수 있었으며 이때의 출력전압은 170[V]이다. 1초에 60개의 화상프레임을 가지는 480*640, 256 계조레벨의 VGA급 화상의 Address 펄스 폭은 대략 2us에서

3us 임을 감안하면 이것보다 두배정도 빠른 HDTV급 PDP의 address 실험에도 사용할 수 있는 충분히 작은 펄스를 발생시킬 수 있다[5].



- (a) 초기화 과정 (reset period)
- (b) 어드레스 과정 (address period)
- (c) 표시방전 유지 과정 (sustain period)

그림 11. 각 펄스의 방전에 의한 광출력
Fig. 11. light output of Each pulse discharges

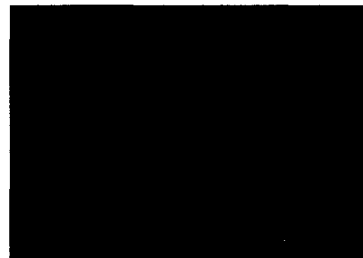


그림 12. 제조구현 실험결과
Fig. 12. Experiment results of gray scale realization

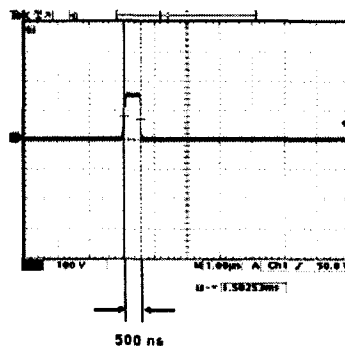


그림 13. 최소폭 펄스 측정 결과
Fig. 13. Measurement results of minimum pulse width realization

6. 결 론

본 연구에서 개발한 PDP 구동 실험장치의 주요 특징을 요약하면 다음과 같다.

① 구동에 필요한 로직 펄스를 디지털시스템 설계 프로그램을 사용하여 짧은 시간 내에 설계할 수 있으며 컴퓨터로 시뮬레이션하여 검증할 수 있으므로 신뢰도가 높다.

② PDP의 구동 타이밍의 기본이 되는 로직블록을 설계하였다. 이 로직블록들은 다수의 2진 스위치를 가지며 프로그램 상에서 이 스위치들을 ON/OFF 하는 것만으로 PDP 구동에 필요한 각종 펄스를 손쉽게 설계할 수 있다 또한 펄스타이밍의 수정도 손쉽게 할 수 있다.

③ PDP의 구동을 위해서는 수 백V(Volt)의 고전압펄스를 짧은 시간 내에 수많은 셀들에 공급해주어야 한다. 본 논문에서 개발된 PDP 구동실험장치는 최대 2[MHz] 까지 고속구동펄스를 발생시킬 수 있다.

그러나 사용한 PLD에 비해 구동회로에 사용된 FET 들의 동작속도가 느리므로 향후 초고속 스위칭이 가능한 고전압 소자들이 개발된다면 지금보다 더 빠른 펄스의 구현도 가능할 것으로 보인다.

본 연구는 한국과학재단 목적기초연구(과제번호: R05-2002-000-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

References

- [1] T. Kishi, et al., "A New Driving Technology for PDPs with Cost Effective Sustain Circuit", SID Digest of Tech. Papers, pp.1236~1239, 2001.
- [2] T. Shinoda, et, al. "Improvement of Luminance and Luminous Efficiency of Surface-Discharge Color ac PDP", SID91 DICAST, pp.724~727, 1991.
- [3] T. Shinoda, "Plasma display Panels", Optoelectronics-Devices and Technologies, Vol.7, No.2, pp231~251, 1992.
- [4] S. kanggu, et. al., "A 31-in.-Diagonal Full-Color Surface-Discharge ac Plasma Display Panel", Digest og SID'92, pp.713~716, 1992.
- [5] K. Yoshikawa, et. al., "A Full Color AC Plasma Display with 256 Gray Scale", JAPAN DISPLAY'92, pp.605~608, 1992.
- [6] Jeongduk Ryeom, "A Study on the Discharge Characteristics of High Speed Addressing for the HDTV Class Plasma Display", J of KIIEE, Vol.15, No.1, pp.13~21, 2001.1.

◆저자소개◆

손현성 (孫賢聖)

1977년 2월 26일생. 2003년 경주대학교 컴퓨터전자공학부 졸업. 현재 경주대 대학원 컴퓨터전자공학과 석사과정.

임찬호 (林讚鎬)

1968년 8월 11일생. 1991년 광운대학교 공대 전기공학과 졸업. 1993년 광운대학교 대학원 전기공학과 졸업(석사). 1998년 광운대학교 대학원 전기공학과 졸업(박사). 현재 경주대학교 컴퓨터 멀티미디어공학부 조교수.

엄정덕 (嚴正德)

1960년 5월 14일생. 1987년 서울대학교 공과대학 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 석사과정 졸업. 1992년 서울대학교 대학원 전기공학과 박사과정 졸업. 1992년~1995년 LG전자(주) 영상미디어연구소 선임연구원. 1996년 일본 전기·통신대학 외국인연구원. 1997년~1999년 삼성SDI(주) 기술본부 선임연구원. 2000년~현재 경주대학교 컴퓨터정보시스템공학부 조교수.