

## 실리콘 Intrinsic Gettering 기술의 이해와 응용

최 광 수<sup>†</sup>

수원대학교 공과대학 전자재료공학과

### Silicon Intrinsic Gettering Technology: Understanding and Practice

Kwang Su Choe<sup>†</sup>

Dept. of Electronic Materials Engineering, University of Suwon, Hwasung-Gun, Kyonggi-Do, Korea 445-743

(2003년 8월 22일 받음, 2003년 11월 20일 최종수정본 받음)

**Abstract** Metallic impurities, such as Fe, Cu, and Au, become generation and recombination centers for minority carriers when combined with oxide precipitates or silicon self-interstitial clusters. As these centers may cause leakage and discharge in silicon devices, their prevention through gettering of the metallic impurities is an important issue. In this article, key aspects of intrinsic gettering, such as oxygen control, wafer cleaning, device area denudation, and bulk oxygen precipitation are discussed, and a practical method of implementing intrinsic gettering is outlined.

**Key words** intrinsic gettering, denuded zone, oxygen precipitation, oxide precipitate, wafer cleaning

### 1. 서 론

실리콘 반도체 소자 생산에 있어서, 소자 크기의 축소, 성능의 향상 및 생산의 수율증가라는 세 가지 목적은 끈임 없이 추구하고 있다. 재료적 측면에서 볼 때, 이러한 목적을 이루는데 반도체 내의 결함(defect) 및 불순물은 큰 장애물임이 틀림이 없다. 한 예로서, 실리콘 기판 내의 소자활성영역에 자리 잡은 oxide(SiOx) precipitate, stacking fault 등과 같은 결함들은 Fe, Cu, Au 와 같은 금속 불순물과 쉽게 결합하여 소수운반자(minority carrier)의 아주 효과적인 generation/recombination center로 작용하여 MOS DRAM cell의 경우 hold time의 감소와 junction leakage를 조장하여 전력소모를 증가시키는 것으로 알려져 있다. DRAM과 같은 초고집적회로(ULSI)에 있어서 과다한 전력소모에 의한 열발산은 소자의 작동을 크게 제한할 수 있으므로, 이들 결함들과 금속불순물을 소자활성영역에서 효과적으로 제거함은 매우 중요하다. 특히 Cu는 최근 IC 배선물질로 사용되고 있어, 실리콘 내에서의 물리적 거동 및 intrinsic gettering에 관한 이해의 중요성이 강조되고 있으며, 최근 이에 관한 연구들이 보고된 바 있다.<sup>1-3)</sup> 아울러 회로 집적도의 증가는 대체로 선폭의 감소, 즉 소자크기를 축소하여 이루어지므로, 기판으로 사용되는 실리콘 웨이퍼의 미세결함(microdefect) 밀도가 비례적으로 감소하지 않는 한 소자의 생산수율 또한 당연히 감소할 것이다. 따라서 현재의 공정이 만족스럽다 할지라도 새로운 세대의

반도체 소자 공정을 계획할 때에는 사용될 실리콘 웨이퍼의 질, gettering의 효과, 웨이퍼 세척방법 등에 관하여 재고할 필요가 있다.

Intrinsic 혹은 internal gettering이란, 웨이퍼의 표면으로부터 10~20  $\mu\text{m}$  정도 이내의 소자활성영역에 결함이 없는 denuded zone을 만들고, 그 밑의 bulk에는 적정 크기 및 밀도의 oxide precipitate와 stacking fault 등의 결함을 형성하여, 이 주위에 형성된 stress field를 통하여 불순물을 denuded zone이 아닌 bulk 내의 결함으로 모으는 것을 말한다. 불순물로 decorate된 precipitate-dislocation complex의 중요한 역할 중에 하나는 hot electron effect, alpha particle 등에 의해 형성된 소수운반자를 재결합 시키는 것이다. 재결합이 이루어지지 않을 경우, 이 소수운반자들은 이동하여 저장된 정보를 파괴시킬 수도 있다.<sup>4)</sup> MOS logic이나 memory 소자의 경우, 이러한 현상은 치명적인 것으로 알려져 있다.<sup>5)</sup> Denuded zone의 적정깊이는 소자의 종류에 따라 다를 수가 있고, denuded zone 및 bulk defect의 형성은 실리콘 웨이퍼 내의 산소 및 기타 불순물과 doping 물질의 밀도 그리고 열처리 온도에 좌우되므로 intrinsic gettering을 효과적으로 사용하기 위해서는 사용되는 실리콘 웨이퍼의 재료적 특성, 소자제조공정 상의 온도변화 그리고 소자설계의 주 특징에 관한 충분한 이해가 필수적이다. 근래에 상용으로 생산되는 실리콘 단결정은 성장방법, 성장공정변수, 자기장의 인가여부에 따라 산소 불순물 및 grown-in 미세결함의 농도 및 분포가 달라진다. 단 이러한 이물질이 반도체 소자의 제작에 있어서 해악과 이득을 동시에 가져다 줄 수 있다는 측면에서 볼 때, 이 분

<sup>†</sup>E-Mail : kschoe@suwon.ac.kr

야의 연구는 이러한 이물질을 단순히 제거하는 쪽이 아니라 적정량으로 제어하는 방향으로 진행되어야만 한다.

## 2. Intrinsic Gettering 이론 및 실험

Intrinsic gettering 실험에 있어서 가장 먼저 고려해야 될 요소는 초기 산소농도, thermal donor의 제어, 그리고 적정 denuded zone의 깊이이다.<sup>5)</sup> 적합한 초기 산소농도를 결정하려면, 우선 7 ppma에서 20 ppma(New ASTM<sup>6)</sup> 정도의 초기 산소농도를 갖는 실리콘 웨이퍼들을 소자공정 시와 동일하게 열처리 한 뒤 저항을 측정하여 thermal donor의 형성이 문제 되지 않는 한도 내에서 가장 높은 초기 산소농도를 취하면 된다. 다음 단계는 소자 디자인과 공정에 가장 적합한 denuded zone의 깊이와 결함 밀도를 결정하는 것이고, 이를 위하여서는 여러 산소농도에 대하여 직접 소자를 만들어 성능을 측정하고, 웨이퍼를 cleave하고 etch하여 결함 밀도와 직접 비교하면 된다. 주의할 점은 만약 초기 산소농도가 너무 높을 경우, oxygen precipitation이 너무 빨리 일어나기 때문에 denuded zone 깊이가 얇고, 웨이퍼가 강도를 잃어 warpage 현상이 일어날 수 있고, 반면에 초기 산소농도가 너무 낮으면, oxygen precipitation이 일어나지 않아 minority-carrier generation lifetime이 줄고, thermal donor 형성이 왕성하여 resistivity의 변화가 클 수가 있다.<sup>5)</sup> 그러므로 가장 적합한 초기 산소농도는 thermal donor 형성이 일어나지 않는 한도 내에서 최대 값과 같고, 초기 산소농도가 일단 결정되면, denuded zone의 깊이와 precipitate 밀도를 소자공정 초기의 열처리 과정을 변화함으로써 조절하면 된다.

효과적인 intrinsic gettering을 얻기 위한 조건은 다음과 같다<sup>5)</sup>:

- 실리콘 웨이퍼의 산소농도의 제어
- 웨이퍼 표면의 소자활성영역에 denuded zone의 형성
- 웨이퍼의 slip, warpage 현상을 초래하는 과도한 oxygen precipitation의 방지
- intrinsic gettering 효과의 재현성

소자의 제조공정은 소자의 종류 및 설계에 따라 다르므로, 위 조건들을 충족시키는 intrinsic gettering 방법은 소자에 따라 다를 수 있음을 유의하며, 첨단 intrinsic gettering 방법을 고려해 보면 다음과 같다.

웨이퍼 표면으로부터 약 10~20  $\mu\text{m}$  이내의 깊이까지는 소자의 활성영역으로 사용되므로, oxide precipitate의 형성이 없는 precipitate-free zone(PFZ) 혹은 denuded zone을 형성하여야 하는데, 이를 위해서는 웨이퍼를 고온에서 annealing하여 supersaturate된 침입형 산소가 웨이퍼 표면으로부터 out-diffuse 함으로써, 표면에 근접한 영역에서의 산소농도가 solid solubility 이하로 떨어지도록 만들어야 한다. 산소의 out-diffusion은 온도, 침입형 산소의 supersaturation 정도, 대기에서의 산소의 압력 등

에 의존하는데, J. Andrews의 모델<sup>7)</sup>에 의하면

$$C(x, t) = C_s \operatorname{erfc}(u) + C_0 \operatorname{erf}(u) \text{ cm}^{-3} \quad (1)$$

로 나타낼 수 있는데, 이 식에서

$C(x, t) \equiv$  깊이(x) 및 시간(t)에 함수인 산소농도

$C_s \equiv$  denuding 온도에서의 산소의 solid solubility

$C_0 \equiv$  초기산소농도

$\operatorname{erf}(u) \equiv u$ 의 error function

$\operatorname{erfc}(u) \equiv u$ 의 complementary error function

이며, denuding 온도에서의 산소의 solid solubility인  $C_s$ 는 Y. Itoh와 T. Nozaki의 실험결과<sup>8)</sup>에 의하면 1000~1375°C에 걸쳐,

$$C_s = 9.3 \times 10^{21} \exp\left[\frac{-27.6 \text{ kcal/mol}}{RT}\right] \text{ atom/cm}^3 \quad (2)$$

로 표시되며, 파라미터  $u$ 는

$$u = \frac{x}{2}(Dt)^{1/2} \quad (3)$$

이며, 이 식에서 확산계수  $D$ <sup>9)</sup>는

$$D = 0.13 \exp\left[\frac{-58.4 \text{ kcal/mol}}{RT}\right] \text{ cm}^2/\text{s} \quad (4)$$

을 사용하면 된다.

위 J. Andrews의 모델을 토대로 하였을 때, 초기산소농도가 13~17 ppma인 medium oxygen 웨이퍼의 경우 적당한 깊이의 denuded zone을 형성하는데 온도는 1150°C, 시간은 1 hr 정도가 요구될 것으로 생각된다.

위의 denuded zone 형성을 위한 1150°C/1 hr annealing은 산소의 out-diffusion 뿐만 아니라 oxide precipitate의 핵인 as-grown precipitate nucleus를 용해시키므로, 웨이퍼의 bulk 내에 새로운 precipitate nucleus를 형성해야 한다. 이를 위한 열처리 공정이 nucleation pre-anneal이다. 실리콘 내의 핵 형성을(nucleation rate)  $J$ 는 탄소에 의한 heterogeneous nucleation을 배제하고, 산소에 의한 homogeneous nucleation만을 고려하였을 때, N. Inoue et al.의 모델<sup>10)</sup>에 의하면

$$J = n_1 4\pi \left( \frac{2\sigma T_E}{\Delta H_v(T_E - T)} \right)^2 d \left( \frac{D}{d^2} \right) Z n_1 \exp\left( \frac{-16\pi\sigma^3 T_E^2}{3\Delta H_v^2 (T_E - T)^2 kT} \right) \quad (5)$$

로 표시되며, 이 식에서

$n_1 \equiv$  nucleation site 밀도 ( $[O_i]$ )

$\sigma \equiv$  precipitate와 silicon lattice간의 interface 에너지 (430 erg/cm<sup>3</sup>)

$T_E \equiv$  주어진 산소농도에 대한 solid solubility 온도

$\Delta H_v \equiv$  dissolution enthalpy ( $6.67 \times 10^{10}$  erg/cm<sup>3</sup>)

$d \equiv$  characteristic atomic distance (2.35 Å)

$D \equiv$  산소의 확산계수

$Z \equiv$  Zeldovich 인자 (0.001)

와 같다. 위의 모델을 토대로 하였을 때, 15 ppma의 초기산소농도를 가진 medium oxygen 웨이퍼의 경우, intrinsic gettering에 적합한  $10^{10}/\text{cm}^3$  정도의 nucleus 밀도를 형성하기 위해서는 650°C에서 1 hr 정도의 nucleation annealing이 적합할 것으로 생각된다.

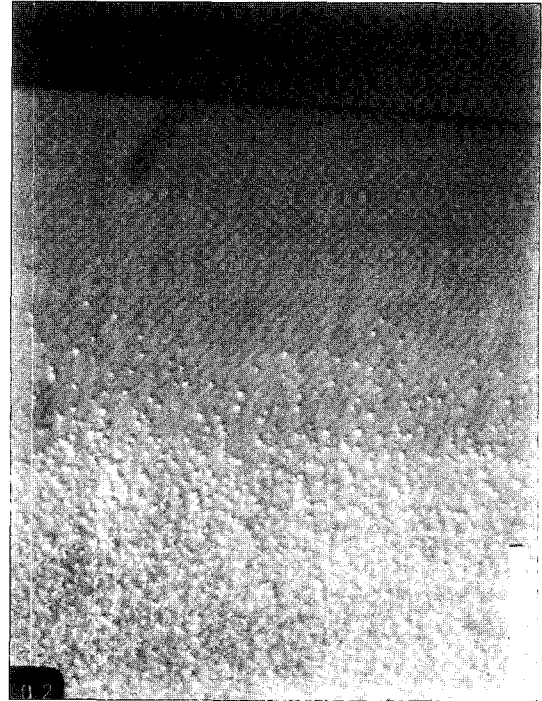
끝으로 위의 nucleation pre-anneal 과정에서 형성되는 precipitate nucleus는 MOS 소자의 제조과정 중 고온 열처리 과정에서 주변의 산소원자 및 무기물을 getter하여 성장하여, oxide precipitate, dislocation loop, stacking fault 등을 형성한다. 발표된 실험결과<sup>11)</sup>에 의하면 금속 불순물의 getter는 oxide precipitate의 형성 중에 가장 왕성히 일어나며, 일단 oxide precipitate의 형성이 완료되면 거의 일어나지 않는다. 따라서 실리콘 소자 제조과정 중 intrinsic gettering 효과를 극대화 하려면, 고온공정 중 산소석출이 지속적으로 일어날 수 있도록 intrinsic gettering process를 입안하여야 한다. 이 intrinsic gettering process의 주요 파라미터로는 고온공정 전 실리콘 웨이퍼의 침입형 산소농도 ( $[O_i]$ ), 치환형 탄소농도 ( $[C_s]$ ), 공정 온도 및 시간을 들 수 있다. F. S. Ham의 이론<sup>12)</sup>에 의하면, 실리콘 내의 침입형 산소의 solubility limit를 초과하는 excess 산소의 석출율은 바로 excess 산소농도에 비례하므로, 초기 산소농도가 높을수록 산소의 석출이 빠르게 일어난다. 치환형 탄소는 oxide precipitate의 이중핵(heterogeneous nucleus)으로 작용하는 것으로 알려져 있는데,<sup>13,14)</sup> CZ 실리콘 시편들의 경우 탄소농도가 대체로 0.5 ppm 이하인 미량이어서, 산소석출현상에 거의 영향을 미치지 않을 것으로 보인다.

F. S. Ham의 이론<sup>12)</sup>에 의거한 실험결과, 초기산소농도가 13~17 ppma인 medium oxygen 시편을 기준으로 하였을 때, precipitation annealing을 1000°C에서 11 hr 동안 행하였을 때, 산소의 석출이 대부분 완료되는 것으로 판명되었다. Solid solution 내의 침입형 산소농도  $[O_i]$ 는

$$\log [O_i] = -4.83 \times 10^3 T^{-1} + 21.2 \quad (6)$$

인 식으로 나타낼 수 있으므로,<sup>15)</sup> 1000°C에서 excess 산소의 석출이 완전히 이루어 졌을 경우, 실리콘 웨이퍼 내에 남아 있는 산소농도는  $[O_i] = 2.5 \times 10^{17} \text{ atoms/cm}^3$  혹은 5 ppma에 근접할 것으로 판단된다.

위 intrinsic gettering을 위한 열처리공정을 간단히 요약하면, 1150°C/1 hr denudation, 650°C/1 hr nucleation, 1000°C/11 hr precipitation annealing으로 구성된 high-low-high 3-step process이다. 이러한 intrinsic gettering 공정을 실리콘 반도체 소자 제조 공정에 접목한다면, 위 세 스텝 중 첫 번째(high) 및 두 번째(low) 스텝은 소자 제조 공정 이전에 미리 시행하고, 마지막(high) 스텝은



**Fig. 1.** A denuded zone formed after a high-low-high annealing. The interstitial oxygen concentration before and after the annealing is  $[O_i]_i = 16.2$  ppma and  $[O_i]_f = 6.3$  ppma, respectively. After annealing, the sample was beveled at 5° and then etched in Yang etch for 4 min. The height of the white marker is 100 μm. The denuded zone shown is about 150 μm in depth. The actual depth is about 13 μm ( $d = 150 \mu\text{m} \times \sin 5^\circ = 13 \mu\text{m}$ ).

1000°C/11 hr 대신 소자 제조 공정 중의 고온 annealing 이 대신 하면 된다.

high-low-high annealing을 거친 시편을 bevel한 후 Yang etch<sup>16)</sup>하였을 때, 볼 수 있는 구조는 사진 1(Fig. 1)에서와 같다. 시편의 초기 침입형 산소농도는  $[O_i]_i = 16.2$  ppma이었으며 annealing 후 잔류 침입형 산소농도는  $[O_i]_f = 6.3$  ppma이다. Bevel 각도는 5°이고 Yang etch는 4 min간 시행되었다. 이 사진에서 시편 표면의 denuded zone과 oxide precipitate가 촘촘히 형성된 bulk 부분이 선명하게 구분되어 있음을 볼 수 있다. 백색 마크의 길이는 100 μm에 해당하며, 따라서 denuded zone의 폭은 약 150 μm 정도로 보인다. 5°인 bevel 각도를 고려하면 실제 denuded zone의 깊이는  $d = 150 \mu\text{m} \times \sin 5^\circ = 13 \mu\text{m}$ 이다.

### 3. 실리콘 웨이퍼 세척공정의 연관성

실리콘 소자의 제조 및 작동에 악영향을 미치는 불순물들은 대개 고온공정 중 로(furnace)의 heating element에서 승화되어 quartz tube를 통해 확산·유입되는 금속 불순물과 공정을 시작하기 이전에 실리콘 웨이퍼 위에 이미 존재하는 불순물을 들 수 있다. 따라서 고온공정 중 유입되는 금속불순물을 intrinsic gettering 방법으로 getter

하는 것 못지않게 중요한 것이 실리콘 웨이퍼 위에 이미 존재하는 불순물을 제거하는 웨이퍼 세척공정(cleaning process)이다.

실리콘 웨이퍼 위에 내재하는 불순물들은 크게 유기물(organic), 무기이온(inorganic ion), 무기원자(inorganic atom)로 나눌 수 있다.<sup>17)</sup> 이 중 소자의 작동에 가장 치명적인 영향을 미치는 것이 무기이온으로써, 한 예로 Na<sup>+</sup> 이온의 경우 monolayer의  $1 \times 10^4$  정도의 양만이 존재해도 1 Ω-cm의 실리콘 표면에 inversion을 형성하는 것으로 알려져 있다.<sup>17)</sup> 또한 Fe, Cu, Au 등과 같은 무기원자들은 고온공정 중 실리콘 웨이퍼 표면으로부터 급속히 웨이퍼 전체로 확산되며, gettering이 이루어 지지 않으면 산소와 결합하여 웨이퍼 표면에 transition-metal-oxide precipitate를 형성한다.<sup>5)</sup> 아울러, 이 들이 실리콘의 band gap 내에 위치한 electrical trap을 형성할 경우, 집적회로의 작동에 악영향을 미치게 되며, 특히 mid gap에 위치한 trap은 MOS dynamic memory cell의 hold time을 제한하고, 그 외의 deep trap들은 junction leakage를 조장하여 고밀도 집적회로의 경우 전력수요를 가중시키는 것으로 알려져 있다.<sup>5,18)</sup> 끝으로, 유기물은 photoresist, 유기용매, 사람의 표피 등이 실리콘 웨이퍼와 접촉할 때에 잔류하게 되는데, 웨이퍼의 표면에서 분극(polarization) 현상을 일으키는 것 이외에, 웨이퍼 표면을 hydrophobic하게 만들어 용액을 사용한 웨이퍼의 세척을 어렵게 만든다.<sup>17)</sup>

유기물질의 제거에 경우, photoresist와 같은 물질로 웨이퍼 표면이 많이 더럽혀져 있을 때, H<sub>2</sub>SO<sub>4</sub> + H<sub>2</sub>O<sub>2</sub> 용액(일명 piranha)을 사용하고, 웨이퍼 표면이 약간의 잔류 유기물질로만 덮혀 있을 때, NH<sub>4</sub>OH + H<sub>2</sub>O<sub>2</sub> + H<sub>2</sub>O 용액을 사용한다. 무기이온과 무기원자는 공통적으로 HCl + H<sub>2</sub>O<sub>2</sub> + H<sub>2</sub>O 용액을 사용하는 것이 효과적이다. 아울러 천연 옥싸이드는 HF로 제거하면 된다. 웨이퍼 세척은 일반적으로 유기물, 천연 옥싸이드, 무기이온 및 무기원자를 제거하는 순으로 진행되나, 각 용액의 합성비율, 세척시간 등의 공정 파라미터는 반드시 실험을 통하여 설정되는 것이 통례이다. 단 유념할 것은 H<sub>2</sub>SO<sub>4</sub>는 S를, HCl은 Cl<sup>-</sup> 이온을 잔류물질로 남기고, HF는 Au, Ca, Ag, Na, Al, Cl, Cr, Mn, Br, Co등의 이물질의 남기므로,<sup>19,20)</sup> 각 단위공정 후의 충분한 D. I. H<sub>2</sub>O 세척과 화학용액의 filtering은 물론, 세척공정의 적정 배열을 매우 중요시 함이다.

#### 4. 결 론

실리콘 반도체 소자 제조공정에 있어서 Fe, Cu, Au 등의 금속불순물은 소자활성영역에 위치한 SiO<sub>x</sub> precipitate이나 self-interstitial cluster와 결합할 경우, 소수운

반자의 아주 효과적인 generation/recombination center로 작용하여 hold time의 감소, junction leakage의 증가 등 반도체 소자의 작동에 악영향을 끼치는 것은 잘 알려진 사실이다. 특히 이러한 문제는 회로의 집적도가 증가할수록 심화되므로, 초고집적회로(ULSI)의 제조공정 개발과 병행해서 금속불순물의 gettering에 대한 연구가 필요하다. 본 논문에서는 ULSI 제조공정에 적합한 적정 denuded zone 및 결합 밀도를 형성하는 intrinsic gettering 방법을 제시하고, 한 예로서 적정 high-low-high 3-step annealing을 통하여 약 13 μm 정도의 denuded zone을 형성하였다. 끝으로 intrinsic gettering 열처리와 병행하여 화학적으로 웨이퍼 표면의 주요 불순물을 제거하는 세척공정의 중요성 및 방법을 논하였다.

#### 참 고 문 헌

1. A. A. Istratov and E. R. Weber, J. Electrochem. Soc., **149**(1), G21 (2002).
2. S. Isoyama, H. Ishida, T. Itoga, and K. Hozawa, J. Electrochem. Soc. **149**(6), G343 (2002).
3. H. Vainola, M. Yli-Koski, A. Haarahiltunen, and J. Sinkkonen, J. Electrochem. Soc., **150**(12), G790 (2003).
4. P. K. Chatterjee, G. W. Taylor, A. F. Tasch Jr. and H.-S. Fu, IEEE Trans. Elec. Dev., **26**, 564 (1979).
5. R. A. Craven, Semiconductor International (Sept. 1985) p. 134.
6. ASTM Standard F121, 1988 Annual Book of ASTM Standards, Am. Soc. Test. Mat., Philadelphia (1988).
7. J. Andrews, Defects in Silicon, p. 133, ed. W. M. Bullis and L. C. Kimerling, Electrochem. Soc., Pennington, NJ (1983).
8. Y. Itoh and T. Nozaki, Jpn. J. Appl. Phys., **24**, 279 (1985).
9. M. Stavola, J. R. Patel, L. C. Kimerling and P. E. Freeland, Appl. Phys. Lett., **42**, 73 (1983).
10. N. Inoue, K. Wada and J. Osaka, Semiconductor Silicon 1981, p. 282, ed. H. R. Huff, R. J. Kriegler and Y. Takeishi, Electrochem. Soc., Pennington, NJ (1981).
11. J. O. Borland, Semiconductor International (May 1989) p. 154.
12. F. S. Ham, J. Phys. Chem. Solids, **6**, 335 (1958).
13. J. Lerouelle, Phys. Stat. Sol. (a) **67**, 177 (1981).
14. S. Kishino, Y. Matsushita and M. Kanamori, Appl. Phys. Lett. **35**(3), 213 (1979).
15. H. J. Hrostowski and R. H. Kaiser, J. Phys. Chem. Solids, **9**, 214 (1959).
16. K. H. Yang, J. Electrochem. Soc., **131**, 1140 (1984).
17. D. Burkman, Semiconductor International (July 1981) p. 103.
18. S. M. Sze, Physics of Semiconductor Devices, 2nd ed., p. 35, John Wiley and Sons, NY (1981).
19. W. Kern, RCA Review, 207 (June 1970).
20. D. Lafeuille, D. Roche and E. M. Juleff, Solid State Tech., **18**, 43 (1975).